

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ДНІПРОВСЬКИЙ ДЕРЖАВНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ**

В.В. БАГРІЙ

**Конспект лекцій
з дисципліни
ЦИФРОВА СХЕМОТЕХНІКА**

для здобувачів вищої освіти
першого (бакалаврського) рівня
зі спеціальностей 171 «Електроніка»
153 «Мікро-та наносистемна техніка»

Затверджено:

Редакційно-видавничою секцією
науково-методичної ради ДДТУ
«__» _____ 20 року
протокол № __

Кам'янське

2019

Розповсюдження і тиражування без офіційного дозволу
Дніпровського державного технічного університету заборонено

Конспект лекцій з дисципліни "Цифрова схемотехніка" для здобувачів вищої освіти першого (бакалаврського) рівня зі спеціальностей 171 «Електроніка» та 153 «Мікро-та наносистемна техніка»; / Багрій В.В. , Кам'янське; ДДТУ, 2019 - 238 с.

Укладач:

доцент к.т.н. Багрій В.В.

Відповідальний за випуск:

зав. кафедрою «Електроніки»

Мещанінов С.К.

проф., доктор технічних наук.

Рецензент: доцент, к.т.н.

Трикіло А. І.

Затверджено на засіданні

кафедри «Електроніки» (протокол № від)

Коротка анотація: у конспекті лекцій викладено основні теоретичні та практичні відомості про цифрові схеми сучасних електронних систем. Розглянуто математичні основи алгебри логіки, методи мінімізації булевих функцій, питання синтезу комбінаційних схем та цифрових автоматів. доповнено матеріалами та прикладами для самостійного вивчення матеріалу. В завершенні кожного розділу сформульовано завдання для поточного контролю, задачі для самостійного та індивідуального розв'язування.

ЗМІСТ

Вступ	6
1 Математичні основи	
1.1 Системи числення	8
1.2 Коди з виявленням помилок	13
1.3 Коди з виправленням помилок	14
1.4 Двійкова арифметика	18
1.5 Форми подання чисел	19
Питання до розділу	23
Задачі для самостійного та індивідуального розв'язування	25
Підсумки	26
2 Алгебра логіки і теоретичні основи синтезу цифрових пристроїв	
2.1 Елементи математичної логіки	28
2.2 Основні закони алгебри логіки	29
2.3 Форми логічних функцій	32
2.4 Логічні елементи і схеми	37
2.5 Класифікація логічних елементів	39
Питання до розділу	42
Задачі для самостійного та індивідуального розв'язування	43
Підсумки	47
3 Методи мінімізації булевих функцій	
3.1 Мета мінімізації логічних пристроїв	49
3.2 Метод безпосередніх перетворень	49
3.3 Метод Карно-Вейча	50
3.4 Мінімізація методом Квайна і Мак-Класкі	54
Питання до розділу	57
Задачі для самостійного та індивідуального розв'язування	57
Підсумки	60
4 Логічні елементи цифрових пристроїв	
4.1 Класифікація елементів і їх порівняльна характеристика	61
4.2 Загальні характеристики елементів цифрових пристроїв	64
4.3 БЛЕ транзисторно-транзисторної логіки	

4.3.1	Склад, схемотехніка і принцип дії базового логічного елементу	72
4.3.2	Різновиди схемотехніки елементів ТТЛ	76
4.3.3	Способи підвищення швидкодії	79
4.4	БЛЕ емітерно-зв'язаної логіки	
4.4.1	Особливості схемотехніки	82
4.4.2	Принцип дії та функціональні можливості БЛЕ ЕЗЛ	84
4.4.3	Способи підвищення швидкодії	87
4.5	БЛЕ на МДН-транзисторах	
4.5.1	Особливості використання МДН-транзистора	88
4.5.2	Схемотехніка БЛЕ КМОН-типу	90
4.6	БЛЕ інтегрально-інжекційної логіки	92
	Питання до розділу	95
	Задачі для самостійного та індивідуального розв'язування	96
	Підсумки	96
5	Синтез комбінаційних схем	
5.1	Етапи побудови логічної схеми	98
5.2	Синтез логічних пристроїв у заданому базисі ЛЕ	99
5.3	Особливості побудови логічних пристроїв на реальній елементній базі	100
5.4	Логічні елементи для реалізації складних функцій	103
5.5	Мультиплексори і демультимплексори	104
5.6	Дешифратори, дешифратори-демультимплексори, шифратори	109
5.7	Суматори	119
5.8	Компаратори	123
	Питання до розділу	129
	Задачі для самостійного та індивідуального розв'язування	130
	Підсумки	134
6	Тригерні елементи цифрових пристроїв	
6.1	Основні поняття	137
6.2	Асинхронний RS-тригер	143
6.3	Асинхронні тригери з одним входом	151
6.4	Синхронні тригери	154
6.5	Приклади використання тригерів	160
	Питання до розділу	167
	Задачі для самостійного та індивідуального розв'язування	168
	Підсумки	169

7 Синтез цифрових автоматів	
7.1 Регістри зсуву	170
7.2 Лічильники за mod M	174
7.3 Лічильники на регістрах зсуву	185
7.4 Реверсивні лічильники	187
Питання до розділу	192
Задачі для самостійного та індивідуального розв'язування	193
Підсумки	197
8 Спеціальні елементи цифрових схем	
8.1 Логічні розширники	199
8.2 Перетворювачі рівнів	201
8.3 Генератори та одновібратори	205
8.4 Різницеві перетворювачі і детектори подій (фронтів)	230
Питання до розділу	235
Підсумки	236
Перелік посилань	237

ВСТУП

Обмін інформацією в електронних системах відбувається за допомогою сигналів. Носіями сигналів можуть бути різноманітні фізичні величини - струми, напруги, магнітні стани, світлові хвилі. Відрізняють аналогові (безперервні) сигнали та дискретні.

Дискретні сигнали простіше зберігати та обробляти, вони менше піддаються спотворенню дією перешкоди, такі спотворення легше виявити та виправити. Тому дискретні сигнали знаходять більш широке практичне застосування, ніж безперервні. Існують два типи дискретних сигналів: перший отримано за час дискретизації за рівнем або по часу безперервних сигналів; другий - в вигляді набору кодових комбінацій знаків, чисел або слів.

Перетворення безперервного інформаційної множини аналогових сигналів в дискретну множину називається дискретизацією або квантуванням по рівню. Друге подання в вигляді слів являється більш універсальним і розповсюдженим. Воно застосовується для кодування людської мови на папері (письма), в математиці, в цифровій електроніці.

Переваги цифрових пристроїв та систем в порівнянні з аналоговими полягають в підвищеній завадостійкості, високій надійності, можливості довгочасно зберігати інформацію без її втрати, економічна та енергетична ефективність, сумісність з інтегральною технологією, висока технологічність та повторюваність. До недоліків можна віднести деяке зниження швидкодії у порівнянні з аналоговими пристроями і системами.

Більшість сучасних систем автоматики, обчислювальні системи, системи передачі і обробки інформації виконуються на пристроях цифрової техніки або цілком, або частково. Тому знання принципів застосування цифрових пристроїв і побудови на їх основі систем різного призначення має актуальне значення і велику практичну цінність як в інженерній діяльності, так і при дослідженнях методологічного характеру.

Найбільш вірогідно, що в недалекому майбутньому цифрова електроніка займе монопольне становище на ринку електронних систем та пристроїв. Сьогодні цифрові персональні комп'ютери і контролери (ЕОМ) практично витіснили аналогові електронні обчислювальні машини, які були створені раніше. Теж саме відбувається з апаратурою радіозв'язку, радіомовлення і телебачення (телевізорами, радіоприймачами, відеомагнітофонами, звукозаписом, фотоапаратурою).

Повністю витіснити аналогову техніку цифрова в принципі не зможе, тому що фізичні процеси, від яких електронна система отримує інформацію мають аналогову природу, в цьому випадку необхідні на вході та виході цифро-аналогові та аналого-цифрові пристрої.

Цифрова схемотехніка - галузь науки, техніки і виробництва, яка пов'язана з розробкою, дослідженням, проектуванням та виготовленням електронних систем, де перетворення та обробка інформації відбувається по закону дискретної функції. Промисловий розвиток цифрової схемотехніки має два напрямки: енергетичний (силовий), пов'язаний з перетворенням постійного та змінного струмів для потреб металургії, електротяги, електроенергетики та інформаційне, до якого відносяться засоби вимірювання, контролю та регулювання технологічних процесів виробництв наукових досліджень в технічних і гуманітарних сферах.

Основа розвитку електроніки — безперервне ускладнення функцій. На сучасному етапі стає неможливим вирішувати нові завдання старими електронними засобами з використанням існуючої елементної бази. Виникають об'єктивні умови для подальшого удосконалення елементної бази. Основними факторами є підвищення надійності, зменшення габаритних розмірів, маси, вартості та споживаної потужності.

РОЗДІЛ 1. МАТЕМАТИЧНІ ОСНОВИ

1.1 Системи числення.

Системою числення називають систему прийомів і правил, що дають змогу встановлювати взаємно однозначну відповідність між будь-яким числом і його зображенням у вигляді сукупності скінченного числа символів. Залежно від способу зображення чисел за допомогою цифр системи числення поділяють на позиційні і непозиційні.

У непозиційних системах будь-яке число визначають як деяку функцію від числових значень сукупності цифр, що зображують це число. Цифри в непозиційних системах числення відповідають деяким фіксованим числам. Приклад непозиційної системи — римська система числення. В електронних цифрових пристроях застосовують позиційні системи числення. Систему числення називають позиційною через те, що значення кожної вхідної у число цифри залежить і змінюється від її положення в запису числа.

Будь-яку позиційну систему числення з основою q можна подати у вигляді полінома

$$A_{(q)} = r_n q^n + r_{n-1} q^{n-1} + \dots + r_1 q^1 + r_0 q^0 + r_{-1} q^{-1},$$

де $A_{(q)}$ — число в позиційній системі числення з основою q ; r_i — коефіцієнт; n — степінь та індекс.

Позиційні системи числення можуть бути різними залежно від основи: десяткові — за основою десять, вісімкові — за основою вісім, двійкові — за основою два і т.д. Надалі, щоб явно зазначити систему числення, що використовується, візьмемо число в дужки і в індексі вкажемо основу системи числення.

За двійковою системою числення коефіцієнтами r_i є цифри 0 і 1, а основою — число 2. У загальному вигляді число за двійковою системою числення можна записати так:

$$A_2 = r_n 2^n + r_{n-1} 2^{n-1} + \dots + r_1 2^1 + r_0 2^0 + r_{-1} 2^{-1}.$$

Цифрові пристрої використовують елементи, які мають тільки два стійких стани, і тому двійкова система числення дістала поширення для подання й оброблення інформації.

Вісімкову систему застосовують для виконання допоміжних функцій; вона скорочує запис числової інформації і забезпечує простоту переведення у

двійкову систему, оскільки кожен вісімкову цифру можна замінити на двійкове трирозрядне число – *тріаду*. Найзручнішою за записом є шістнадцяткова позиційна система. Основою системи є число 16, а за коефіцієнти беруть цифрові та літерні символи: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F.

Переведення з десяткової системи в будь-яку позиційну систему числення проводять методом послідовного ділення на основу нової системи доти, доки частка від ділення не буде меншою, ніж основи системи. Число в новій системі записують у вигляді остачі від ділення, починаючи з останньої частки, справа наліво. Дробове число записують у вигляді цілих частин чисел, що отримують при множенні тільки дробової частини на основу, починаючи зверху після коми, і при цьому задають точність обчислень.

Практичний інтерес мають перерахунки з десяткової системи і в десяткову систему. Алгоритм перерахунку і деякі приклади наведено в табл. 1.1, 1.2.

Для переведення числа з вісімкової системи в двійкову кожне вісімкове число замінити еквівалентним 3-розрядним числом. Наприклад, переведемо число $2451_{(8)}$ у двійкову систему числення:

$$\begin{array}{cccc} 2 & 4 & 5 & 1 \\ 010 & 100 & 101 & 001 \end{array} \begin{array}{l} (8) \\ (2) \end{array}$$

Двійкове число при переведенні у вісімкову систему поділяють на тріади справа наліво і кожен тріаду замінюють вісімковим числом. Наприклад, число $101\ 001\ 111_{(2)}$ у вісімковій системі:

$$\begin{array}{ccc} 101 & 001 & 111 \\ 5 & 1 & 7 \end{array} \begin{array}{l} (2) \\ (8) \end{array}$$

Аналогічно проводять переведення з двійкової системи в шістнадцяткову і навпаки, тільки використовують двійкові тетради. Наприклад, виконаємо переведення:

$$\begin{array}{ccc} A & 1 & 3 \\ 1010 & 0001 & 1100 \end{array} \begin{array}{l} (16) \\ (2) \end{array} \quad \begin{array}{ccc} 1000 & 1101 & 0101 \\ 8 & D & 5 \end{array} \begin{array}{l} (2) \\ (16) \end{array}$$

У двійково-кодованій десятковій системі кожен десяткову цифру подають двійковим еквівалентом. Наприклад, число 24_{10} у двійково-кодованій системі подають так:

$$24_{(10)} - 0010\ 0100_{(ДКДС)}$$

Таблиця 1.1- **Методи переведення цілого і дробових чисел з десятичної системи числення**

Тип перетворення	Цілі числа	Дробові числа
		Ділення певного десятичного числа на q . Остача дає перетворене число, що читається в напрямі стрілки.
Десятичне на двійкове	$108:2 = \text{остача } 0$ $54:2 = \text{остача } 0$ $27:2 = \text{остача } 1$ $13:2 = \text{остача } 1$ $6:2 = \text{остача } 0$ $3:2 = \text{остача } 1$ $1:2 = \text{остача } 1$ $108_{(10)} = 1101100_{(2)}$	$0.34 \cdot 2 = \text{переноситься } 0$ $0.68 \cdot 2 = \text{переноситься } 1 (1,36)$ $0.36 \cdot 2 = \text{переноситься } 0$ $0.72 \cdot 2 = \text{переноситься } 1 (1,44)$ $0.44 \cdot 2 = \text{переноситься } 0$ $0.88 \cdot 2 = \text{переноситься } 1 (1,76)$ $0.76 \cdot 2 = \text{переноситься } 1 (1,52)$ Переривання $0,34_{(10)} = 0.0101011_{(2)}$
Десятичне на вісімкове	$108:8 = \text{остача } 4$ $13:8 = \text{остача } 5$ $1:8 = \text{остача } 1$ $108_{(10)} = 154_{(8)}$	$0.34 \cdot 8 = \text{переноситься } 2 (2,72)$ $0.72 \cdot 8 = \text{переноситься } 5 (5,76)$ $0.76 \cdot 8 = \text{переноситься } 6 (6,08)$ $0.08 \cdot 8 = \text{переноситься } 0 (0,64)$ $0.64 \cdot 8 = \text{переноситься } 5 (5,12)$ Переривання $0,34_{(10)} = 0,25605_{(8)}$
Десятичне на шістнадцяткове	$108:16 = \text{остача } 12$ $6:16 = \text{остача } 6$ $108_{(10)} = 6C_{(16)}$	$0.34 \cdot 16 = \text{переноситься } 5 (5,44)$ $0.44 \cdot 16 = \text{переноситься } 7 (7,04)$ $0.04 \cdot 16 = \text{переноситься } 0$ $0.64 \cdot 16 = \text{переноситься } 10$ Переривання $0,34_{(10)} = 0,570 A_{(16)}$

У багатьох практичних випадках, зокрема при аналого-цифровому перетворенні даних, потрібно користуватися кодами, в яких усі послідовні кодові набори відрізняються один від одного лише одним розрядом. Такі коди називають *циклічними кодами*. Особливо важливим серед циклічних кодів є код Грея (табл. 1.3).

Таблиця 1.2- Методи переведення у десяткову систему числення

Тип перетворення	Цілі числа	Дробові числа
	Повторне множення проміжного результату на q і додавання зі значенням розряду певного числа. Першим проміжним результатом є найвищий розряд.	Повторне ділення проміжного результату на q і додавання з розрядом певного числа. Першим проміжним результатом є останній розряд, поділений на q .
Двійкове у десяткове	1 1·2+1=3 3·2+0=6 6·2+1=13 13·2+1=27 27·2+0=54 54·2+0=108 1101100 ₍₂₎ = 108 ₍₁₀₎	1:2=0,5 (0.5+1):2= 0,75 (0.75+0):2=0,375 (0.375+1):2=0,6875 (0.6875+0):2= 0,34375 (0.34375+1):2=0,67187 (0.67187+0):2=0,33593 0.0101011 ₍₂₎ = 0,33593≅0,34 ₍₁₀₎
Вісімкове у десяткове	1 1·8+5=13 13·8+4=108 154 ₍₈₎ =108 ₍₁₀₎	5:8=0,625 (0.625+0):8=0,078125 (0.078125+6):8=0,75976 (0.75976+5):8=0,71997 (0.71997+2):8=0,33999 0,25605 ₍₈₎ =0,33999≅0,34 ₍₁₀₎
Шістнадцяткове у десяткове	6 6·16+12=108 6C ₍₁₆₎ =108 ₍₁₀₎	A:16=0,625 (0.625+0):16=0,039062 (0.039062+6):16=0,75976 (0.75976+7):16=0,71997 (0.71997+5):16=0,33999 0.570A ₍₁₆₎ =0,33999≅0,34 ₍₁₀₎

Код Грея використовують у механічних шифраторах кута повороту вала, при "паралельному кодуванні" — методі швидкодійного аналого-цифрового перетворення. Це дає змогу уникнути помилок, оскільки в цьому випадку при переході між двома закодованими значеннями всі розряди ніяк не можуть змінитися одночасно. Якби використовувався суто двійковий код, то при переході, наприклад, від 7 до 8 внаслідок помилки зчитування на вході можна було б отримати число 15.

Коди Грея можуть містити будь-яке число розрядів. Є просте правило для формування станів коду Грея: починати треба з нульового стану, а потім для отримання кожного наступного слід вибрати наймолодший розряд, зміна якого приводить до утворення нового стану, і взяти його інверсне значення.

Є ряд інших кодів, які мають цікаві та корисні властивості, наприклад, код «із залишком 3» або код «4221» (табл. 1.4). Для того щоб будь-яку цифру від 0 до 9 записати в коді «із залишком 3», треба додати до неї число 3, а потім виразити результат в 4-розрядному двійковому коді. При використанні коду «4221» кожену цифру також записують у вигляді 4-розрядної групи, однак її розряди, починаючи з лівого, подають величини 4, 2, 2, і 1.

Таблиця 1.3- Код Грея

Десяткове число	Двійковий код	Код Грея
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000

Ці коди мають одну важливу властивість: для того щоб для якої-небудь цифри отримати її доповнення до 9, досить взяти її обернений код. Це дає змогу спростити десятиричну арифметику. Замість віднімання певного числа достатньо провести додавання з числом, яке є доповненням до 9 початкового числа плюс 1.

Таблиця 1.4 - Коди «із залишком 3» та «4221»

Десяткове число	Двійковий код	Код «із залишком 3»	Код «4221»
0	0000	0011	0000
1	0001	0100	0001
2	0010	0101	0010
3	0011	0110	0011
4	0100	0111	1000
5	0101	1000	0111
6	0110	1001	1100
7	0111	1010	1101
8	1000	1011	1110
9	1001	1100	1111

1.2 Коди з виявленням помилок

Поява одиничної помилки в одному з розрядів 4-розрядного двійкового коду може призвести до неправильного, але допустимого кодового набору. Якщо код такий, що поява будь-якої одиничної помилки перетворює допустимий кодовий набір в недопустимий кодовий набір, то його називають *кодом з виявленням одиночної кодової помилки*. Два таких коди наведено в табл. 1.5.

Таблиця 1.5. Коди з виявленням помилки

Десяткова цифра	Двійково-десятковий код із перевіркою на парність					Код «2 з 5»				
	8	4	2	1	p	0	1	2	4	7
0	0	0	0	0	0	0	0	0	1	1
1	0	0	0	1	1	1	1	0	0	0
2	0	0	1	0	1	1	0	1	0	0
3	0	0	1	1	0	0	1	1	0	0
4	0	1	0	0	1	1	0	0	1	0
5	0	1	0	1	0	0	1	0	1	0
6	0	1	1	0	0	0	0	1	1	0
7	0	1	1	1	1	1	0	0	0	1
8	1	0	0	0	1	0	1	0	0	1
9	1	0	0	1	0	0	0	1	0	1

Виявлення помилки у будь-якому з цих кодів перевіряють на парність. Ця перевірка заснована на приєднанні до кожного набору додаткового розряду з тим, щоб кількість одиниць у будь-якому кодовому наборі певного коду була непарною або парною. Доцільніше число одиниць у кодовому наборі з виявленням одиничної помилки вибрати непарним. Тоді будь-яке кодове подання, у тому числі й для нуля, матиме хоча б одну 1. Це дасть можливість відрізнити повну відсутність інформації від передачі 0 в тому випадку, коли 1 зображається наявністю електричного сигналу, а 0 – його відсутністю.

Додатковий розряд p називається *контрольним розрядом парності*. Код, що складається з всіх 10 можливих комбінацій 5-розрядних кодових наборів з двома одиницями, називається кодом «2 з 5».

При побудові корегувальних кодів часто вдаються до геометричної моделі. Припустимо, що є алфавіт з трьох символів. З них можна скласти наступні комбінації: 000, 001, 010, 011, 100, 101, 110, 111. Візьмемо три осі і відкладемо точки з координатами коду (рисунок. 1.1). Завада може спотворити сигнал, тобто замість 0 з'явиться 1 або навпаки. Якщо кодові комбінації одна від одної відрізняються на довжину ребра $d = 1$, то завада переведе один сигнал в

іншій, тому виявити помилку в цьому випадку неможливо. Її можна виявити, якщо кодові комбінації розміщуються на відстані одна від одної на два ребра, тобто 000, 011, 101, 110. Для виправлення потрібно, щоб комбінації відрізнялися на три одиниці: 000, 111. Простір, зображений на рис. 1.1, називається *простором Хеммінга*, а величина d - відстанню за Хеммінгом або *мінімальною кодовою відстанню*. Наприклад, мінімальна кодова відстань для кодів з табл. 1.5 дорівнює 2. Очевидно, що ця відстань – завжди ціле число, що дорівнює числу розрядів, в яких відрізняються двійкові числа, відповідні точкам у просторі Хеммінга. У загальному випадку простір Хеммінга має n координат і зображується n -вимірним кубом.

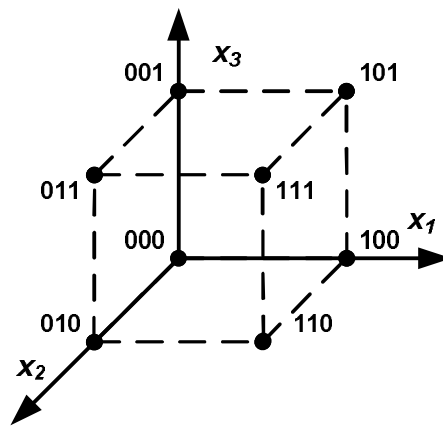


Рисунок 1.1- Геометрична інтерпретація

Для побудови n -розрядного коду з виявленням помилок потрібно не більше за половину з $2n$ можливих комбінацій розрядів. Кодові набори вибирають так, щоб для перетворення одного допустимого кодового набору на інший допустимий кодовий набір принаймні два розряди мали протилежні значення.

1.3 Коди з виправленням помилок

Не тільки виявити, а й виправити помилку можна за допомогою кодів, які будують так. Нехай є m - значний двійковий код. Загальне число комбінацій

$$N = 2^m .$$

Кожний з таких кодів відрізняється один від одного хоча б одним знаком. Доповнимо код ще одним знаком, а число кодових комбінацій залишимо незмінним. Тоді

$$N = 2^m = \frac{1}{2} 2^n ,$$

і можна так дібрати кодові комбінації, що вони відрізнятимуться двома знаками. При цьому буде використана тільки половина всіх можливих комбінацій від 2^n , друга половина утворить заборонені комбінації: будь-яка поява одиничної помилки перетворює її на заборонену і тим самим помилка виявляється. Доповнимо тепер код такою кількістю знаків, яка дасть можливість двом кодовим комбінаціям відрізнятися трьома знаками при незмінному числі $N = 2^m$. Такий код дасть змогу не тільки виявити, а й виправити одиничну помилку. Дійсно, якщо трапилася одинична помилка у будь-якій комбінації, то ця комбінація відрізнятиметься від інших на два знаки, а від своєї – на один і її легко виправити.

Визначимо загальне число додаткових знаків, потрібних для виявлення і виправлення одиничних помилок. Нехай із загального числа позицій n для передавання інформації використовується m , яке вважатимемо фіксованим. Інші позиції $k = n - m$ використовуються як перевірні. Символи, які ставлять на k перевірних позиціях, визначають при кодуванні перевіркою на парність кожної з k груп інформаційних символів. Сигнал кодують так, щоб у результаті в кожній з перевірок виходило парне число. На приймальному кінці з'являються на деяких позиціях одиниці замість нулів і нулі замість одиниць. Під час приймання також перевіряють на парність.

Побудуємо код, який би дав змогу виявити і виправити одиничну помилку. Нехай прийнята кодова комбінація з помилкою або без неї. Зробимо в ній послідовно k перевірок. Після кожної перевірки запишемо 0, якщо результат свідчить про відсутність помилки на позиціях, що перевіряються (сума одиниць парна), і 1, якщо результат свідчить про наявність помилки (сума одиниць непарна). Запис справа наліво здобутої послідовності одиниць і нулів дає двійкове число. Відсутності помилки в прийнятій кодовій комбінації відповідатиме число, складене з нулів. Перевірне число має описувати $(m + k + 1)$ подій. Отже, число k визначають за нерівністю $2^k \geq m + k + 1$, і оскільки

$$n = m + k, \text{ то } 2^m \leq \frac{2^n}{n+1}.$$

Це співвідношення дає змогу визначити максимальне m при певному n або мінімальне n для певного m . Відповідні значення наведено в табл. 1.6.

Визначимо позиції, які потрібно перевірити в кожній із k перевірок. Якщо помилок немає, то на всіх позиціях, що перевіряються буде 0; якщо у нижчому

розряді числа буде 1, це означає, що внаслідок першої перевірки виявлено помилку.

Таблиця 1.6- Основні та додаткові знаки для виявлення і виправлення одиничних помилок

<i>n</i>	<i>m</i>	<i>k</i>	<i>n</i>	<i>m</i>	<i>k</i>
1	0	1	6	3	3
2	0	2	7	4	3
3	1	2	8	4	4
4	1	3	9	5	4
5	2	3	10	6	4

Під час першої перевірки перевірятимемо ті номери позицій, двійкові зображення яких мають у першому розряді 1, тобто

$$1 = 0001; 3 = 0011; 5 = 0101; 7 = 0111; 9 = 1001 \text{ і т.д.}$$

Отже, перша перевірка охоплює позиції 1, 3, 5, 7, 9. Для другої перевірки виберемо такі позиції, двійкові зображення яких мають 1 у другому розряді, що відповідає 2, 3, 6, 7, 10. Для третьої перевірки виберемо позиції, двійкові зображення яких мають 1 в третьому розряді, тобто маємо 4, 5, 6, 7, 12, 13, 14.

Такий вибір позицій, що перевіряються, дає можливість визначити номер позиції, в якій виникла одинична помилка. Якщо виникла помилка на одній з позицій першої перевірки, то в перевірному числі в нижчому (правому) розряді з'явиться 1. Подальшу розшифровку перевірконого числа дає друга перевірка: якщо серед всіх позицій другої перевірки помилок немає, то з'являтиметься 0. Отже, будь-яку одиничну помилку на певній позиції можна усунути перевірками, що дають перевірне число, яке дорівнює номеру позиції, на якій виникла помилка.

Залишається вирішити, які позиції використати як перевірні символи. Вибір для перевірки позицій 1, 2, 4, 8 ... забезпечує появу хоча б однієї з цих позицій у кожній перевірці, і це дає змогу незалежно від знаків числа, що передається, дістати у кожній перевірці парне число одиниць.

Отже, основні принципи побудови кодів Хеммінга з виправленням помилок такі. До кожного набору з m інформаційних розрядів приєднують k розрядів $p_1, p_2 \dots p_k$ перевірки на парність. Потім надають десятиричне значення позиції кожному з $(m+k)$ розрядів кодового набору, починаючи зі значення 1 для старшого розряду і закінчуючи значенням $(m+k)$ для молодшого розряду. Проводять k перевірок на парність числа одиниць у вибраних розрядах кожного кодового набору. Результат перевірки на парність записують як 1 або 0 залежно від того,

виявлена помилка чи ні. За результатами цих перевірок будують двійкове число c_1, c_2, \dots, c_k , яке дорівнює десятиричному значенню, наданому місцеположенню помилкового розряду, якщо відбулася помилка, і нулю, якщо її немає. Це число називають номером позиції. Для визначення контрольних розрядів через інформаційні розряди і незалежно один від одного їх розміщують у позиціях 1, 2, ..., 2^{k-1} . Мінімальна відстань для коду Хеммінга дорівнює трьом.

Корегувальну здатність коду можна підвищувати і далі, будуючи коди для виявлення r -кратної і виправлення s -кратної помилок. При цьому буде зростати число додаткових знаків і загальна довжина кодової комбінації (при незмінному $N = 2^m$). Очевидно, що $d = 1 + r + s$, $r \geq s$.

Можливості різних кодів наведено в табл. 1.7.

Таблиця 1.7- **Можливості різних кодів**

d	r	s	Можливості коду
1	0	0	Відмінність однієї комбінації від іншої
2	1	0	Виявлення одиничної помилки
3	1	1	Виявлення і виправлення одиничної помилки
	2	0	Виявлення дворазової помилки
4	2	1	Виявлення дворазової і виправлення одиничної помилки
	3	0	Виявлення триразової помилки
5	2	2	Виявлення і виправлення дворазової помилки
	3	1	Виявлення триразової і виправлення одиничної помилок
	4	0	Виявлення чотириразової помилки

Припустімо, передана послідовність 1101001, але через помилку в п'ятій позиції прийнята послідовність 1101101. Положення помилки можна визначити виконанням трьох перевірок на парність:

Позиція:	1	2	3	4	5	6	7	
	p_1	p_2	m_1	p_3	m_2	m_3	m_4	
Отримане повідомлення:	1	1	0	1	1	0	1	
Перевірка на парність позицій 4, 5, 6, 7				1	1	0	1	$c_1 = 1$, тому що результат непарний
Перевірка на парність позицій 2, 3, 6, 7		1	0			0	1	$c_2 = 0$, тому що результат парний
Перевірка на парність позицій 1, 3, 5, 7	1		0		1		1	$c_3 = 1$, тому що результат непарний

Отже, здобуто номер позиції, який дорівнює 101, що означає наявність помилки в п'ятій позиції. Для її виправлення слід замінити п'ятий розряд його доповненням, після чого матимемо правильне повідомлення 1101001.

1.4 Двійкова арифметика

Арифметичні дії над двійковими числами виконують відповідно до наведених нижче виразів.

Додавання	Віднімання	Множення
$0+0=0$	$0-0=0$	$0\cdot 0=0$
$1+0=1$	$1-0=1$	$1\cdot 0=0$
$0+1=1$	$1-1=0$	$0\cdot 1=0$
$1+1=10$	$10-1=1$	$1\cdot 1=1$

Додавання двох багаторозрядних двійкових чисел проводиться порозрядно з урахуванням одиниць переповнення від попередніх розрядів, наприклад:

$$\begin{array}{r} 1011 \\ + 1011 \\ \hline 10110 \end{array}$$

Віднімання багаторозрядних двійкових чисел аналогічно додаванню починають з молодших розрядів. Якщо зайняти 1 у старшому розряді, утвориться дві одиниці у молодшому розряді, наприклад:

$$\begin{array}{r} 1010 \\ - 0110 \\ \hline 0100 \end{array}$$

Множення є багаторазовим додаванням проміжних сум із зсувом, наприклад:

$$\begin{array}{r} 10011 \\ \times 101 \\ \hline 10011 \\ 00000 \\ \hline 10011 \\ \hline 1011111 \end{array}$$

Ділення складається з операцій віднімання, що повторюються, наприклад:

$$\begin{array}{r}
 101010 \mid \underline{111} \\
 -111 \quad \mid 110 \\
 \hline
 0111 \\
 \quad -\underline{111} \\
 \hline
 0000
 \end{array}$$

1.5 Форми подання чисел

В ЕОМ застосовують дві основні форми подання чисел: напівлогарифмічну з плаваючою комою і натуральну з фіксованим положенням коми.

При поданні чисел з фіксованою комою положення коми закріплюють у певному місці відносно розрядів числа і зберігають незмінним для всіх чисел, що зображають у певній розрядній сітці. Звичайно кому фіксують перед першим (старшим) розрядом і в розрядній сітці можна подати тільки числа, які за модулем менші ніж 1. Для кодування знака двійкового числа використовують старший ("знаковий") розряд (0 відповідає знаку «плюс», 1 – знаку «мінус»).

Під час виконання арифметичних дій над правильними дробами можуть виходити двійкові числа, які за абсолютною величиною більше або дорівнюють 1, що називається переповненням розрядної сітки і старші розряди числа втрачаються. Для виключення можливості переповнення вводять масштаб величини. Числа, які за абсолютною величиною менші ніж 1 молодшого розряду розрядної сітки, також втрачаються і називаються машинним нулем.

Недоліками подання чисел з фіксованою комою є:

- необхідність попереднього розрахунку і введення в машину масштабних коефіцієнтів, що є досить складною роботою (масштабні коефіцієнти призначені для зменшення чисел, що перевищують одиницю або дорівнюють їй);
- відносна точність залежить від значення чисел, що надходять, і є максимальною у діях з максимально можливими числами.

Використання подання чисел з фіксованою комою дає змогу спростити схеми машини, підвищити її швидкодію, але зумовлює певні труднощі для програмування. Тому подання чисел з фіксованою комою використовують як основне тільки в мікроконтролерах.

В універсальних ЕОМ основним є подання чисел з плаваючою комою. Подання числа з плаваючою комою в загальному випадку має вигляд:

$$A = m \cdot q^n,$$

де q – основа системи числення, n – ціле число, що є порядком числа A , m – мантиса числа A ($|m| < 1$).

Через те що в ЕОМ застосовують двійкову систему числення, то $A = m \cdot 2^n$, причому порядок і мантису подано у двійковій формі.

Якщо в записі числа старша цифра відмінна від нуля, число вважають нормалізованим; якщо старша цифра 0 – число ненормалізоване. Нормалізацію чисел в процесі обчислення виконує ЕОМ автоматично. При цьому мантиса числа зсувається ліворуч до моменту появи у старшому розряді сітки найближчої одиниці. Відповідно зменшується порядок числа. У разі переповнення розрядної сітки, наприклад при додаванні нормалізованих чисел одного порядку, проводиться нормалізація праворуч на один розряд. Нормалізоване подання чисел дає змогу зберегти в розрядній сітці більшу кількість цифр і, отже, підвищує точність обчислень. Проте сучасні ЕОМ дають змогу за потреби виконувати операції також і над ненормалізованими числами.

Перевагою ЕОМ з плаваючою комою є більший діапазон подання чисел (причому без введення масштабу), порівняно з ЕОМ з фіксованою комою. Так, якщо взяти однакову розрядність і визначити кількість розрядів у мантисі через n_1 , то діапазон поданих чисел в ЕОМ з фіксованою комою

$$2^{-n_1} \leq |A| \leq 1 - 2^{-n_1},$$

у той час як для ЕОМ з плаваючою комою (для нормалізованих чисел)

$$2^{-n_1} \cdot 2^{-(2^{n_2}-1)} \leq |A| \leq (1 - 2^{-n_1}) \cdot 2^{2^{n_2}-1},$$

де n_2 – кількість розрядів в порядку; $(2^{n_2} - 1)$ - максимальне значення порядку; 2^{-n_1} – найменше значення мантиси (0,00...1); $(1 - 2^{-n_1})$ – найбільше значення мантиси (0,11...1).

Порівнявши між собою наведені співвідношення, можна дійти висновку, що для ЕОМ з плаваючою комою діапазон поданих чисел більший. Широкий діапазон подання чисел з плаваючою комою зручний для наукових і інженерних розрахунків, проте для виконання дій потрібні операції окремо з мантисами чисел і окремо з порядками, що спричинює ускладнення цифрових пристроїв і сповільнює виконання операцій.

Цифрову інформацію прийнято вводити у певному форматі, заданому числом розрядів. Кожну двійкову цифру, тобто один двійковий розряд числа, на-

зивають бітом інформації. Вісім бітів утворюють байт. Чотири байти утворюють 32-розрядне слово. Подвійне слово містить 64 двійкових розряди. Використовують також формат півслова, два байти.

З метою спрощення схем віднімання в ЕОМ замінюється додаванням спеціально побудованих кодів чисел. Застосовують такі коди чисел: прямий, обернений і додатковий. Прямий код числа дає змогу дати зображення числа з урахуванням знаку. Тому прямий код додатного числа співпадає з його записом, а прямий код від'ємного числа відрізняється від звичайного запису числа знаковим розрядом, в який заноситься одиниця.

В ЕОМ прямий код застосовують тільки для подання додатних двійкових чисел. Для подання від'ємних чисел застосовують або додатковий, або обернений код, оскільки над від'ємними числами у прямому коді незручно виконувати арифметичні операції. від'ємне

Додатковий і обернений коди додатного числа співпадають з його прямим кодом. Правила для утворення додаткового й оберненого кодів такі:

- для утворення додаткового коду від'ємного числа потрібно у знаковому розряді поставити 1, а всі цифрові розряди інвертувати (замінити 1 на 0, а 0 – на 1), після чого додати 1 до молодшого розряду;
- для утворення оберненого коду від'ємного числа слід у знаковому розряді занести 1, а всі цифрові розряди інвертувати.

Приклад.

Число	Прямий код	Обернений код	Додатковий код
$X = +0,10101$	$[X]_{\text{пр}} = 0,10101$	$[X]_{\text{об}} = 0,10101$	$[X]_{\text{дод}} = 0,10101$
$Y = -0,01011$	$[Y]_{\text{пр}} = 1,01011$	$[Y]_{\text{об}} = 1,10100$	$[Y]_{\text{дод}} = 1,10101$

Прямий код можна отримати з додаткового й оберненого за тими самими правилами, які призначені для знаходження додаткового й оберненого кодів.

При додаванні чисел в оберненому коді розряди значущих чисел розміщують порозрядно справа наліво, а знакові розряди – як розряди цілих чисел; одиницю переповнення, що утворюється при цьому в знаковому розряді, додають до молодшого розряду суми. Останню дію називають циклічним перенесенням.

При додаванні чисел у додатковому коді значущі розряди розміщують порозрядно, знакові розряди – як розряди цілих чисел, а одиницю переповнення, що утворюється в знаковому розряді, не враховують.

Якщо знаковий розряд результату рівний 0, то здобуто додатне число, яке подано у прямому коді. Якщо в знаковому розряді 1, то результат від'ємний і поданий в оберненому або додатковому коді.

Приклад:

а) Прямий код	Обернений код	Додавання
$[x]_{\text{пр}}=0,10101$	0,10101	0,10101
$[y]_{\text{пр}}=1,01001$	1,10110	<u>1,10110</u>
$[x+y]_{\text{пр}}=0,01100$		10,01011
		<u> 1</u>
		$x+y = 0,01100$

Перевіримо в десятиричному коді еквівалентними цілими числами:

$$x = +21; y = -9; x + y = +12 = 01100_{(2)}$$

б) Прямий код	Обернений код	Додавання
$[x]_{\text{пр}}=1,10101$	1,01010	1,01010
$[y]_{\text{пр}}=0,01001$	<u>0,01001</u>	0,01001
$[x+y]_{\text{пр}}=1,01100$		<u>1,10011</u>
		$[x+y]_{\text{об}} = 1,10011$

Перевірка: $x = -21; y = +9; x + y = -12 = 1,01100_{(2)}$

в) Прямий код	Зсув	Додатковий код	Додавання
$[x]_{\text{пр}}=1,11010$	1,011010	1,100110	1,100110
$[y]_{\text{пр}}=1,01100$	1,001100	1,110100	<u>1,110100</u>
			$[x+y]_{\text{дод}} = 11,011010$

Перевірка: $x = -26; y = -12; x + y = -38 = 1,100110_{(2)}$

Для того, щоб уникнути помилок під час виконання бінарних операцій, перед переведенням чисел в обернені і додаткові коди потрібно вирівнювати кількість розрядів прямого коду операндів.

У разі додавання чисел, менших за одиницю, можна дістати числа, які за абсолютною величиною більші ніж одиниця. Для виявлення переповнення розрядної сітки в ЕОМ застосовують модифіковані прямий, обернений і додатковий коди. У цих кодах знак кодують двома розрядами, причому знаку «плюс» відповідає комбінація 00, а знаку «мінус» – комбінація 11.

Правила додавання для модифікованих кодів ті самі, що і для звичайних. Одиницю перенесення зі старшого знакового розряду в модифікованому додатковому коді не враховують, а в модифікованому оберненому коді передають до молодшого цифрового розряду.

Ознакою переповнення є поява у знаковому розряді суми комбінації 01 при додаванні додатних чисел (додатне переповнення) або 10 при додаванні від'ємних чисел (від'ємне переповнення). Старший знаковий розряд у цих випадках містить істинне значення знака суми, а молодший є старшою цифрою значущого числа. Для корекції переповнення число треба зсунути у розрядній сітці на один розряд праворуч, а в старший знаковий розряд, що звільнився, вмістити цифру, яка дорівнює новому значенню молодшого знакового розряду. Після корегування переповнення мантиси результату потрібно збільшити на одиницю порядок результату.

Приклад.

$$\begin{array}{r} \text{Додавання} \\ X = 0,101011 \\ + Y = \underline{0,110100} \\ X+Y = 1,011111? \end{array}$$

Додавання в модифікованому коді:

$$\begin{array}{r} X = 00,101011 \\ + Y = \underline{00,110100} \\ X+Y = 01,011111 \quad \rightarrow \quad 00,101111 \end{array}$$

ПИТАННЯ ДО РОЗДІЛУ

1. Що називається системою числення?
2. Яке смислове навантаження несе визначення основи системи числення?
3. Дати визначення поняття «позиційна система числення».
4. У чому відмінність позиційної системи числення від непозиційної?
5. Наведіть правило переведення числа з десяткової системи в систему з основою q .
6. Як перевести число з двійкової системи числення в десяткову?
7. Чи може бути система числення п'ятиричною і семеричною?
8. Які числа слідує за числом сім у вісімковій системі числення, за числом дев'ять в десятковій системі числення і за числом п'ятнадцять в шістнадцятковій системі числення?
9. Назвати останні числа в двійковій, вісімковій, і шістнадцятковій системах числення в третьому, п'ятому, сьомому циклах рахунку і наступні числа в наступних циклах.
10. Яким системам числення можуть належати наступні числа: 765, 3A2, 10101, 1579, 816, 9E5, 819?

11. Чому вісімкове число в двійковому еквіваленті зображається тріадами, а шістнадцяткове — тетрадами?
12. Чому для зображення десяткової цифри в двійково-десятковій системі числення відводиться чотири розряди?
13. Які правила виконання арифметичних дій над числами у двійковому коді?
14. Що таке перевірка парності?
15. Які коди називають циклічними?
16. У чому полягає особливість коду Грея та де його можна використати?
17. Чим розрізняються код з розпізнаванням помилки і код з виправленням помилки?
18. Як влаштований код Хеммінга і як відбувається виправлення помилок?
19. Поясніть кількість міри інформації – біт, байт.
20. Поясніть, як представляються негативні числа в двійковій системі числення.
21. Які основні форми подання чисел в ЕОМ?
22. Які недоліки подання чисел з фіксованою комою?
23. У яких випадках доцільно представляти числа у формі з плаваючою комою?
24. Які взаємозв'язані значення порядку і мантиси числа?
25. Чому при обчисленнях використовуються коди чисел, а не самі числа?
26. Що таке нормалізація чисел та переповнення розрядної сітки ЕОМ?
27. Чим відрізняється утворення додаткового коду негативного числа від зворотного коду?
28. Які перетворення необхідно виконати при переведенні із зворотного і додаткового кодів негативного числа в прямий код?
29. Привести приклад і вказати відмінність в зображенні звичайного і модифікованого кодів числа.
30. У чому полягають причини використання модифікованих кодів чисел?
31. Які дії необхідно виконати з третім знаковим розрядом результату при складанні чисел, представлених в зворотному і додатковому кодах?
32. У яких випадках можлива поява переповнювання розрядної сітки при складанні в модифікованих кодах?
33. Наведіть правила додавання для модифікованих кодів

ЗАДАЧІ ДЛЯ САМОСТІЙНОГО ТА ІНДИВІДУАЛЬНОГО РОЗВ'ЯЗУВАННЯ

1. Перетворіть числа 251, 469, 347, 534, 678 надані в десятковій системі числення в двійкову, а потім в шістнадцяткову систему числення
 $X_{(10)} \rightarrow ?_{(2)} \rightarrow ?_{(16)}$;
2. Перетворіть числа 753, 669, 347, 547, 901 надані в десятковій системі числення в двійкову, вісімкому та в шістнадцяткову систему числення:
 $X_{(10)} \rightarrow ?_{(2)}$; $X_{(10)} \rightarrow ?_{(8)}$; $X_{(10)} \rightarrow ?_{(16)}$.
3. Перетворіть десяткове число 118,625 в двійкове.
4. Перетворіть шістнадцяткове число 1AC8 в десяткове через двійкове,
 $X_{(16)} \rightarrow ?_{(2)} \rightarrow ?_{(10)}$.
5. Перетворіть двійкове число 11010₍₂₎ в десяткове
6. Перетворіть двійкове число 11001,0001₍₂₎ в десяткове.
7. Перетворіть в двійкову форму наступні шістнадцяткові числа: 77; AA
8. Складіть двійкові числа A = -1010 та B = 1100 з використанням оберненого та додаткового модифікованих кодів
9. Перетворіть наступні десяткові числа в двійкову форму і виконайте вказані арифметичні операції, використовуючи там, де необхідно, додатковий код:
 а) 32 + 32; б) 67 + 132; в) 67 - 32; г) -24 + 43; д) -88 - 99
10. Складіть двійкові числа A = -1101 та B = -1010 з використанням оберненого та додаткового модифікованих кодів
11. Переведіть шістнадцяткові числа в десяткові і двійкові
 а) **AB1**; б) 87F2; в) E605; г) **BCD4**; д) 12B31; е) **BA1A**; ж) 31459; з) **1A1B**.
12. Переведіть десяткові числа в шістнадцяткові і двійкові
 1. а) 100; б) 259; в) 1020; г) 1983; д) 10000; е) 126; ж) 18020; з) 999.
13. Запишіть числа від 0 до 9 у кодї Грея з перевіркою на непарність.
14. Виконати додавання чисел заданих у таблиці застосовуючи обернений та додатковий коди, $X+Y=?$

Варіанти	1	2	3	4	5	6	7	8	9	10	11	12
$X_{(10)}$	25	-46	34	-27	34	-33	24	-31	21	-37	36	-26
$Y_{(10)}$	-33	34	-28	18	-43	28	-37	27	-23	29	-46	32

ПІДСУМКИ

НЕОБХІДНО ЗРОЗУМІТИ

1. Залежно від способу зображення чисел за допомогою цифр системи числення поділяють на позиційні та непозиційні.
2. Позиційні системи числення можуть бути різними залежно від основи: десяткові, вісімкові, шістнадцяткові, двійкові.
3. Цифрові пристрої використовують елементи, які мають тільки два стійких стани, і тому двійкова система числення дістала поширення для подання й оброблення інформації.
4. Шістнадцяткові числа дуже зручні для проміжного представлення інформації
5. При передачі, обробці і запису даних не можна цілком виключити можливість появи помилок, що виникають через збої в роботі апаратури або перешкод, тому часто використовуються такі способи кодування даних, при яких можна визначати виникнення помилок.
6. Простий спосіб розпізнавання одиночної помилки полягає в додаванні до інформаційних розрядів контрольного біта перевірки на парність
7. Складання двійкових чисел подібно складанню десяткових. Єдина відмінність у тому, що для десяткової системи числення перенос виникає у разі перевищення числа 9, а для двійкової — одиниці.
8. Існує декілька способів представлення позитивних і негативних чисел, виражених в двійковому коді. Один з них передбачає представлення числа за допомогою знаку і величини, причому біт знаку посідає найстарший розряд
9. У більшості цифрових систем негативні величини представляються саме у вигляді додаткового коду, оскільки таке представлення значно спрощує складання і віднімання.
10. Для виявлення переповнення розрядної сітки застосовують модифіковані прямий, обернений і додатковий коди. У цих кодах знак кодують двома розрядами, причому знаку «плюс» відповідає комбінація 00, а знаку «мінус» – комбінація 11.

СЛІД ЗАПАМ'ЯТАТИ

1. Будь-яку позиційну систему числення з основою q можна подати у вигляді полінома

$$A_{(q)} = r_n q^n + r_{n-1} q^{n-1} + \dots + r_1 q^1 + r_0 q^0 + r_{-1} q^{-1}$$

де $A_{(q)}$ - в позиційній системі числення з основою q ; r - коефіцієнт; n - ступінь та індекс.

2. Правила переведення з десяткової системи в будь-яку позиційну систему числення та правила зворотного переведення.

ТРЕБА ВМІТИ

1. Перетворювати з десяткової системи в будь-яку позиційну систему числення та виконувати зворотне перетворення
2. Використовувати необхідні способи кодування даних для їх передачі, обробці і запису.

РОЗДІЛ 2. Алгебра логіки і теоретичні основи синтезу цифрових пристроїв

2.1. Елементи математичної логіки

Математична логіка - частина формальної логіки. Вона є теоретичною основою побудови ЕОМ і цифрових пристроїв. Найбільшого поширення в галузі математичної логіки дістала алгебра логіки.

Базою алгебри логіки є поняття про висловлювання, істинність і помилковість висловлювання, а також поняття про зв'язки між висловлюваннями. Висловлювання, або логічний аргумент, в залежності від значення буває істинним або помилковим. Значення висловлювання може змінюватися із зміною обставин, тому висловлювання змінює оцінку своєї істинності. З точки зору логіки висловлювання можуть бути:

- постійно істинними (математично їх беруть такими, що дорівнюють 1);
- постійно помилковими (математично їх беруть такими, що дорівнюють 0);
- істинними або помилковими залежно від певних умов, тобто набувати значення 1 або 0 навперемінно.

За змістом висловлювання бувають прості та складні. При простому висловлюванні логічний аргумент (змінна) належить до складного висловлювання логічної функції, що залежить від істинності або помилковості аргументу. Звичайно просте висловлювання позначають малими літерами латинського (або російського) алфавіту: x, e, z, m, p, a, b . Складні висловлювання, або логічні функції, позначають великими літерами латинського (російського) алфавіту: A, F, P, X, Y, S, Q . Зв'язки між висловлюваннями-аргументами за своєю логікою різні, і від цього значення складного висловлення непостійне.

Різні комбінації значень вхідних змінних у логічних функціях називають наборами. Функція є цілком заданою, якщо вказані її значення для всіх наборів значень вхідних змінних. Якщо задати кожному набору значення функції, яке дорівнює 0 або 1, можна дістати табличне завдання певної функції, що називають таблицею істинності або таблицею відповідності.

Розглянемо логічні функції n аргументів, якщо є набір аргументів і таблиця істинності, в якій визначено значення функції для кожного поєднання аргументів. Для визначення n -скінченного числа функцій використовують формулу $N=2^{2^n}$; отже, для двозначної системи набір функцій двох змінних дорівнює 16, а від однієї змінної — 4. Логічні двійкові функції називають булевими на

ім'я англійського математика ХІХ ст. Дж. Буля. Назва, позначення і значення всіх шістнадцяти булевих функцій для двозначної системи двох змінних наведено в табл. 2.1 разом з назвами схем логічних елементів.

Таблиця 2.1- Значення булевих функцій

№ пп	Значення Булевих функцій у залежності від аргументів x та y .					Позначення функції	Назва функції	Назва або позначення схеми логічного елементу
	x	0	0	1	1			
	y	0	1	0	1			
1	$F_0(x, y)$	0	0	0	0	0	Константа нуль	Генератор нуля
2	$F_1(x, y)$	0	0	0	1	$x \wedge y$	Кон'юнкція, логічне множення, І	Кон'юнктор, І, &
3	$F_2(x, y)$	0	0	1	0	$x \Delta y$	Заборона по x , заперечення імплікації	Схема заборони
4	$F_3(x, y)$	0	0	1	1	x	Змінна x	Повторювач x
5	$F_4(x, y)$	0	1	0	0	$y \Delta x$	Заборона по y , заперечення імплікації	Схема заборони
6	$F_5(x, y)$	0	1	0	1	y	Змінна y	Повторювач y
7	$F_6(x, y)$	0	1	1	0	$x \oplus y$	Сума по модулю 2, логічна нерівнозначність	Додавання по модулю 2, М2
8	$F_7(x, y)$	0	1	1	1	$x \vee y$	Диз'юнкція, логічне додавання, АБО	Диз'юнктор, АБО
9	$F_8(x, y)$	1	0	0	0	$\frac{x \downarrow y}{x \vee y}$	Стрілка Пірса, заперечення диз'юнкції	Елемент Пірса, АБО-НЕ
10	$F_9(x, y)$	1	0	0	1	$x \equiv y$	Еквівалентність	Рівнозначність
11	$F_{10}(x, y)$	1	0	1	0	\bar{y}	Заперечення, інверсія y	Інвертор НЕ
12	$F_{11}(x, y)$	1	0	1	1	$y \rightarrow x$	Імплікація від y к x	Елемент імплікації
13	$F_{12}(x, y)$	1	1	0	0	\bar{x}	Заперечення, інверсія x	Інвертор НЕ
14	$F_{13}(x, y)$	1	1	0	1	$x \rightarrow y$	Імплікація від x к y	Елемент імплікації
15	$F_{14}(x, y)$	1	1	1	0	x/y	Штрих Шеффера, заперечення кон'юнкції	Елемент Шеффера, І-НЕ
16	$F_{15}(x, y)$	1	1	1	1	1	Константа одиниця	Генератор одиниці

2.2 Основні закони алгебри логіки

В алгебрі логіки введено таку систему аксіом, що визначає властивості й відносини основних операцій:

$$a + b = b + a$$

$$a(b + c) = ab + ac$$

$$a + bc = (a + b)(a + c)$$

$$a + \bar{a} = 1$$

$$a + \bar{a} = b + \bar{b}$$

$$a\bar{a} = b\bar{b}$$

За цими аксіомами виводять усі теореми, що виражають основні закони алгебри логіки. Їх називають також системою рівносильних перетворень функції або рівнозначностями.

1. Закони нульової множини

$$0 \cdot a = 0$$

$$0 + a = a$$

$$0 \cdot a \cdot b \cdot c \dots z = 0$$

тобто кон'юнкція будь-якого числа змінних набуває значення нуль, якщо хоча б одна змінна має значення 0 незалежно від значень інших змінних.

2. Закони універсальної множини

$$1 \cdot a = a$$

$$1 + a = 1$$

$$1 + a + b + \dots + z = 1$$

тобто диз'юнкція будь-якого числа змінних набуває значення 1, якщо хоча б одна з її змінних має значення 1 незалежно від значень інших змінних.

3. Закони ідемпотентності (повторення, тавтології)

$$a \cdot a \dots a = a$$

$$a + a + \dots + a = a$$

4. Закони подвійної інверсії

$$\overline{\overline{a}} = a,$$

тобто подвійну інверсію можна зняти.

5. Закони доповнення:

а) логічне протиріччя

$$a\bar{a} = 0,$$

тобто кон'юнкція будь-якої змінної та її інверсії є 0;

б) закон виключеного третього

$$a + \bar{a} = 1,$$

тобто диз'юнкція будь-якої змінної та її інверсії є 1.

6. Комутативний (переставний) закон

$$ab = ba$$

$$a + b = b + a$$

тобто результати виконання операцій кон'юнкції і диз'юнкції не залежать від того, в якому порядку розміщенні змінні.

7. Асоціативні (сполучені) закони

$$a(bc) = (ab)c = abc$$

$$a + (b + c) = (a + b) + c = a + c + b$$

тобто для запису кон'юнкції або диз'юнкції дужки можна опустити.

8. Дистрибутивні (розподільні) закони:

а) кон'юнкції відносно диз'юнкції

$$a(b + c) = ab + ac;$$

б) диз'юнкції відносно кон'юнкції

$$a + bc = (a + b)(a + c).$$

9. Закони поглинання

$$a(a + b) = a$$

$$a(a + b)(a + c) \dots (a + w) = a$$

$$a + ab = a$$

$$a + ab + ac + \dots + aw = a$$

$$a(\bar{a} + b) = ab$$

$$a + \bar{a}b = a + b$$

10. Закони склеювання (поширення)

$$ab + a\bar{b} = a$$

$$(a + b)(a + \bar{b}) = a$$

11. Закони узагальненого склеювання

$$\begin{aligned}
 ab + \bar{a}c + bc &= ab + \bar{a}c \\
 (a + b)(\bar{a} + c)(b + c) &= (a + b)(\bar{a} + c) \\
 (a + b)(\bar{a} + c) &= ac + \bar{a}b
 \end{aligned}$$

12. Закони де Моргана (закони інверсії):

а) для двох змінних

$$\overline{ab} = \bar{a} + \bar{b},$$

тобто інверсія кон'юнкції є диз'юнкцією інверсій;

$$\overline{a + b} = \bar{a}\bar{b},$$

тобто інверсія диз'юнкції є кон'юнкцією інверсій;

б) для n змінних

$$\begin{aligned}
 \overline{abc\dots w} &= \bar{a} + \bar{b} + \bar{c} + \dots + \bar{w} \\
 \overline{a + b + c + \dots + w} &= \bar{a}\bar{b}\bar{c}\dots\bar{w}
 \end{aligned}$$

13. Теорема розкладання (розвинення)

$$\begin{aligned}
 F(a, b, \dots, w) &= aF(1, b, \dots, w) + \bar{a}F(0, b, \dots, w) \\
 F(a, b, \dots, w) &= [a + F(0, b, \dots, w)] \times [\bar{a} + F(1, b, \dots, w)]
 \end{aligned}$$

$$\begin{aligned}
 aF(a, \bar{a}, b, c, \dots, w) &= aF(1, 0, b, c, \dots, w) \\
 \bar{a}F(a, \bar{a}, b, c, \dots, w) &= \bar{a}F(0, 1, b, c, \dots, w) \\
 a + F(a, \bar{a}, b, c, \dots, w) &= a + F(0, 1, b, c, \dots, w) \\
 \bar{a} + F(a, \bar{a}, b, c, \dots, w) &= \bar{a} + F(1, 0, b, c, \dots, w)
 \end{aligned}$$

2.3 Форми логічних функцій та їх використання для синтезу логічних схем

Залежність скінченних змінних y_i , виражена через сукупність початкових змінних x_{n-1}, \dots, x_1, x_0 за допомогою операцій алгебри логіки, називають функцією алгебри логіки. Для n -розрядного двійкового коду x_{n-1}, \dots, x_1, x_0 існує 2^n різних значень y_i .

Функцію називають повністю визначеною, якщо задані 2^n її значень. Якщо частина значень функції не задана, то функцію називають частково визначеною або не повністю визначеною.

Іноді відомо, що за умовами роботи пристрою поява деяких вхідних кодів неможлива, і тому значення функції алгебри логіки на цих кодах не задаються. При цьому виникають так звані факультативні або необов'язкові значення функції, які можуть задаватися довільними. Вхідні коди, для яких функція алгебри логіки має факультативні значення, називаються забороненими.

Для опису функцій алгебри логіки використовують різні способи. Основними з них є опис функцій у словесній формі, у вигляді таблиць істинності, алгебричних виразів, послідовностей десяткових чисел, а також кубічних комплексів.

Словесний опис функцій алгебри логіки найчастіше застосовують для початкового опису поведінки логічного пристрою.

Опис функцій алгебри логіки у вигляді таблиці істинності. Таблицю, що містить усі можливі комбінації початкових змінних x_{n-1}, \dots, x_1, x_0 і відповідні їм значення скінченних змінних y_i , називають таблицею істинності або комбінаційною таблицею. У загальному випадку таблиця істинності містить 2^n рядків.

Опис функцій алгебри логіки у вигляді алгебраїчного виразу. Алгебра логіки дає змогу створювати складні функції, аргументи яких є функціями інших двійкових аргументів. Операцію заміни аргументом однієї функції іншими, більш простими функціями називають суперпозицією функції. Багаторазове використання принципу суперпозиції дає можливість дістати функції бажаного числа аргументів.

Елементарна кон'юнкція утворюється кон'юнкцією скінченної множини логічних змінних і їх заперечень. Наприклад, $P(x, y, z) = xy\bar{z}$.

Елементарна диз'юнкція утворюється диз'юнкцією скінченної множини логічних змінних і їх заперечень. Наприклад, $P(x, y, z) = x + y + \bar{z}$.

Кількість змінних в елементарній кон'юнкції (диз'юнкції) називається її довжиною і визначає її ранг. Наприклад, $P(x, y, z, w) = x + y + \bar{z} + w$ є диз'юнкцією четвертого рангу.

Мінтермом називають функцію, що набуває одиничного значення при одному з усіх можливих наборів аргументів, а макстермом називають функцію, яка набуває нульового значення при одному з можливих наборів і одиничного значення при всіх інших. Мінтерм алгебрично є кон'юнкцією аргументів, а макстерм — диз'юнкцією аргументів. Якщо використовують двійкову систему і число наборів аргументів n , то число мінтермів або макстермів $N=2^n$.

Диз'юнкцію будь-якого числа елементарних кон'юнкцій називають диз'юнктивною нормальною формою (ДНФ).

Наприклад, $a + bc + \bar{a}bc + a\bar{b}\bar{c}$

Кон'юнкцію будь-якого числа елементарних диз'юнкцій називають кон'юнктивною нормальною формою (КНФ).

Наприклад, $a(a + b)(\bar{b} + c)(\bar{a} + b + \bar{c})$

Нормальні форми логічних функцій називають канонічними. Логічну функцію, задану будь-яким аналітичним виразом, можна безпосередньо перетворити на нормальну диз'юнктивну (або кон'юнктивну) форму. Для цього потрібно:

- виразити всі операції через операції кон'юнкції, диз'юнкції та інверсії;
- позбутися інверсії над цілими виразами, перейшовши до форми, в якій є інверсії тільки окремих змінних;
- розкрити дужки, застосовуючи закон дистрибутивності;
- звести кон'юнкції (диз'юнкції) до елементарних операцій.

Якщо до складу логічної формули належать набори елементарних кон'юнкцій однакового рангу, пов'язані диз'юнкцією, то таку форму подання логічної функції називають досконалою диз'юнктивною нормальною формою (ДДНФ). Правила утворення ДДНФ функції n аргументів такі.

1. За кожним набором двійкових змінних, за яких функція набуває значення 1, скласти елементарні кон'юнкції (мінтерми).
2. В елементарну кон'юнкцію записати неінвертованими змінні, що задані одиницею в таблиці істинності, а інвертованими – ті змінні, які в таблиці істинності задані нулем. Здобутий результат називають конститuentами одиниці.
3. Елементарні кон'юнкції об'єднати знаком диз'юнкції.

Досконалою кон'юнктивною нормальною формою (ДКНФ) логічної функції називають такий її вираз, який містить елементарні диз'юнкції одного рангу, пов'язані кон'юнкцією. Правила утворення ДКНФ n аргументів такі:

1. За кожним набором двійкових змінних, за яких функція набуває значення 0, скласти елементарні диз'юнкції (макстерми).
2. В елементарні диз'юнкції записати неінвертованими змінні, задані нулем у таблиці істинності, а інвертованими – ті змінні, які в таблиці істинності задані одиницею. Здобуті суми називають конститuentами нуля.

3. Елементарні диз'юнкції об'єднати знаком кон'юнкції.

ДКНФ використовується рідше за ДДНФ у процесі перетворення логічних виразів. Здобуті формули функції, якщо не застосовувати ніяких перетворень, можна використати для синтезу функціональних схем логічних пристроїв. Так, для реалізації $F(x_2, x_1, x_0)$ у ДДНФ можна скористатися рис. 2.1.

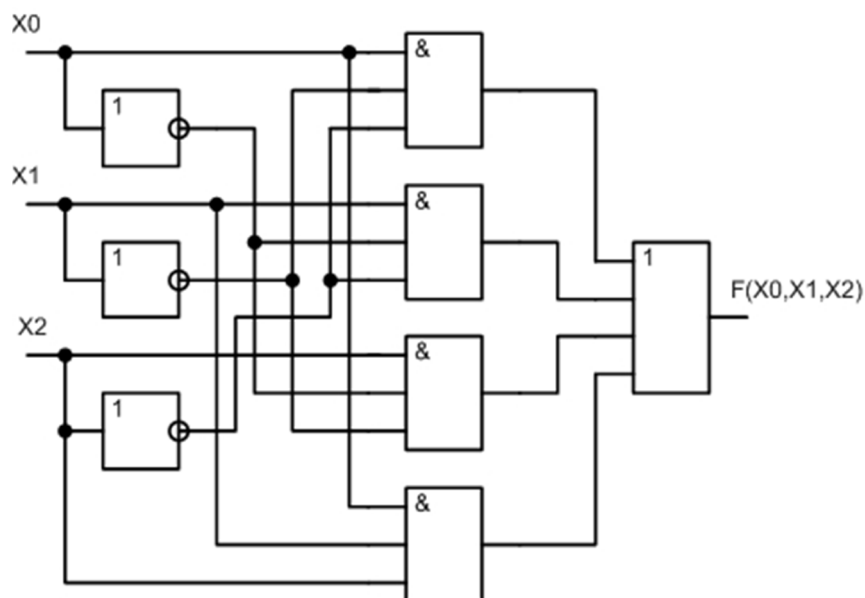


Рисунок - 2.1. Реалізація функції $F(x_2, x_1, x_0)$

Від будь-якої ДНФ можна перейти до ДДНФ функції за допомогою рівнозначних перетворень. Такий перехід називають розгортанням. Для цього потрібно:

- ввести відсутні змінні в кожен кон'юнкційний член множенням її на рівнозначність вигляду $a + \bar{a} = 1$, де a — відсутня змінна;
- розкрити дужки, застосувавши комутативний закон ($ab = ba$);
- позбутися кон'юнкцій, що повторюються, на основі закону ідемпотентності ($a + a = a$).

Перехід від КНФ до ДКНФ здійснюється аналогічно переходом від ДНФ до ДДНФ. Для цього потрібно:

- ввести відсутні змінні в кожну диз'юнкцію, використавши закон суперечності $a\bar{a} = 0$ (a — відсутня змінна);
- здійснити перетворення, застосувавши другий закон дистрибутивності $a + bc = (a + b)(a + c)$ і комутативний закон $a + b = b + a$;
- позбутися диз'юнкцій, що повторюються, на основі закону ідемпотентності $aa = a$.

Опис функцій алгебри логіки у вигляді послідовності десяткових чисел. Іноді для скорочення запису функцію алгебри логіки зображують у вигляді послідовності десяткових чисел. При цьому послідовно записують десяткові еквіваленти двійкових кодів відповідних конститuent 1 або 0.

Опис функцій алгебри логіки у вигляді кубічних комплексів. Основою кубічної форми є зображення кожного набору початкових змінних як n -вимірного вектора. Вершини цих векторів геометрично можна подати як вершини n - вимірного куба. Позначивши точками вершини векторів, для яких функція дорівнює 1, дістанемо геометричне зображення функції у вигляді куба (рис. 2.2).

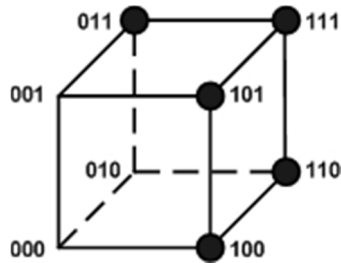


Рисунок - 2.2. Геометричне зображення функції

Якщо два нульових куби комплексу K_0 відрізняються тільки за однією координатою (змінною), тобто два набори змінних, для яких функція дорівнює 1, є сусідніми, то вони утворять одиничний куб (1-куб). Геометрично це відповідає ребру початкового n - вимірного куба. Записується 1-куб послідовністю загальних елементів його 0-кубів, з прочерком незбіжних елементів. Множина одиничних кубів утворює одиничний кубічний комплекс K_1 .

Аналогічно, якщо два одиничних куби комплексу K_1 відрізняються тільки за однією координатою (змінною), то вони утворять двійковий куб (2-куб). Геометрично це відповідає грані початкового n -вимірного куба. Записується 2-куб послідовністю загальних елементів його 1-кубів, з прочерком незбіжних елементів, а множина двійкових кубів утворює двійковий кубічний комплекс K_2 . І так далі.

Розмірність куба (його ранг) визначається числом незбіжних координат, тобто числом прочерків у його записі. Об'єднання кубічних комплексів K_0, K_1, \dots, K_m для функції логічної алгебри n - змінних утворить її кубічний комплекс (рис. 2.3)

Принцип подвійності формулюють так: якщо функції $F1$ і $F2$ рівнозначні, то рівнозначні їм функції $F1^*$ та $F2^*$.

Наприклад, для функції $F(a,b) = ab + \bar{a}b$ двоїстою є функція $F^*(a,b) = (a+b)(\bar{a}+b)$.

Потрібно відрізняти двоїсті форми функції від інверсних функцій, які отримують із скінченних їх інвертуванням. При цьому не тільки всі операції замінюють на двоїсті, а й всі змінні замінюють їх інверсіями.

Наприклад, для функції $F(a,b) = ab + \bar{a}b$ інверсною є функція

$$\bar{F}(a,b) = \overline{ab + \bar{a}b} = (\bar{a} + \bar{b})(a + \bar{b}).$$

Важливим практичним наслідком принципу двоїстості є той факт, що при записі логічних виразів і, отже, побудові логічних схем, можна скористатися тільки двома типами операцій, наприклад операціями І та НЕ чи АБО та НЕ.

Сукупність ЛЕ, що дає змогу реалізувати логічну схему довільної складності, називають функціонально повною системою. Отже, системи двох елементів І та НЕ, а також АБО та НЕ нарівні з системою з трьох елементів І, АБО, НЕ є функціонально повними. На практиці значного поширення набули ЛЕ, що поєднують функції елементів наведених вище функціонально повних систем. Це елементи І-НЕ та АБО-НЕ (рис. 2.5), кожен з яких так само утворює функціонально повну систему.

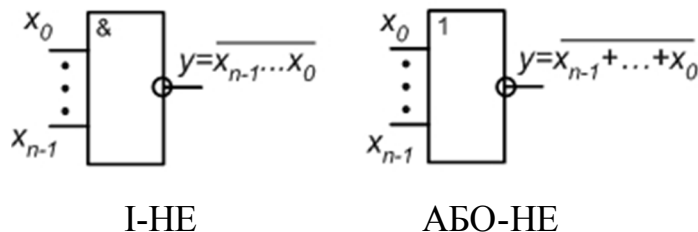


Рис. 2.5. Умовні графічні позначення логічних елементів І-НЕ та АБО-НЕ

Розглянемо виконання операцій І, АБО, і НЕ на елементах АБО-НЕ. Згідно з принципом двоїстості, якщо $x_1 \cdot x_0 = z$, то $\bar{x}_1 + \bar{x}_0 = \bar{z}$. Інвертуючи праву і ліву частини першого виразу, дістанемо $\bar{x}_1 + \bar{x}_0 = \bar{z} = \overline{x_1 x_0}$, тобто логічну операцію І можна замінити операціями АБО та НЕ. На рис. 2.6 наведено приклади реалізації основних логічних операцій з використанням тільки елементів АБО-НЕ.

На основі аналогічних міркувань можна показати виконання основних логічних операцій з використанням тільки елементів І-НЕ (рис. 2.7).

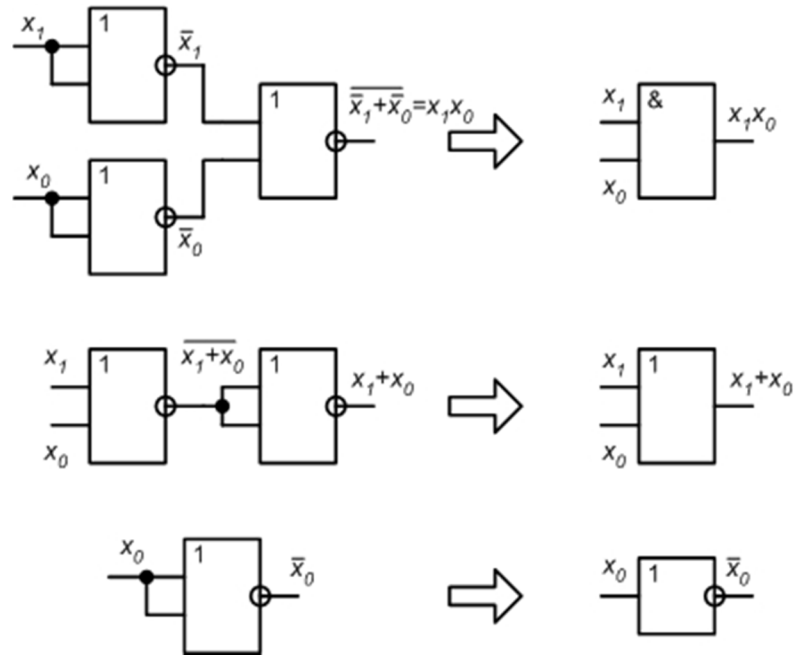


Рисунок 2.6 - Реалізація логічних операцій І, АБО, НЕ на основі елементів 2АБО-НЕ

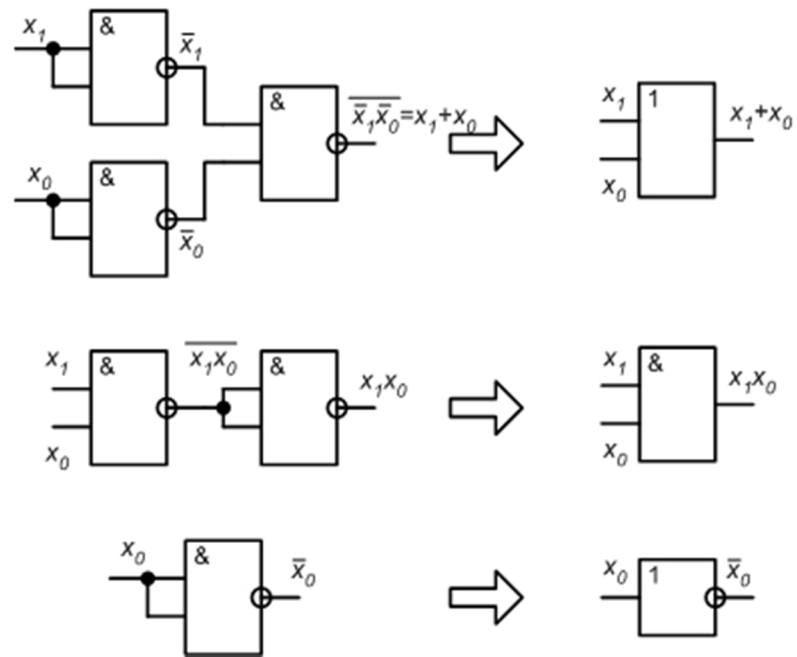


Рисунок 2.7- Реалізація логічних операцій на основі елементів 2І-НЕ

2.5 Класифікація логічних пристроїв

Логічні пристрої можна класифікувати за різними ознаками. За способом введення - виведення (інформації) логічні пристрої розподіляються на послідовні, паралельні і послідовно-паралельні.

Послідовним називають пристрій, в якому початкові змінні подаються на вхід, а скінченні змінні знімаються з виходу не одночасно, а послідовно, розряд за розрядом.

Паралельним називають пристрій, в якому всі розряди початкових змінних подаються на вхід, і всі розряди скінченних змінних знімаються з виходу одночасно.

У послідовно-паралельних пристроях початкові і скінченні змінні подані у різних формах – або на вхід змінні подаються послідовно символ за символом, а з виходу вони знімаються одночасно, або навпаки.

За принципом дії всі логічні пристрої розподіляють на два класи: комбінаційні і послідовні.

Комбінаційними пристроями, або автоматами без пам'яті, називають логічні пристрої, вихідні сигнали яких однозначно визначаються тільки діючою в певний момент на вході комбінацією змінних і не залежить від значень змінних, що діяли на вході раніше.

Послідовними пристроями, або автоматами з пам'яттю, називають логічні пристрої, вихідні сигнали яких визначаються не тільки діючою в певний момент на вході комбінацією змінних, а й усією послідовністю вхідних змінних, що діяли в попередні моменти часу.

Комбінаційну схему можна зобразити у вигляді m - k -полюсного елемента (рис.2.8). Вхідне слово (вхідний алфавіт) комбінаційної схема задають набором символів $M = (m_1 m_2 \dots m_i)$, а вихідне слово (вихідний алфавіт) набуває значення з вихідних символів $K = (k_1 k_2 \dots k_j)$.

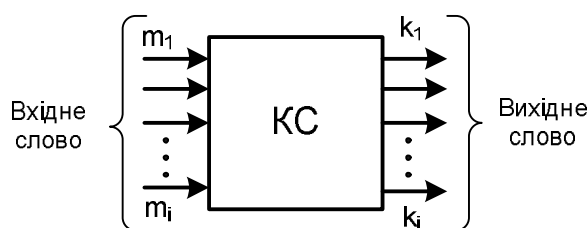


Рисунок 2.8- Комбінаційна схема

У дискретний момент часу сукупність вихідних сигналів однозначно визначається набором вхідних сигналів, що надходять на вхід у той самий момент часу. Комбінаційна схема характеризується: числом вхідних сигналів, числом вихідних сигналів, логічною формулою або таблицею істинності. Для керуван-

ня роботою комбінаційної схеми вводять керуючі тактові сигнали, щоб новий набір вхідних сигналів надійшов після закінчення перехідних процесів.

Якщо на вихідні сигнали впливає не внутрішній стан комбінаційної схеми, а тільки зміна вхідних сигналів, то таку схему називають автоматом без пам'яті або примітивним автоматом.

Якщо на набір вихідних сигналів K впливає не тільки набір вхідних сигналів, а й внутрішній стан комбінаційної схеми, то таку схему називають автоматом з пам'яттю або повним автоматом. Автомат з пам'яттю задається трьома наборами змінних: M ; K ; Q , де Q - набір змінних, що відображають внутрішній стан схеми (рис. 2.9).

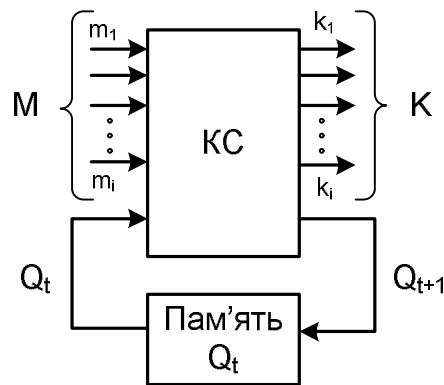


Рисунок 2.9 - Повний автомат

У більшості схем повних автоматів поєднання комбінаційних елементів дає змогу побудувати такий пристрій, сигнали на виході якого безпосередньо залежатимуть не від вхідних сигналів, а лише від поєднання вхідних сигналів і внутрішнього стану автомата в момент надходження сигналів на вході.

Для опису роботи автомата в таблиці істинності вказують набір вхідних сигналів, набір відповідних внутрішніх станів і набір вихідних сигналів. Крім того, обов'язковою є умова розділення всіх наборів сигналів за тимчасовими інтервалами. Спеціально домовляються про внутрішній стан автомата до надходження вхідного сигналу Q_0 , внутрішній стан автомата, що змінюється з приходом вхідного сигналу Q_b , і внутрішній стан автомата після нової зміни вхідного сигналу Q_{t+1} .

Розрізняють два типи автоматів. Автомат, у якого скінчена змінна в будь-якому такті t_i залежить від внутрішнього стану і від початкової змінної, називають автоматом Милі. Його задають рівнянням $K_j = f(Q_i, M_i)$. Автомат, у якого скінченна змінна в момент t_i залежить тільки від внутрішнього стану в t_i -му такті, називають автоматом Мура. Його задають рівнянням $K_j = f(Q_i)$.

ПИТАННЯ ДО РОЗДІЛУ

1. Які функції алгебри логіки називаються повністю і частково визначеними?
2. Що називається булевими константами і змінними в алгебрі логіки?
3. Чому логічне висловлення називають складним?
4. Що таке факультативне значення і заборонений код функції алгебри логіки?
5. За якою формулою визначають скінчене число функцій для двох аргументів двозначної системи?
6. Що відображають теореми булевої алгебри? Сформулюйте теореми Де-Моргана, поглинання та склеювання.
7. Наведіть основні операції булевої алгебри. Як вони описуються за допомогою таблиць істинності та за допомогою алгебричних виразів?
8. Які функції задані формулами $x \downarrow y$, x / y , $x \rightarrow y$, $x \oplus y$?
9. Що таке ранг функції?
10. Яку функцію називають мінтермом?
11. Яку функцію називають макстермом?
12. Як перетворити логічну функцію, задану будь-яким аналітичним виразом, на нормальну диз'юнктивну (кон'юнктивну) форму?
13. Яку форму подання логічної функції називають досконалою диз'юнктивною нормальною формою?
14. Наведіть правила утворення досконалої диз'юнктивної нормальної форми логічної функції n аргументів.
15. Яку форму подання логічної функції називають досконалою кон'юнктивною нормальною формою?
16. Наведіть правила утворення досконалої кон'юнктивної нормальної форми логічної функції n аргументів.
17. Що називають розгортанням логічної функції і що для цього потрібно?
18. В чому полягає основа опису функцій алгебри логіки у вигляді кубічних комплексів?
19. Що таке нульовий; одиничний; двійковий куб; кубічний комплекс?
20. Наведіть приклад опису функції алгебри логіки в словесній формі; у вигляді таблиці істинності; у вигляді алгебричного виразу.

21. У чому полягає принцип подвійності і яке його практичне значення для побудови схем логічних пристроїв?
22. Наведіть умовні графічні позначення логічних елементів І, АБО, НЕ.
23. Наведіть класифікацію логічних пристроїв за способом введення-виведення змінних; за принципом дії.
24. Яка повна кількість логічних функцій трьох змінних?

ЗАДАЧІ ДЛЯ САМОСТІЙНОГО ТА ІНДИВІДУАЛЬНОГО РОЗВ'ЯЗУВАННЯ

1. Спростіть логічні функції, використовуючи аксіоми і тотожності алгебри логіки:

$$a) F = \bar{x}_1 \cdot x_2 + x_1 \cdot x_2$$

$$б) F = x_1(\bar{x}_1 + x_2) + x_2(\bar{x}_2 + x_3) + x_3$$

$$в) F = \bar{x}_1 \cdot \bar{x}_2 + x_1 \cdot \bar{x}_2$$

$$г) F = \overline{x_1 \cdot x_2} + \bar{x}_1 \cdot x_3 + x_2 \cdot \bar{x}_4$$

$$д) F = \bar{x}_1 \cdot \bar{x}_2 \cdot x_3 + x_1 \cdot x_2 \cdot x_3$$

$$е) F = \overline{x_1 \cdot x_2} + \bar{x}_1 \cdot \bar{x}_2 + x_1 \cdot x_2$$

$$ж) F = \bar{x}_1 \cdot \bar{x}_2 + x_1 \bar{x}_2 + x_1 x_2 + x_2 x_3$$

$$з) F = (x_1 + x_2) \cdot (x_1 + \bar{x}_2) \cdot (\bar{x}_1 + x_2)$$

$$к) F = \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot x_2 \cdot x_3 + x_1 \cdot x_2 \cdot \bar{x}_3 + x_1 \cdot x_2 \cdot x_3$$

$$л) F = \bar{x}_1 + \bar{x}_2 + (x_3 + x_1 \cdot x_2) \cdot (x_4 + x_2)$$

$$м) F = x_1 \cdot x_2 + \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 + x_2 \cdot x_3$$

Відповідь: а) $F = x_2$; б) $F = x_1 \cdot x_2 + x_3$; в) $F = \bar{x}_2$; г) $F = \bar{x}_1 + \bar{x}_2 + \bar{x}_4 = \overline{x_1 x_2 x_4}$; д) $F = \bar{x}_1 \cdot x_3$; е) $F = \bar{x}_1 + \bar{x}_2$; ж) $F = x_1 + \bar{x}_2 + x_3$; з) $F = x_1 \cdot x_2$; к) $F = x_2$; л) $F = 1$; м) $F = x_2$

2. Укладіть таблицю істинності для кон'юнкції трьох логічних змінних.
3. Докажіть за допомогою таблиць істинності справедливість дистрибутивного закону алгебри логіки.
4. Вираз $F(a, b, c) = a\bar{b} + \bar{a}c + a\bar{b}c$ записаний в неканонічній диз'юнктивній формі, перетворити в канонічну.

Рішення. Вираз $F(a, b, c) = a\bar{b} + \bar{a}c + a\bar{b}c$ записаний в неканонічній диз'юнктивній формі, перетвориться в канонічну таким чином:

$$\begin{aligned}
 F(a,b,c) &= \bar{a}\bar{b}(c + \bar{c}) + \bar{a}c(b + \bar{b}) + a\bar{b}c = \\
 &= \bar{a}\bar{b}c + \bar{a}\bar{b}\bar{c} + \bar{a}bc + \bar{a}b\bar{c} + a\bar{b}c = \\
 &= \bar{a}\bar{b}c + \bar{a}\bar{b}\bar{c} + \bar{a}bc + \bar{a}b\bar{c}
 \end{aligned}$$

Члени, що повторюються, як, наприклад, добуток $\bar{a}\bar{b}c$, просто забираються (оскільки $\bar{a}\bar{b}c + \bar{a}\bar{b}\bar{c} = \bar{a}\bar{b}$ що виходить з базової тотожності)

5. Запишіть функцію $A = x_1x_2 + x_1x_0 + x_2x_0$ у вигляді досконалої диз'юнктивної нормальної форми
6. Запишіть функції, задані таблицями істинності (табл. 2.2.), у ДДНФ.
7. Запишіть функції, задані таблицями істинності (табл. 2.2.), у ДКНФ.

Таблиця 2.2- Таблицями істинності функцій

x ₁	x ₂	x ₃	F ₁	F ₂	F ₃	F ₄	F ₅
0	0	0	0	0	0	0	1
0	0	1	0	1	1	1	1
0	1	0	0	0	0	1	0
0	1	1	1	0	1	0	1
1	0	0	0	1	0	0	0
1	0	1	1	0	0	1	1
1	1	0	1	0	1	0	0
1	1	1	1	0	1	0	1

8. Доведіть, що схема зображена на рис. 2.10 виконує функцію АБО

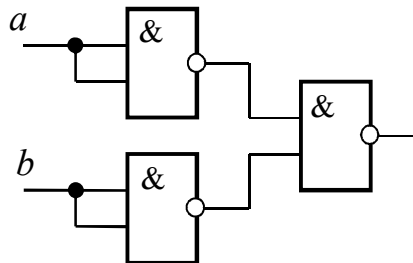


Рисунок 2.10- Рисунок до задачі 8

1. Перетворіть з метою спрощення контактну схему, зображену на рис. 2.11 а.

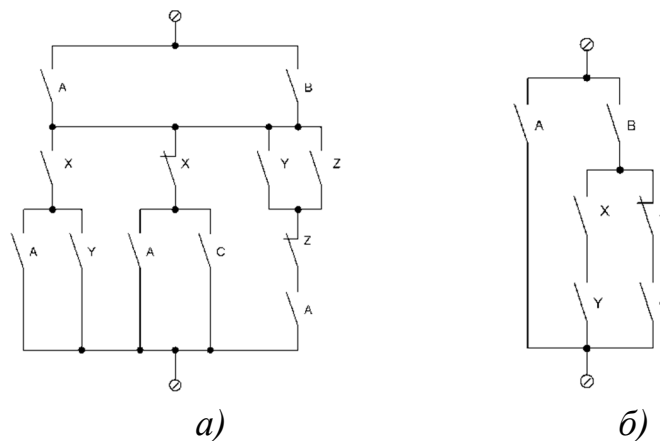


Рисунок 2.11- Рисунок до задачі 9

Рішення.

Напишемо структурну формулу заданої схеми:

$$\begin{aligned} f &= (a + b)[x(a + y) + \bar{x}(a + c) + (y + z)\bar{z}a] = \\ &= a[x(a + y) + \bar{x}(a + c) + (y + z)\bar{z}a] + \\ &+ b[x(a + y) + \bar{x}(a + c) + (y + z)\bar{z}a]. \end{aligned}$$

На підставі теореми:

$$xf(x, \bar{x}, y, z, \dots, w) = xf(1, 0, y, z, \dots, w),$$

маємо

$$\begin{aligned} f &= a[x(1 + y) + \bar{x}(1 + c) + (y + z)\bar{z} \cdot 1] + \\ &+ b[x(a + y) + \bar{x}(a + c) + (y + z)\bar{z}a]. \end{aligned}$$

З огляду на, те що $1 + x = 1$, одержуємо:

$$f = a[x + \bar{x} + (y + z)\bar{z}] + b[x(a + y) + \bar{x}(a + c) + (y + z)\bar{z}a].$$

і далі, оскільки $x + \bar{x} = 1$,

$$\begin{aligned} f &= a[1 + (y + z)\bar{z}] + b[x(a + y) + \bar{x}(a + c) + (y + z)\bar{z}a] = \\ &= a + b[x(a + y) + \bar{x}(a + c) + (y + z)\bar{z}a] \end{aligned}$$

На підставі теореми $x + f(x, \bar{x}, y, z, \dots, w) = x + f(0, 1, y, z, \dots, w)$

$$f = a + b[x(0 + y) + \bar{x}(0 + c) + (y + z)\bar{z} \cdot 0] = a + b(xy + \bar{x}c).$$

Даній структурній формулі відповідає схема, зображена на рисунку, 2.11

б.

10. Перетворить з метою спрощення контактну схему, зображену на рис.

2.12

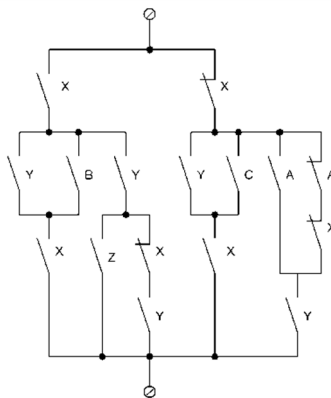


Рисунок 2.12- Рисунок до задачі 9

Відповідь: $F = y + xb$.

11. Розверніть елементарну кон'юнкцію $y = \bar{x}_1 \cdot \bar{x}_3 \cdot \bar{x}_4$ в сукупність конститuent одиниці

12. Розверніть елементарну диз'юнкцію $y = \bar{x}_1 + \bar{x}_3 + \bar{x}_4$ в сукупність конститuent нуля.

13. Перетворити логічні функції до нормальної форми:

$$F_1(x_1, x_2, x_3) = \overline{(x_1 \cdot x_2 + \bar{x}_2 \cdot x_3)} \cdot \overline{x_1 \cdot x_2};$$

$$F_2(x_1, x_2, x_3) = \overline{(x_1 x_2 x_3 + \bar{x}_2 x_3)} + \overline{x_1 x_3},$$

використовуючи властивості елементарних функцій.

14. Перетворити в СДНФ і СКНФ функції виду

$$\text{а) } f(x_1, x_2, x_3) = x_1 + \overline{x_2 x_3} + \overline{x_1 x_2 x_3} + x_1 x_3$$

$$\text{б) } f(x_1, x_2, x_3) = x_1 + \overline{x_2} + x_3$$

15. Часові діаграми входів A і B представлені на рис.2.13. Зобразіть часову діаграму виходу Z , якщо A і B входи

а) елемента І, б) елемента АБО.

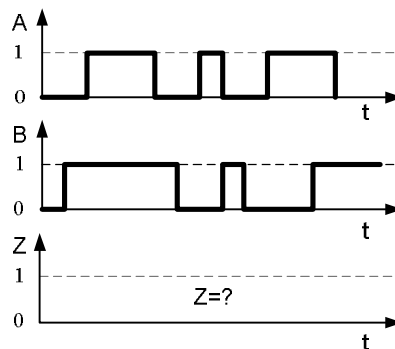


Рисунок 2.13- Зв'язок двох вхідних сигналів A і B

16. На рис. 2.14. представлені вхідні сигнали A і B і вихідний сигнал Z невідомого елемента. Яку логічну операцію проводить цей елемент?

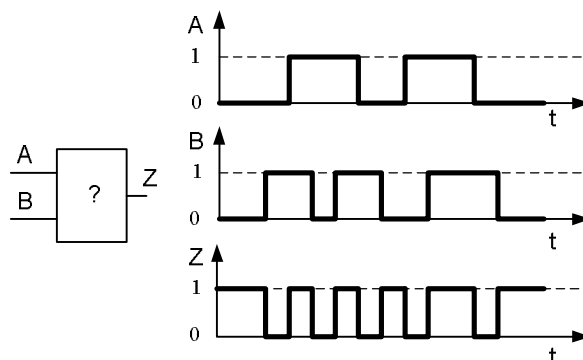


Рисунок 2.14- Зв'язок сигналів A , B та Z

ПІДСУМКИ

НЕОБХІДНО ЗРОЗУМІТИ

1. В алгебрі логіки введено таку систему аксіом, що визначає властивості й відносини основних операцій:

$$\begin{aligned}
 a + b &= b + a; \\
 a(b + c) &= ab + ac; \\
 a + bc &= (a + b)(a + c); \\
 a + \bar{a} &= 1 \\
 a + \bar{a} &= b + \bar{b}; \\
 a\bar{a} &= b\bar{b}
 \end{aligned}$$

За цими аксіомами виводять усі теореми, що виражають основні закони алгебри логіки.

2. Функція алгебри логіки - залежність вихідних змінних виражена через сукупність вхідних змінних за допомогою операцій алгебри логіки.
3. Для опису функцій алгебри логіки можуть бути використані різні способи: словесна форма, таблиці істинності, алгебраїчні вирази, послідовність десяткових чисел.
4. Логічну функцію, задану будь-яким аналітичним виразом, можна безпосередньо перетворити на нормальну диз'юнктивну або кон'юнктивну форму.
5. Логічні пристрої можуть бути класифіковані за різними ознаками
6. За способом вводу - виводу (інформації) логічні пристрої поділяються на послідовні, паралельні і послідовно - паралельні .
7. За принципом дії всі логічні пристрої діляться на два класи: комбінаційні і послідовні.

СЛІД ЗАПАМ'ЯТАТИ

1. Основні закони алгебри логіки
2. Для n - розрядного двійкового коду $x_{n-1} \dots, x_1, x_0$ існує 2^n різних значень функцій алгебри логіки.
3. Для визначення N - скінченного числа функцій використовують формулу $N = 2^{2^n}$.
4. Назву, позначення і значення всіх булевих функцій для двозначної системи двох змінних.
5. Визначення елементарної кон'юнкції та елементарної диз'юнкції
6. Визначення рангу функції алгебри логіки.

7. Диз'юнкція будь-якого числа елементарних кон'юнкцій називається диз'юнктивною нормальною формою.
8. Кон'юнкція будь-якого числа елементарних диз'юнкцій називається кон'юнктивною нормальною формою.
9. Правила утворення досконалої диз'юнктивної нормальної форми та досконалої кон'юнктивної нормальної форми подання логічної функції.
10. Послідовним називається пристрій, в якому вхідні змінні подаються на вхід, а вихідні змінні знімаються з виходу не одночасно, а послідовно, розряд за розрядом.
11. Паралельним називається пристрій, в якому всі розряди вхідних змінних подаються на вхід, і всі розряди вихідних змінних знімаються з виходу одночасно.
12. Комбінаційними пристроями або автоматами без пам'яті називають логічні пристрої, вихідні сигнали яких однозначно визначаються тільки діючою в даний момент на вході комбінацією змінних і не залежить від значень змінних, що діяли на вході раніше.
13. Послідовними пристроями, або автоматами з пам'яттю, називають логічні пристрої, вихідні сигнали яких визначаються не тільки діючою в даний момент на вході комбінацією змінних, але і всією послідовністю вхідних змінних, що діяли в попередні моменти часу.
14. Автомат, у якого вихідна змінна в будь-якому такті залежить від внутрішнього стану і від вхідної змінної, називається автоматом Милі.
15. Автомат, у якого вихідна змінна в момент залежить тільки від внутрішнього стану в цьому такті, називається автоматом Мура і задається рівнянням.

ТРЕБА ВМІТИ

1. Записати основні закони алгебри логіки.
2. Застосовувати основні закони алгебри логіки для перетворення алгебраїчних виразів.
3. Надавати описання функції алгебри логіки різними способами.
4. Перетворювати логічну функцію, задану аналітичним виразом, в любую канонічну форму застосовуючи певні правила.
5. Класифікувати логічні пристрої за різними ознаками.

РОЗДІЛ 3. МЕТОДИ МІНІМІЗАЦІЇ БУЛЕВИХ ФУНКЦІЙ

3.1 Мета мінімізації логічних пристроїв

Логічну схему, що реалізує заданий алгоритм перетворення сигналів, можна синтезувати безпосередньо за виразом, поданим у вигляді ДДНФ або ДКНФ. Проте отримана при цьому схема, як правило, не оптимальна з погляду її практичної реалізації. Тому початкову логічну функцію звичайно мінімізують.

Метою мінімізації логічної функції є зменшення вартості її технічної реалізації. Критерій, відповідно до якого виконують мінімізацію, далеко не однозначний і залежить як від типу задачі, так і рівня розвитку технології.

Основними вимогами до задачі синтезу є: мінімальне число елементарних кон'юнкцій або диз'юнкцій у логічній формулі й однорідність використовуваних операцій. Крім вимог мінімізації є ряд обмежень і умов на вибір елементної бази для синтезованого пристрою.

3.2 Метод безпосередніх перетворень

Безпосереднє спрощення початкової логічної функції у вигляді ДДНФ виконують у такому порядку.

1. Для кожної із можливих пар сусідніх конститuentів ДДНФ застосовують операцію повного склеювання. При цьому з них виключають по одній змінній. Потім виконують зведення подібних членів. Цей процес повторюють доти, доки в здобутому виразі не буде більше кон'юнкцій, що відрізняються одна від одної значенням однієї змінної. Отриману в такий спосіб форму називають *скороченою нормальною формою*. Кон'юнкції, що входять у скорочену нормальну форму, називають *простими імплікантами*. Кожній логічній функції відповідає лише одна скорочена форма.

2. Застосовуючи до скороченої нормальної форми операцію узагальненого склеювання, виключають із неї зайві кон'юнкції (імпліканти). Отриману в результаті послідовного ряду таких перетворень форму, що не допускає подальших склеювань, називають *тупиковою формою логічної функції*. Тупикових форм для однієї функції може бути декілька.

3. Отримана тупикова форма може випадково виявитися мінімальною. Мінімальною формою є тупикова форма мінімальної довжини. У загальному випадку для пошуку мінімальної форми потрібний перебір тупикових форм, що дозволяє знайти одну або декілька мінімальних форм логічної функції.

Для початкової функції у вигляді ДКНФ мінімізацію за методом безпосеред-

нього спрощення виконують у такий спосіб.

1. Спочатку до членів ДКНФ застосовують операцію повного склеювання.
2. Користуючись законом дистрибутивності, розкривають дужки в здобутому виразі.
3. Зводять подібні члени і застосовують операцію поглинання.
4. Отриману ДНФ мінімізують у зазначеному вище порядку.

3.3 Метод Карно-Вейча

Метод діаграм Вейча, удосконалений Карно, застосовують в тому випадку, коли число аргументів не більш ніж 5-6. Карти Карно – це графічне зображення таблиць істинності. Кожній комбінації змінних може відповідати певна клітина карти Карно. У клітину записують значення функції (0 або 1) для даної комбінації початкових змінних. Початкові змінні розміщують по зовнішніх сторонах карти навпроти її рядків і стовпчиків. При цьому значення кожної із початкових змінних належить до всього рядка або стовпчика і дорівнює 1, якщо навпроти рядка (стовпчика) стоїть під дужкою позначення цієї змінної; для інших рядків (стовпчиків) значення цієї змінної дорівнює 0.

Кожна з початкових змінних ділить по-своєму будь-яку карту Карно на дві рівні частини, в одній з яких значення цієї змінної дорівнює 1, а в іншій 0. Кожній клітині карти відповідає певна комбінація значень усіх початкових змінних, а кожна сторона клітини є межею між значеннями змінних. Число клітин карти Карно визначають величиною 2^n , де n дорівнює числу початкових змінних.

Наприклад, для функції трьох змінних $F(a, b, c)$, заданою таблицею істинності (табл. 3.1), карту Карно зображено на рис. 3.1.

		c			
		b			
a	[1	0	1	0
		0	0	1	1

Рисунок 3.1- Карта Карно для функції трьох змінних

Таблиця 3.1- Значення функції $F(a, b, c)$

a	b	c	$F(a,b,c)$
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

Карту Карно для логічної функції, заданої алгебраїчним виразом, можна укласти в такому порядку:

- за числом змінних, які входять у вираз заданої функції, будують карту Карно і розміщують змінні; заданий алгебраїчний вираз зводять до ДДНФ;
- у карті Карно для кожної константи 1 ДДНФ знаходять відповідну клітинку, у якій записують 1, в інші клітини карти – 0.

Властивості карти Карно такі:

1. Комбінації значень змінних для сусідніх клітин карти Карно розрізняються значенням лише однієї змінної. При переході з однієї клітини в сусідню завжди змінюється значення лише одної змінної від свого прямого значення до його інверсії й навпаки.

2. Сусідніми між собою є крайні ліві клітини карти Карно з крайніми правими і крайні верхні клітини карти з крайніми нижніми (ніби карти були згорнуті в циліндри по вертикалі і горизонталі).

Усі клітини, що відрізняються значенням тільки однієї змінної, є сусідніми, незважаючи на те, що іноді вони розміщені не поряд (для функцій п'яти змінних і більше).

Наприклад, розглянемо карту для п'яти змінних (рис. 3.2.), незважаючи на значення функції у клітинах карти.

Рисунок 3.2- Карта Карно для функції п'яти змінних

Випишемо комбінації значень змінних для клітин другого рядка зліва направо:

1. $\bar{a}\bar{b}\bar{c}\bar{d}\bar{e}$; 3. $\bar{a}\bar{b}\bar{c}de$; 5. $\bar{a}bcd\bar{e}$; 7. $\bar{a}bcde$;
2. $\bar{a}\bar{b}\bar{c}d\bar{e}$; 4. $\bar{a}\bar{b}\bar{c}de$; 6. $\bar{a}bcd\bar{e}$; 8. $\bar{a}bcde$.

Клітина 1 є сусідньою з клітиною 2 (відрізняється значенням змінної e), із клітиною 8 (відрізняється значенням змінної c) і з клітиною 4 (відрізняється значенням змінної d). Клітина 5 є сусідньою з клітиною 4 (змінна c), 6 (змінна e) і 8 (змінна d). Аналогічно встановлюють сусідство інших клітин.

Для деякої логічної функції, заданої за допомогою карти Карно, можна записати кілька алгебраїчних виразів різної складності в диз'юнктивній або кон'юнктивній формі.

При цьому потрібно дотримуватися таких правил.

1. Усі одиниці (при записі функції у диз'юнктивній формі) і всі нулі (при записі в кон'юнктивній формі) мають бути замкнені в прямокутні контури. Одиничні контури можуть об'єднувати кілька одиниць, але не повинні містити усередині себе нулів. Нульові контури можуть об'єднувати кілька нулів, але не повинні містити усередині себе одиниць. Одноїменні контури можуть накладатися один на одного, тобто та сама одиниця (або нуль) може входити в кілька одиничних (нульових) контурів.

2. Площа будь-якого контуру має бути симетричною щодо меж змінних, що перетинаються цим контуром. Інакше кажучи, число клітин у контурі дорівнює 2^n , де $n = 0, 1, 2, 3, 4, \dots$, тобто число клітин виражається числами 1, 2, 4, 8, 16, 32, ...

3. Щоб уникнути одержання зайвих контурів, їх побудову потрібно починати з тих одиниць або нулів, що можуть увійти в один єдиний контур. Зайвими називаються контури, усі клітини яких увійшли вже в інші контури.

4. У контури можна об'єднувати тільки сусідні клітини, що містять одиниці або нулі. Дотримання цього правила особливо потрібно перевіряти, якщо число змінних більше ніж чотири і коли сусідні клітини можуть розміщуватися не поряд, тому контури можуть зазнавати видимого розриву.

5. Кожній одиничній клітині відповідає кон'юнкція початкових змінних, що визначають цю клітину. Кожній нульовій клітині відповідає диз'юнкція інверсій початкових змінних, що визначають цю клітину.

6. У контурі, що об'єднує дві клітини, одна зі змінних змінює своє

значення, тому вираз контуру з двох клітин не залежить від цієї змінної, а подається усіма іншими змінними. Це правило стосується і контурів, що охоплюють число клітин більш ніж два, і має таке формулювання: вирази, що відповідають контурам, не містять тих змінних, чії межі перетинаються площею, обмеженою цим контуром.

7. Вираз логічної функції можна записати за відповідною картою Карно в диз'юнктивній або кон'юнктивній формі. Диз'юнктивна форма складається у вигляді диз'юнкції кон'юнкцій, що відповідають одиничним контурам, виділеним на карті для визначення функції; кон'юнктивна – у вигляді кон'юнкції диз'юнкцій, що відповідають нульовим контурам.

8. Для контурів, що охоплюють різну кількість клітин, утворюються вирази різної складності. Тому для даної логічної функції можна записати за її картою Карно кілька алгебраїчних виразів, що відрізняються за складністю. Найскладніший вираз відповідає випадку, коли кожній клітині відповідає свій контур. Це вираз є ДДНФ або ДКНФ даної функції.

Для одержання за картою Карно мінімального виразу логічної функції слід дотримуватися такого правила (крім загальних, викладених раніше): одиниці або нулі мають об'єднуватися мінімальним числом найбільших контурів.

Іноді для деяких наборів початкових змінних значення функції строго не визначені, і її карта Карно містить умовні члени, тобто такі клітини, в яких значення функції можна вважати такими, що дорівнюють одиниці або нулю. Ці члени на карті позначають знаком \sim (тильда). Порожня клітина відповідає умовному значенню функції.

Наявність знаків умовного значення функції у клітинах карти Карно дозволяє включати ці клітини в контури з одиницями або нулями (за розсудом проектувальника), що сприяє одержанню мінімальних алгебраїчних виразів для даної логічної функції.

Метод мінімізації за допомогою карт Карно дозволяє наочно і достатньо просто здійснювати мінімізацію логічної функції 4 – 6 змінних, хоча іноді його застосовують і для мінімізації функцій більшого числа змінних. Проте у разі збільшенні числа змінних застосування карт Карно ускладнюється, тому що виникають труднощі при визначенні сусідніх станів (клітин).

3.4 Мінімізація методом Квайна і Мак-Класкі

У разі збільшенні числа змінних для мінімізації функцій алгебри логіки використовують методи, які мають однозначність алгоритму, що є передумовою застосування ЕОМ. До таких методів належить метод Квайна і Мак-Класкі.

Алгоритм пошуку МДНФ цим методом такий.

1. Знаходять покриття $\Pi(z)$ заданої функції. Для цього формують кубічний комплекс логічної функції й у кожному i -му кубічному комплексі відзначають куби (імпліканти), що не утворили $i+1$ -й кубічний комплекс. Відзначені імпліканти, які називають *простими*, утворюють покриття заданої логічної функції.
2. Будується таблицю покриттів матриці Квайна. Рядки зазначеної таблиці відповідають простим імплікантам, а стовпчики – 0-кубам (конституентам одиниці) функції. На перетинанні i -го рядка і j -го стовпчика ставлять позначку, якщо імпліканта i покриває конституенту j . Зазначимо, що імпліканта i покриває конституенту j у разі, якщо вона відрізняється від неї незалежними аргументами.
3. Визначають покриття мінімальної вартості. Для цього:
 - виділяють ядро Квайна. Якщо 0-куб заданої логічної функції покривається тільки однією простою імплікантою, то остання є істотною і входить у ядро Квайна і, отже, у покриття мінімальної вартості;
 - із таблиці викреслюють стовпчики і рядки, покриті імплікантами ядра Квайна. Якщо в отриманій таблиці є прості імпліканти, їх також включають в ядро Квайна з наступним викреслюванням відповідних рядків і стовпчиків;
 - стискають таблицю по стовпчиках, для чого з неї викреслюють стовпчики, в які цілком входить будь-який із стовпчиків, що залишився;
 - стискають таблицю по рядках, для чого з неї викреслюють рядки, що цілком включаються в будь-який з рядків, що залишився;
 - послідовно стискаючи таблицю по рядках і стовпчиках, одержують циклічну таблицю, імпліканти якої повинні входити в покриття логічної функції мінімальної вартості.

На перетинанні i -го рядка циклічної таблиці та імплікант, що утворюють ядро Квайна, одержують МДНФ заданої функції.

Алгоритм стиску по рядках і стовпчиках можна пояснити в такий спосіб. З множини імплікант, отриманих після виключення істотних, потрібно знайти таку їхню мінімальну підмножину, що забезпечує покриття усіх одиниць, які залишилися. Якщо існує імпліканта i , що покривається імплікантою j , то імплі-

канта j є зайвою.

Описаний алгоритм без змін дає змогу мінімізувати логічну функцію будь-якого числа змінних, зокрема із застосуванням ЕОМ.

Приклад. Мінімізувати функцію алгебри логіки

$$Z(x) = \Sigma (0, 1, 2, 4, 5, 7, 8, 10, 12, 14, 15).$$

Рішення.

1. Сформуємо кубічний комплекс $K(z)$.

Формування кубічного комплексу зручно виконувати за допомогою розбивки конститuent функції на групи, що містять однакове число одиниць. При такому представленні куби більш високого рангу можуть утворювати тільки куби, що знаходяться в розташованих поруч групах. У аналізованому прикладі для функції чотирьох змінних можна виділити п'ять груп, представивши їх у виді таблиці.

Таблиця 3.2. **Формування кубічного комплексу**

Ранг куба	Номер групи				
	1	2	3	4	5
0-кубы	0000	0001 0010 0100 1000	0101 1010 1100	0111 1110	1111
1-куб	000- 00-0 00-0 -000	0-01 -010 010- -100 10-0 1-00	01-1 1-10 11-0	-111 111-	
2-куб	0-0- 0-0- 0-0- 0-0- 0-0- 0-0- --00	1--0 1--0			

Для заповнення таблиці кожного із кубів лівого стовпчика по черзі порівнюємо з кубами правого стовпчика. Якщо порівнювана пара утворила куб більш високого рангу, останній записується у відповідний стовпчик таблиці.

2. Куби, що не утворили куб більш високого рангу, є простими імпліканта-

ми і формують покриття функції

$$\Pi(z) = (01-1, -111, 111-, 0-0-, --00, -0-0, 1-0).$$

3. З використанням $\Pi(z)$ побудуємо таблицю покриттів Квайна

Таблиця 3.3 Таблиця покриттів Квайна

Прості імпліканти	0-куби функції										
	0000	0001	0010	0100	0101	0111	1000	1010	1100	1110	1111
01-1					*	*					
-111						*					*
111-										*	*
0-0-	*	*		*	*						
--00	*						*		*		
-0-0	*		*				*	*			
1--0							*	*	*	*	

4. Відповідно до отриманої таблиці простими імплікантами є 0-0- і -0-0, тому що тільки перша покриває 0-куб 0001 і тільки друга покриває 0-куб 0010.
5. Після викреслювання істотних імплікант в таблиці більше немає істотних імплікант.

Таблиця 3.4- Таблиця покриттів Квайна

Прості імпліканти	0-куби			
	0111	1100	1110	1111
01-1	*			
-111	*			*
111-			*	*
--00		*		
1--0		*	*	

Тому зробимо стиск по стовпчикам і рядкам. Початковий стиск по стовпчиках не виконується, тому що в таблиці відсутні стовпчики, що цілком входять улюбий із тих що залишилися.

Таблиця стискається по рядках, тому що перший рядок цілком входить у другий, а четвертий в п'ятий. Тому з таблиці викреслюються рядки з номерами один і чотири. Таблиця, що залишилася, може бути стиснута по стовпчиках, тому що перший стовпчик цілком входить у четвертий, а другий стовпчик - у третій. На підставі цього з таблиці викреслюються третій і четвертий стовпчики. Отримана таблиця більше не може бути стиснута ні по рядках, ні по стовп-

чиках. При цьому імпліканта 111- є зайвою, тому що вона не покриває ні одну з залишених конститuent одиниці. Отримана після її виключення таблиця і являється циклічною.

6. Просумувавши імпліканти циклічної таблиці і прості імпліканти, одержимо логічну функцію мінімальної вартості

$$z(x) = \bar{x}_3\bar{x}_1 + \bar{x}_2\bar{x}_0 + x_2x_1x_0 + x_3\bar{x}_0.$$

Алгоритм стиску по рядках і стовпчикам можна пояснити в такий спосіб. З множини імплікант, отриманих після виключення істотних, необхідно знайти таку їхню мінімальну підмножину, що забезпечує покриття усіх одиниць що лишилися. Тому, якщо існує i -я імпліканта, що покривається імплікантою j , то імпліканта j являється зайвою.

Описаний алгоритм без змін дозволяє мінімізувати логічну функцію будь-якого числа змінних, у тому числі і з застосуванням ЕОМ.

ПИТАННЯ ДО РОЗДІЛУ

1. У чому полягають мета та принципи мінімізації логічних пристроїв?
2. У чому полягає мінімізація ФАЛ за допомогою карт Карно?
3. Представте карти Карно функції двох, трьох, чотирьох і п'яти змінних.
4. У чому полягає мінімізація недовизначеної ФАЛ?
5. Які правила сусідства діють для карт Карно з чотирма змінними?
6. Скільки тупикових форм логічної функції можна одержати застосовуючи до її скороченої нормальної форми операцію узагальненого склеювання?
7. Скільки клітин може бути замкнено в контурі?
8. Який контур називається зайвим?
9. Скільки скорочених нормальних форм може відповідати логічній функції?
10. У чому полягає перевага методу Квайна і Мак-Класкі?
11. Які імпліканти, називають простими?

ЗАДАЧІ ДЛЯ САМОСТІЙНОГО ТА ІНДИВІДУАЛЬНОГО РОЗВ'ЯЗУВАННЯ

1. Мінімізувати функцію

$$F(abcd) = \bar{a}\bar{b}\bar{c}\bar{d} + \bar{a}\bar{b}cd + \bar{a}b\bar{c}\bar{d} + \bar{a}bcd + ab\bar{c}\bar{d} + abc\bar{d} + a\bar{b}c\bar{d} + abcd$$

Рішення

Відображення функції, яку вимагається мінімізувати, на карту Карно показане на рис. 3.3.

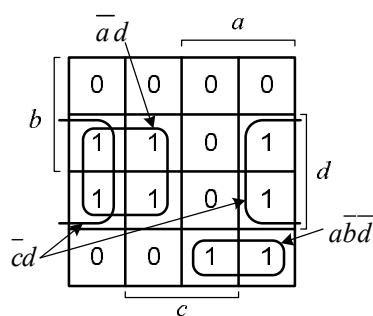


Рисунок 3.3- Карта Карно до задачі 1

Це дозволяє одержати наступний мінімізований вид функції:

$$F(abcd) = \bar{a}d + \bar{c}d + \overline{abd}$$

2. Спростіть за допомогою алгебри логіки наступну нормальну форму АБО і перевірте отримане спрощення за допомогою карти Карно:

$$F = x_1 \cdot x_2 \cdot x_3 + x_1 \cdot x_2 \cdot x_3 + x_1 \cdot x_2 \cdot x_3 + x_1 \cdot x_2 \cdot x_3$$

Відповідь: $F = x_1 \cdot x_3 + \overline{x_1 \cdot x_2}$

3. Мінімізуйте за допомогою карт Карно функції F_1 та F_2 задані таблиці

Таблиця 3.5- Таблиця функцій F_1 та F_2

x_1	x_2	x_3	F_1	F_2
0	0	0	0	1
0	0	1	1	1
0	1	0	0	0
0	1	1	1	1
1	0	0	0	0
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

4. Мінімізуйте функції, задані в табличній формі за одиничним значенням функції: а) рис.3.4, а; б) рис.3.4, б; в) рис.3.4, в;

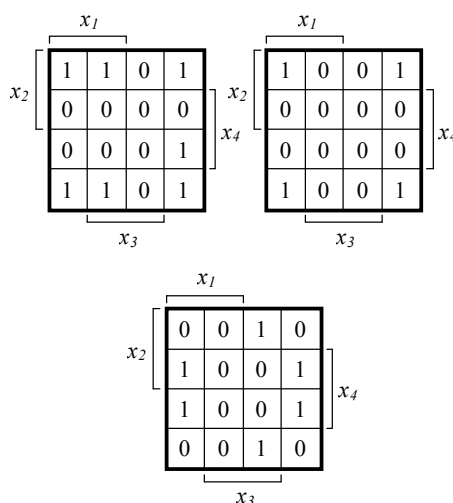


Рисунок 3.4- Карти Карно до задачі 4

Відповідь: а) $F = x_1 \bar{x}_4 + \bar{x}_3 \cdot \bar{x}_4 + x_1 \cdot \bar{x}_2 \cdot \bar{x}_3$; б) $F = \bar{x}_3 \cdot \bar{x}_4$; в) $F = \bar{x}_3 \cdot x_4 + x_1 \cdot \bar{x}_3 \cdot \bar{x}_4$.

5. Вказати мінімізовані вирази для строго не визначених булевих функцій F_1 та F_2 по наведеним картам Карно:

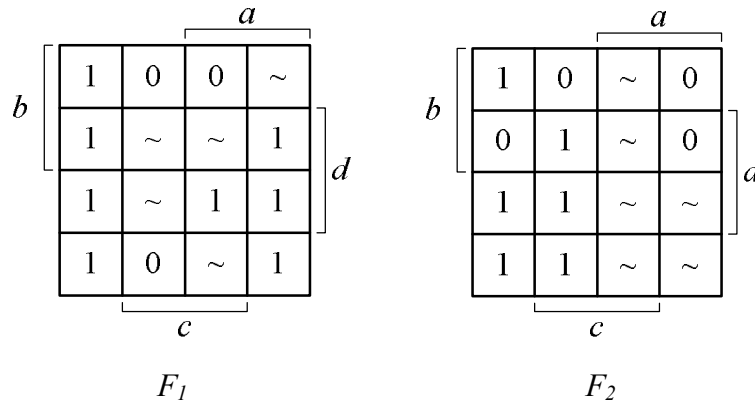


Рисунок 3.5- Карти Карно до задачі 5

Відповідь: $F_1 = d + \bar{c}$; $F_2 = b + cd + \bar{c}\bar{d}a$

6. Спростіть за допомогою алгебри логіки наступну нормальну форму АБО і перевірте отримане спрощення за допомогою карти Карно:

$$F = x_1 \cdot x_2 \cdot x_3 + \overline{x_1 \cdot x_2 \cdot x_3} + \overline{x_1 \cdot x_2 \cdot x_3} + \overline{x_1 \cdot x_2 \cdot x_3} + \overline{x_1 \cdot x_2 \cdot x_3}$$

Відповідь: $F = x_1 \cdot x_3 + \overline{x_2 \cdot x_3}$

7. На карті Карно (рис.3.6.) представлена нормальна форма АБО. Максимально спростіть її і запишіть спрощену логічну функцію. Перевірте отримане спрощення за допомогою алгебри логіки.

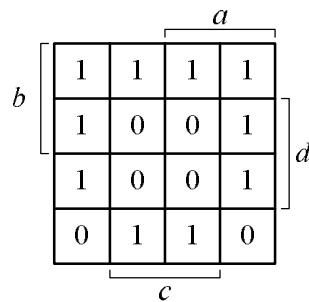


Рисунок 3.6- Карти Карно до задачі 7

Відповідь: $F = b\bar{d} + c\bar{d} + \bar{c}d$

ПІДСУМКИ

НЕОБХІДНО ЗРОЗУМІТИ

- Метою мінімізації логічної функції є зменшення вартості її технічної реалізації, тому критерій, відповідно до яких виконується мінімізація, далеко не однозначний і залежить як від типу задачі, так і рівня розвитку технології.

2. Основними вимогами до задачі синтезу є: мінімальне число елементарних кон'юнкцій або диз'юнкцій у логічній формулі й однорідність використуваних операцій.
3. Карти Карно - це графічне зображення таблиць істинності де кожній комбінації змінних може відповідати певна клітина карти

СЛІД ЗАПАМ'ЯТАТИ

1. Правила укладання та властивості карт Карно.
2. Для деякої логічної функції, наданої за допомогою карти Карно, можна записати декілька алгебраїчних виражень різноманітної складності в диз'юнктивній або кон'юнктивній формі.
3. Правила одержання вираження логічної функції по відповідній їй карті Карно в диз'юнктивній або кон'юнктивній формі.
4. Для одержання по карті Карно мінімального вираження логічної функції варто керуватися правилом: одиниці або нулі повинні об'єднуватися мінімальним числом найбільших контурів.

ТРЕБА ВМІТИ

1. Застосовувати методи мінімізації функцій алгебри логіки.
2. Виконувати мінімізацію логічної функції відповідно прийнятого критерію

РОЗДІЛ 4. ЛОГІЧНІ ЕЛЕМЕНТИ ЦИФРОВИХ ПРИСТРОЇВ

4.1 Класифікація елементів і їх порівняльна характеристика

Цифровий пристрій — це пристрій, призначений для приймання, оброблення і передавання цифрової інформації. Будь-який цифровий пристрій з довільними складністю і призначенням виконується на дискретних елементах з інтегральними схемами різного ступеня інтеграції. Незалежно від функціонального призначення елементів їх схемотехнологічні реалізації мають ряд загальних параметрів і характеристик, які визначають їх роботу в статичному і динамічному режимах.

Елементи цифрового пристрою – найменші функціональні частини, на які поділяють пристрій під час його логічного проектування і технічної реалізації. Оскільки вважають, що найменші функціональні частини цифрового пристрою виконують найпростіші логічні або допоміжні функції, можна сказати, що елементи цифрового пристрою – це електронні схеми, що становлять деяку сукупність певним чином сполучених компонентів та виконують одну або декілька найпростіших логічних чи допоміжних операцій. Компонентами елементів цифрових пристроїв є інтегральні схеми різного ступеня інтеграції, транзистори і діоди різного типу, резистори, конденсатори та індуктори.

Елементи цифрових пристроїв розробляють і випускають у вигляді систем або серій з різними модифікаціями.

Фізично повна система елементів — система, що містить спеціальні елементи, які забезпечують можливість побудови кіл керування, пристроїв пам'яті та кіл зв'язку; елементи, які забезпечують роботу електромеханічних вузлів цифрових пристроїв типу реле, перемикачів, механізмів перфорації, друку тощо, а також схем зв'язку різних вузлів цифрового пристрою з пристроями введення-виведення; елементи індикації інформаційних станів вузлів цифрового пристрою і генератори тактових сигналів.

Технічно повна система елементів — система, що задовольняє вимоги функціональної і фізичної повноти.

Функціонально повна система елементів — система, яка дає змогу реалізувати будь-які, складні функції перемикання шляхом суперпозиції найпростіших функцій, що виконують елементи певної серії.

Елементом цифрової схемотехніки називають пристрій, що виконує одну із задач реалізації булевих функцій, запам'ятовування інформації, перетворення,

формування і посилення сигналів. Усі види елементів цифрових пристроїв можна поділити на три групи: логічні, функціональні та допоміжні (рис. 4.1).

Логічний елемент (ЛЕ) – це пристрій, що реалізує тільки одну булеву функцію. Такі елементи називають однофункціональними на відміну від функціональних елементів, що реалізують кілька булевих функцій. У функціональному елементі можна використовувати кілька логічних елементів. Запам'ятовувальні елементи використовують у пристроях, що зберігають дані та програми у вигляді цифрових кодів.

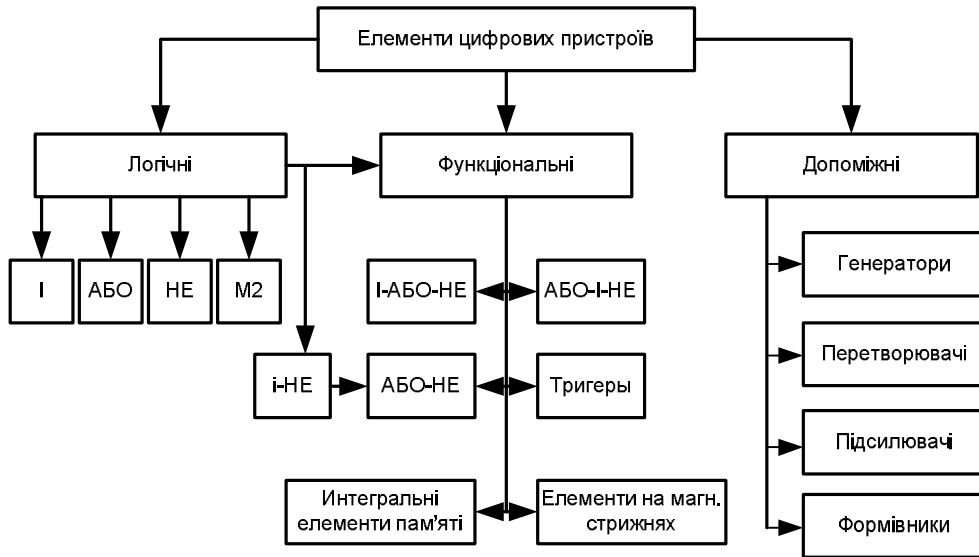


Рисунок 4.1- Класифікація елементів цифрових пристроїв

Підсилювально-формувальні елементи перетворюють нестандартні сигнали в різних колах цифрових пристроїв до рівнів логічних елементів, які їх обробляють. Крім того, їх також використовують для збільшення навантажувальної здатності логічних елементів тощо. Спеціальні елементи мають генератори сигналів, перетворювачі рівнів, елементи гальванічної розв'язки та ін.

Логічні елементи цифрових пристроїв багато в чому визначають функціональні можливості останніх, їх конструктивне виконання, технологічність, надійність тощо. Логічні елементи виробляють у вигляді серій із широкою номенклатурою схем різного ступеня складності. Проте в кожній серії є так звана базова схема, що визначає в основному статичні й динамічні параметри більшості інших схем певної серії.

За способом кодування двійкові змінні елементів цифрових пристроїв поділяють на імпульсні, динамічні, потенційні, імпульсно-потенційні та фазові.

В імпульсних елементах «1» показує наявність електричного імпульсу напруги або струму, а «0» відсутність відповідного імпульсу.

У динамічних елементах «1» показує пачку імпульсів або потенціал, що поновлюється через необхідний інтервал часу, а «0» відсутність імпульсів (або навпаки).

У потенціальних елементах початкові і скінченні двійкові змінні кодують різною величиною електричного потенціалу. Для потенціальних елементів часто застосовують поняття позитивної і негативної логіки, яке відображає взятий спосіб кодування двійкової змінної конкретної серії елементу. Під позитивною логікою розуміють кодування «1» високим і «0» - низьким потенціалом, а під негативною логікою розуміють кодування «1» низьким і «0» - високим потенціалом.

В імпульсно-потенційних елементах на входи елементів можуть подаватися як потенціальні рівні, так й електричні імпульси, причому вихідні сигнали зазвичай мають імпульсний характер. Розподіл сигналів на імпульсні й потенціальні відносний. Тип сигналу визначають через тривалість такту, залежно від частоти тактового генератора цифрового пристрою. Імпульсний сигнал — сигнал з тривалістю, яка менша за тривалість такту. Потенційний сигнал — сигнал з тривалістю, яка не менша за тривалість такту.

У фазових елементах застосовуються сигнали у вигляді синусоїдної напруги, а значення «1» і «0» двійкових змінних кодуються фазою синусоїдної напруги відносно опорної напруги. Фазовий принцип кодування двійкових змінних застосовують переважно у пристроях аналого-цифрового типу.

Спосіб кодування інформації визначає не тільки специфіку побудови тієї або іншої системи елементів, а й основні її параметри. Наприклад, за рівнем потужності розсіювання на першому місці стоять потенціальні елементи, а на останньому – імпульсні; потенціально-імпульсні елементи займають проміжне місце. З розвитком мікроелектронних логічних схем через складність побудови схем на імпульсних елементах, що потребують часто наявності трансформаторів і конденсаторів, широко використовують потенціальні елементи.

В імпульсних схемах при підвищенні швидкодії ускладнюється синхронізація сигналів, оскільки зміщення їх у часі може призвести до помилкового спрацювання. У схемах на потенціальних елементах немає спеціальних перетворень форми сигналів, кодування засноване на встановленні рівнів, відсутні жорсткі вимоги до синхронізації, що зумовлює їх високу надійність.

За параметрами елементи можна класифікувати залежно від реалізації логічних функцій, навантажувальної здатності, швидкодії або часу затримки,

граничної робочої частоти, завадостійкості і споживаної потужності. Залежно від часу затримки сигналу інтегральні мікросхеми поділяють на пристрої високої та надвисокої швидкодії.

За типами базових елементів електронних перемикачів найпоширенішими є такі схеми:

- транзисторно-транзисторна логіка (ТТЛ);
- емітерно-зв'язана логіка (ЕЗЛ);
- інжекційна інтегральна логіка (І²Л);
- структури метал – оксид – напівпровідник p- типу (p- МОН);
- структури метал – оксид – напівпровідник n-типу (n-МОН);
- комплементарні МОН-структури (КМОН);
- динамічні МОН-структури.

Такі види схемотехніки, як резистивно-транзисторна логіка (РТЛ) і діодно-транзисторна логіка (ДТЛ), у мікропроцесорних системах нині практично не застосовують.

Логічні схеми, які розробляють на різній конструктивно-технологічній основі, значно відрізняються за своїми характеристиками, навіть якщо вони реалізують однакові функції. У кожного з наведених видів схемотехніки є свої переваги. Так, ЕЗЛ відрізняється високою швидкістю, хоча деякі різновиди ТТЛ наближаються до неї за цим параметром. Як p- МОН, так і n- МОН логіки широко застосовують у мікропроцесорах, а КМОН схемотехніка має переваги, якщо важливе зменшення споживаної потужності.

Динамічні МОН-структури використовують для побудови різних запам'ятовувальних пристроїв; вони мають просту організацію, в якій логічний стан визначається зарядом ємності, внутрішньо властивої логічному елементу. І²Л застосовують в інтегральних схемах.

4.2 Загальні характеристики елементів цифрових пристроїв

Амплітудна передавальна характеристика $U_{\text{вих}}=f(U_{\text{вх}})$ визначає формувальні властивості логічного елемента (ЛЕ), його завадостійкість, амплітуду і рівні стандартного сигналу. Характеристика залежить від типу логічного елемента і може змінюватися в певних межах залежно від розкиду параметрів схем, змін напруги живлення, навантаження, температури навколишнього середовища.

Розглянемо типову амплітудну передавальну характеристику (АПХ) ЛЕ інвертора (рис. 4.2). У статичному стані вихідний сигнал ЛЕ може бути або на верхньому ($U^в$), або на нижньому ($U^н$) рівні напруги.

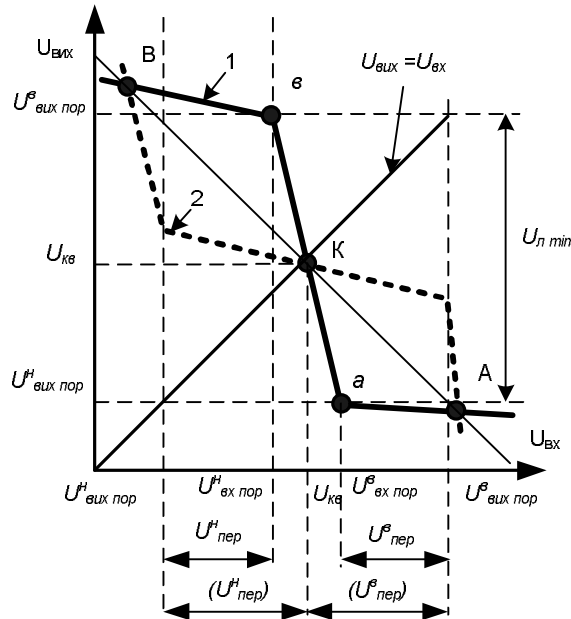


Рисунок 4.2- Амплітудна передавальна характеристика ЛЕ інвертора

Асимптотичний верхній (точка В) і асимптотичний нижній (точка А) рівні логічних сигналів знаходять як точки перетину АПХ (крива 1) з її дзеркальним відображенням (крива 2) відносно прямої одиничного посилення $U_{вих}=U_{вх}$. Різниця $U_{вих}^в - U_{вих}^н$ є логічним перепадом $U_{л. min}$ вихідних рівнів ЛЕ. На практиці через вплив завад і розкид амплітудних передавальних характеристик для кожного типу ЛЕ встановлюється мінімальний логічний перепад:

$$U_{л. min} = U_{вих.порог}^в - U_{вих.порог}^н,$$

де $U_{вих.порог}^в$ і $U_{вих.порог}^н$ — відповідно верхній і нижній рівні вихідної порогової напруги. Вихідні порогові напруги визначають за допомогою точок порогу v і a на характеристиці, в яких диференціальний коефіцієнт посилення за напругою $K_U = -1$.

Зони статичної завадостійкості ЛЕ за нижнім ($(U_{пер}^н)'$) і верхнім ($(U_{пер}^в)'$) рівнями напруги в комбінаційних логічних колах обчислюють так:

$$(U_{пер}^н)' = U_{кв} - U_{вих.порог}^н,$$

$$(U_{пер}^в)' = U_{вих.порог}^в - U_{кв},$$

де $(U_{ном}^H)'$, $(U_{ном}^6)'$ характеризують максимально допустимі рівні статичної завади на вході ЛЕ в комбінаційних логічних колах; $U_{вих.пор}^H$ — поріг вихідної напруги нижнього рівня; $U_{вих.пор}^6$ — поріг вихідної напруги верхнього рівня; $U_{кв}$ — поріг квантування. Однак через наявність схем з позитивним зворотним зв'язком в технічній документації на всі ІС зони статичної завадостійкості на вході обмежуються вхідними пороговими напругами: $U_{вх.пор}^H$ — за нижнім рівнем і $U_{вх.пор}^6$ — за верхнім. Ці порогові напруги називають відповідно пороговою напругою зони перемикавання (поріг зони перемикавання) нижнього рівня і пороговою напругою зони перемикавання верхнього рівня. У зоні перемикавання між пороговими напругами робота ЛЕ в статичному режимі заборонена.

Отже, статичну завадостійкість ЛЕ за нижнім рівнем вхідного сигналу визначають за формулою $U_{пер}^H = U_{вх.пор}^H - U_{вих.пор}^H$, а за верхнім рівнем вхідного сигналу $U_{пер}^6 = U_{вх.пор}^6 - U_{вих.пор}^6$. Статична завадостійкість розглядають як стійку роботу елемента при тривалому впливі потенціалу завади.

Максимальна завадостійкість ЛЕ за нижнім і верхнім рівнями досягається при ідеальній амплітудній передавальній характеристиці, для якої $U_{вх.пор}^H = U_{вх.пор}^6 = U_{кв}$

Реалізація характеристик, близьких до ідеальних, пов'язана з відомими труднощами внаслідок технологічного розкиду параметрів мікросхем при виготовленні, зміни порогових напруг залежно від зміни напруги живлення і температури навколишнього середовища в процесі експлуатації. Тому реально зони статичної завадостійкості для кожного типу ЛЕ встановлюють на основі статистичного аналізу амплітудних передавальних характеристик. Напруги статичної завади вказують у паспорті на логічний елемент і гарантують для найгіршого випадку роботи певного елемента.

При зіставленні амплітудних передавальних характеристик ЛЕ різних типів часто використовують не абсолютні значення статичної завадостійкості, а їх відношення до мінімального логічного перепаду: $K_{пер}^H = U_{пер}^H / U_L$, $K_{пер}^6 = U_{пер}^6 / U_L$.

Чим ближча амплітудна передавальна характеристика до ідеальної, тим ближче значення цих коефіцієнтів до 0,5.

Статичні параметри визначають умови формування і значення напруг ви-

сокого і низького рівнів на виході ЛЕ, його навантажувальну спроможність, споживану потужність за заданими параметрами напруги живлення, навантаження і температури навколишнього середовища.

До статичних параметрів ЛЕ належать:

- вихідні й вхідні напруги логічних «0» і «1» ($U_{вих}^0, U_{вих}^1, U_{вх}^0, U_{вх}^1$);
- вхідні і вихідні порогові напруги логічних «0» і «1» ($U_{вх.пор}^0, U_{вх.пор}^1, U_{вих.пор}^0, U_{вих.пор}^1$);
- вхідні й вихідні струми логічних «0» і «1» ($I_{вх}^0, I_{вх}^1, I_{вих}^0, I_{вих}^1$);
- струми споживання в стані логічних «0» і «1» ($I_{сн}^0, I_{сн}^1$);
- споживана потужність ($P_{сн}$).

Порогова напруга логічного елемента $U_{пор}$ – вхідна напруга, малі відхилення від якої в той або інший бік приводять до переходу логічного елемента на його виході зі стану «1» в стан «0» або навпаки.

Вихідна порогова напруга логічного «0» є максимальною або мінімальною (залежно від типу логіки) вихідною напругою логічного «0», що визначається точкою порогу амплітудної передавальної характеристики в області логічного «0», в якій диференціальний коефіцієнт посилення за напругою $K_U = 1$ для ЛЕ без інвертування та $K_U = -1$ для ЛЕ з інвертуванням (рис.4.2, точка *a*).

Вихідна порогова напруга логічної «1» є мінімальною або максимальною (залежно від типу логіки) вихідною напругою логічної «1», що визначається пороговою точкою амплітудної передавальної характеристики в області логічної «1», в якій $K_U = 1$ для ЛЕ без інвертування, $K_U = -1$ для ЛЕ з інвертуванням. Поріг зони перемикавання логічного «0» є пороговою напругою логічного «0», що визначається пороговою точкою амплітудної передавальної характеристики в області логічного «0», в якій $K_U = 1$ для ЛЕ без інвертування та $K_U = -1$ для ЛЕ з інвертуванням (рис.4.2, точка *b*).

Поріг зони перемикавання логічної «1» є пороговою напругою логічної «1», що визначається пороговою точкою амплітудної передавальної характеристики в області логічної «1», в якій $K_U = 1$ для ЛЕ без інвертування та $K_U = -1$ для ЛЕ з інвертуванням.

Вхідний струм ЛЕ задається для несприятливого режиму роботи в межах допустимих температур навколишнього середовища та напруги живлення як для рівня логічного «0» ($I_{вх}^0$) так і для рівня логічної «1» ($I_{вх}^1$). Вихідні струми $I_{вих}^0, I_{вих}^1$ характеризують навантажувальну здатність ЛЕ. Завадостійкість визначається відносно цих струмів. Тому збільшення коефіцієнта розгалуження

призводить до зниження завадостійкості.

Вхідний струм логічної «1» $I_{вх}^1$ визначають як вхідний струм для напруги логічної «1» на вході ЛЕ.

Вхідний струм логічного «0» $I_{вх}^0$ визначають як вхідний струм для напруги логічного «0» на вході ЛЕ.

Вихідний струм логічної «1» $I_{вих}^1$ визначають як вихідний струм для напруги логічної «1» на виході ЛЕ.

Вихідний струм логічного «0» $I_{вих}^0$ визначають як вихідний струм для напруги логічного «0» на виході ЛЕ.

Струм, споживаний від джерела (джерел) живлення ЛЕ ($I_{сн}$) залежить від типу ЛЕ. Для ЛЕ ЕЗЛ він майже постійний (якщо не брати до уваги навантаження) і не залежить від його логічного стану, для ЛЕ ТТЛ струм має різні значення для станів «0» і «1». Крім того, ЛЕ ТТЛ мають викиди струму під час перехідних процесів при перемиканні ЛЕ, що призводить до істотного збільшення струму споживання на високих частотах. Амплітуда і тривалість викиду залежать від характеру та величини навантаження, схемотехніки вихідного каскаду ЛЕ ТТЛ, довжини лінії зв'язку та ін. Потужність, споживана ЛЕ від джерел живлення, $P_{сн} = \sum_{i=1}^n U_i I_i$, де $i = 1 \dots n$ напруга i -го джерела живлення; I_i — струм у відповідному колі живлення.

Якщо споживана потужність залежить від вихідної напруги логічного «0» ($P_{сн}^0$) або «1» ($P_{сн}^1$), то як основний параметр використовують середню споживану потужність $P_{сн.сеп} = (P_{сн}^0 + P_{сн}^1)/2$. Для ЛЕ, що споживають значну потужність при перемиканні, середню споживану потужність у технічній документації задають у вигляді залежності $P_{сн.сеп} = f(F_{i,мн})$, де $F_{i,мн}$ - частота проходження імпульсів.

Вхідний опір логічного елемента $R_{вх}$ — відношення приросту вхідної напруги до приросту вхідного струму.

Вихідний опір логічного елемента $R_{вих}$ — відношення приросту вихідної напруги до його приросту вихідного струму (визначають для двох значень вихідного сигналу: $R_{вих}^0$ та $R_{вих}^1$).

Динамічні параметри. Швидкодія ЛЕ при перемиканні визначається електричною схемою, технологією виготовлення і характером навантаження. Для ідентифікації вимірювань динамічних параметрів у технічній документації на ІС наведено параметри еквівалентного навантаження, встановлено вимоги до

амплітуди і тривалості фронту вхідного сигналу.

На рис. 4.3 зображено часову діаграму, що пояснює зміну характеристик вихідного імпульсу залежно від параметрів вхідного імпульсу і властивостей елемента.

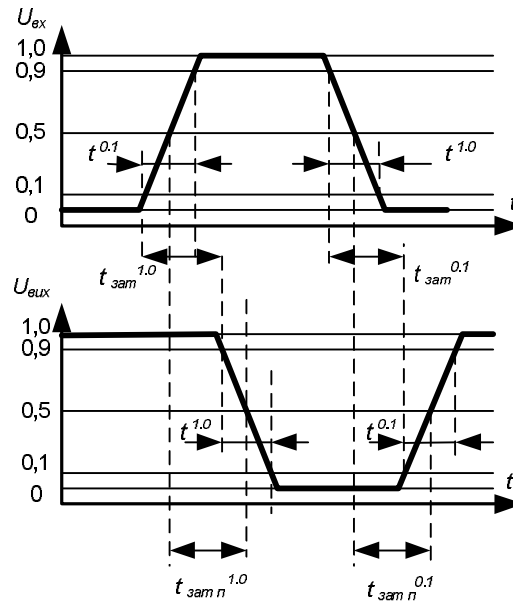


Рисунок 4.3- Основні динамічні параметри

Рівні відліку напруг для визначення динамічних параметрів встановлено відносно вихідних напруг порогу «1» та «0».

Основними динамічними параметрами ЛЕ є затримка поширення сигналу $t_{зам.n}$ під час перемикання і тривалість позитивного (наростаючого) і негативного (спадного) фронтів вихідних сигналів.

Затримку поширення сигналу під час переходу вихідної напруги від «1» до «0» $t_{зам.n}^{1,0}$ (для позитивної логіки це відповідає негативному фронту, для негативної — позитивному фронту вихідного сигналу) визначають як інтервал часу між вхідним і вихідним сигналами ЛЕ, виміряний на рівні 0,5 логічного перепаду вхідного і вихідного сигналів.

Затримку поширення сигналу при переході вихідної напруги від «0» до «1» $t_{зам.n}^{0,1}$ (для позитивної логіки це відповідає позитивному фронту, для негативної логіки — негативному фронту вихідного сигналу) визначають як інтервал часу між вхідним і вихідним сигналами ЛЕ, виміряний на рівні 0,5 логічного перепаду вхідного і вихідного сигналів.

Під час розрахунку часової затримки сигналу послідовно увімкнених ЛЕ використовується середня затримка поширення сигналу ЛЕ:

$$\tau_{зам.н.сер} = (t_{зам.н}^{0,1} - t_{зам.н}^{1,0}) / 2 .$$

Час переходу $t^{1,0}$ «1» у стан «0»- інтервал часу, протягом якого напруга на виході логічного елемента переходить від рівня «1» до рівня «0», виміряний при значеннях 0,9 і 0,1 логічного перепаду.

Час переходу $t^{0,1}$ на виході логічного елемента зі стану «0» у стан «1»- інтервал часу, протягом якого напруга на виході логічного елемента переходить від рівня «0» до «1», виміряний при значеннях 0,1 і 0,9 логічного перепаду.

Час затримки $t_{зм}^{1,0}$ вмикання логічного елемента — інтервал часу між вхідним і вихідним сигналами при переході напруги на виході логічного елемента від напруги «1» до напруги «0», виміряний на рівні 0,1 логічного перепаду вхідного сигналу і на рівні 0,9 вихідного сигналу.

Час затримки $t_{зм}^{0,1}$ вимкнення логічного елемента — інтервал часу між вхідним і вихідним сигналами під час переходу напруги на виході логічного елемента від напруги «0» до напруги «1», виміряний на рівні 0,9 логічного перепаду вхідного сигналу і на рівні 0,1 вихідного сигналу.

Динамічну завадостійкість елемента розглядають під час його роботи в імпульсному режимі; вона залежить від часових параметрів імпульсу завади, його форми й амплітуди, швидкості перемикавання логічних елементів.

Характеристика динамічної завадостійкості — залежність амплітуди завади від її тривалості. Ця характеристика істотно залежить від форми сигналу завади, рівня статичної завадостійкості і частоти перемикавання логічного елемента. Складність одержання сімей характеристик динамічної завадостійкості елементів не дає змоги наводити їх як основний чи довідковий матеріал у технічних умовах на логічні елементи.

Гранична робоча частота елемента задає діапазон робочих частот сигналів, переданих елементом без спотворення так, щоб за час одного такту в схемі встигали завершитися перехідні процеси.

Частота перемикавання — максимальна частота, на якій у найгірших умовах гарантується спрацьовування лічильного тригера, складеного з логічних елементів певної серії.

Збільшення середнього часу затримки — це поширення сигналу на один вільний вхід логічного елемента.

Схемотехнічні і конструктивні параметри. Для побудови розгалужених логічних кіл потрібно, щоб кожен ЛЕ мав визначену навантажувальну здатність за входом і виходом, тобто міг працювати за декількома логічними входами і одночасно керувати кількома входами інших ЛЕ. Навантажувальну здатність ЛЕ виражають коефіцієнтом об'єднання на вході і коефіцієнтом розгалуження на виході.

Коефіцієнт об'єднання на вході $K_{об}$ логічного елемента — число входів логічного елемента, за яким реалізується логічна функція, у тому числі з урахуванням входів логічного розширника.

Коефіцієнт розгалуження на виході $K_{роз}$ логічного елемента — число одиничних навантажень, які можна одночасно підключити до виходу логічного елемента. Одиничним навантаженням є один вхід базового логічного елемента певної серії. Кожен ЛЕ з боку входу є нелінійним навантаженням, характер і значення якого визначаються комбінацією і значенням сигналів на інших входах цього самого елемента і розкидом параметрів схеми ЛЕ. Слід пам'ятати, що для ряду елементів певної серії один вхід еквівалентний кільком одиничним навантаженням.

У реальній логічній схемі кожен ЛЕ може бути навантажений на різне число інших ЛЕ і з'єднаний з ними лініями зв'язку різної довжини і конфігурації. У результаті умови роботи ЛЕ в різних схемах можуть істотно відрізнятись, що не повинно призводити до порушення їхнього функціонування. Про кількість входів елементів іншої серії спеціально домовляються.

До конструктивних параметрів належать:

кількість джерел живлення, необхідне для роботи певної серії логічних елементів, — їх номінали, допуск на номінали, величини допустимих пульсацій;

тип корпусу (в тому числі без корпусу); габарити корпусу; кількість виводів корпусу.

Інтенсивність відмовлень логічних елементів, що, як правило, вказують на мікросхему в цілому.

Інтегральні параметри відображають рівень розвитку технології і схемотехніки та якість цифрових ІС. Основними інтегральними параметрами ІС є енергія перемикання P_{τ} і рівень інтеграції N .

Енергія перемикання $P_{\tau} = P_{сн.сер} \times \tau_{зт.н.сер}$. Зазвичай при визначенні ене-

ргії перемикання використовують типові значення затримки поширення і споживаної потужності. (Якщо споживана потужність виражають в міліватах, а затримка поширення — у наносекундах, то енергію перемикання - у пікоджоуль.) У міру вдосконалювання технології і схемотехніки та зменшення розмірів елементів на кристалі енергія перемикання безупинно знижується. При заданій технології і схемотехніці, чи при заданій енергії перемикання ($P_{\tau} = const$), можна створювати різні серії ІС з високою швидкодією (малим значенням $\tau_{зм.п}$) та великою споживаною потужністю або з низькою швидкодією та малою споживаною потужністю. За цим параметром оцінюють рівень розвитку цифрової мікроелектроніки і порівнюють різні типи ІС.

Ступінь інтеграції N логічних цифрових мікросхем (табл. 4.1) визначається числом найпростіших еквівалентних ЛЕ — звичайно вентилів з двома входами — на кристалі. Іноді ступінь інтеграції мікросхем вимірюють числом елементів (резисторів, транзисторів, діодів) на кристалі, але при цьому зовсім не враховують специфіку логічних цифрових ІС, де зв'язки між елементами займають істотну частину площі кристала. Функціональну складність ІС запам'ятовувальних пристроїв, що мають регулярну структуру, можна оцінювати числом біт пам'яті на кристалі.

Таблиця 4.1- Ступінь інтеграції логічних цифрових мікросхем

Умовна позначка	Число вентилів на кристал	Число біт пам'яті на кристал
ІС	До 10	До 10^2
СІС	10^2	10^3
ВІС	10^3	10^4
СВІС	10^4	10^5
СВІС більш високого ступеня інтеграції	10^5-10^6	10^6-10^7

4.3 Базовий логічний елемент транзисторно - транзисторної логіки

4.3.1 Склад, схемотехніка і принцип дії базового логічного елемента (БЛЕ)

Цей вид схемотехніки має, мабуть, найбільше число різновидів, тому що тривалість його використання дала змогу виявити багато з властивих йому обмежень та способи їх подолання. Більшість ІС, які входять до складу серій транзисторно-транзисторної логіки (ТТЛ), виконано на основі комбінації двох базових схем: елемента І-НЕ (штрих Шеффера) і розширника за АБО .

Елемент І-НЕ (рис. 4.4) можна зобразити послідовним з'єднанням трьох каскадів:

вхідного багатоємітерного транзистора $VT1$ з резистором $R1$ і діодами $VD_0—VD_{n-1}$, що реалізують логічну операцію І;

роздільника фаз на транзисторі $VT2$, резисторі $R2$ і кола нелінійної корекції $R3, R4$ та $VT3$;

двотактного вихідного підсилювача на транзисторах $VT4$ і $VT5$, резисторі $R5$ та діоді VD_n .

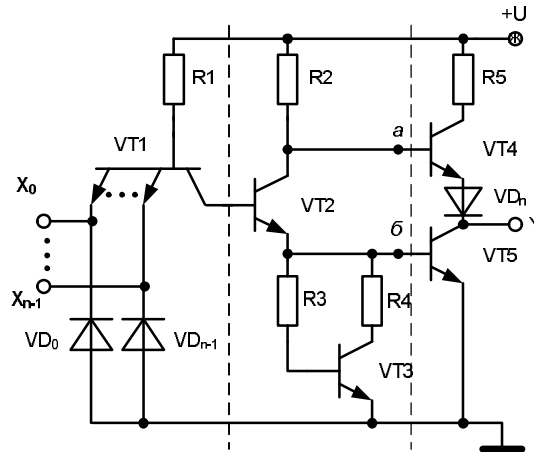


Рисунок 4.4- Принципова електрична схема ЛЕ І-НЕ ТТЛ (штрих Шеффера)

Розширник за АБО (рис. 4.5) фактично повторює перші два каскади елемента І-НЕ і містить вхідний багатоємітерний транзистор $VT1$ з резистором $R1$ і транзистор $VT2$ роздільника фаз.

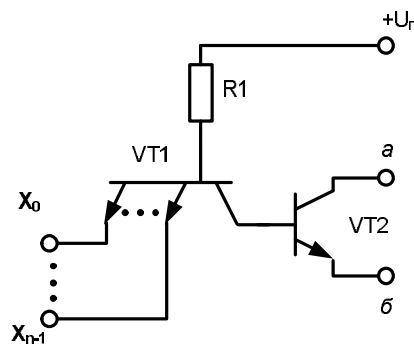


Рисунок 4.5- Принципова електрична схема розширника за АБО серії ТТЛ

Об'єднання елементів І-НЕ і розширника за АБО шляхом з'єднання точок a і b дає змогу одержати ЛЕ, що реалізує послідовність операцій І-АБО-НЕ.

Розглянемо роботу елемента І-НЕ (рис. 4.4). Припустімо, що хоча б один вхід елемента X_0, \dots, X_{n-1} безпосередньо ввімкнений до спільної шини, тобто на нього подана напруга логічного «0». У цьому випадку багатоємітерний транзи-

стор $VT1$ виявляється насиченим струмом, що проходить від джерела живлення через резистор $R1$. Напруга на його колекторі мало відрізняється від нульової, тому транзистор $VT2$ роздільника фаз замкнений.

Через те що струм емітера транзистора $VT2$ практично дорівнює нулю, буде замкнений і транзистор $VT5$. Струм, що проходить через резистор $R2$, входить у базу транзистора $VT4$, насичує його. Тому напруга, наявна на виході Y ЛЕ близька до напруги живлення і визначається виразом:

$$U_{вих}^1 = U_{жс} - I_{вих}R_5 - U_{КЭVT4} - U_{VD_n},$$

де $U_{жс}$ - напруга джерела живлення; $I_{вих}$ - вихідний струм; $U_{КЭVT4}$ - напруга на колекторі – емітері транзистора $VT4$; U_{VD_n} - спад напруги на діоді VD_n

Отже, за наявності на кожному із входів схеми напруги низького рівня напруга на його виході матиме високий рівень. Припустимо тепер, що на усі входи ЛЕ подано високий рівень напруги. У цьому випадку усі переходи багатоемітерного $VT1$ замкнені. При цьому його колекторний перехід зміщується в прямому напрямку і по колу (резистор $R1$, колекторний перехід транзистора $VT1$ та послідовно з'єднаний емітерний перехід транзисторів $VT2$ і $VT5$) проходить струм. Цей струм наситить транзистори $VT2$ і $VT5$, і на виході у ЛЕ установиться низька напруга, яка чисельно дорівнює напрузі насичення транзистора $VT5$:

$$U_{вих}^0 = U_{КЭVT5} = I_{вих}r_{вихVT5}$$

де $U_{КЭVT5}$ - напруга на колекторі-емітері транзистора $VT5$; $r_{вихVT5}$ - вихідний опір транзистора $VT5$.

Через те що транзистор $VT2$ насичений, наявна на його колекторі напруга недостатня для прямого зміщення двох послідовно ввімкнених $p-n$ - переходів (перехід емітеру $VT4$ і діоду VD_n). Транзистор $VT4$ буде замкнений.

Отже, якщо нав входах схеми наявна висока напруга, на виході БЛЕ буде мати напруга низького рівня.

Для позитивної логіки наведений алгоритм роботи відповідає визначенню операції І-НЕ: $y = \overline{x_0 x_1 x_{n-1}}$.

Виконання вихідного каскаду елемента за двотактною схемою дає змогу одночасно вирішити два завдання:

1. Підвищити швидкодію елемента. Навантаження БЛЕ зазвичай має ємніс-

ний характер, і застосування двотактного вихідного каскаду має змогу збільшити струм заряду ємності навантаження.

2. Знизити споживання. У сталому режимі логічного «0» через вихідний каскад проходить тільки струм навантаження.

У вхідному колі багатоемітерного транзистора $VT1$ увімкнені додаткові діоди $VD_0—VD_{n-1}$, що захищають елементи від появи на його вході недопустимих напруг зворотної полярності.

Нелінійне коло корекції $R3$, $R4$ і $VT3$ дає змогу збільшити швидкодію елемента і наблизити його АПХ до прямокутної. Останнє поліпшує властивості елемента.

Принцип дії цього кола заснований на залежності його опору від стану транзистора $VT5$. Якщо цей транзистор замкнений, то транзистор нелінійного кола корекції $VT3$ також замкнений. Сумарний опір кола шунтування переходу емітеру транзистора $VT5$, в основному визначається опором резистора $R3$, яке достатньо великий. Тому на початковому етапі формування на виході елемента напруги логічного «0» весь емітерний струм транзистора $VT2$ проходить у базу транзистора $VT5$, що форсує його ввімкнення. Після ввімкнення $VT5$ насичується і $VT3$, шунтуючі емітерний перехід транзистора $VT5$ малим опором резистора $R4$. Це, по-перше, зменшує ступінь насичення транзистора $VT5$ і, по-друге, при наступному вимиканні збільшує струм, що вилучає з базової області цього транзистора надлишковий заряд неосновних носіїв. Обидва цих фактора сприяють зниженню часу розсмоктування носіїв транзистора $VT5$, що підвищує швидкодію елемента.

У момент перемикання БЛЕ в його вихідному колі проходить так званий «наскрізний струм», що зумовлено тим, що протягом інтервалу розсмоктування носіїв транзистора, який замикається, обидва транзистори вихідного двотактного підсилювача виявляються насиченими. Це приводить до того, що струм споживання елемента має явно виражений імпульсний характер. Тому зі збільшенням частоти перемикання середнє значення струму, споживаного елементом, збільшується. Зростає і його сумарна споживана потужність. Крім цього, проходження імпульсів струму за рахунок дії індуктивності сполучних проводів L_{np} (рис. 4.6) може призвести до появи помилкових спрацьовувань сусідніх елементів (внутрішні завади).

Для обмеження величини «наскрізного струму» в колекторне коло $VT4$ увімкнений резистор $R5$. Однак надмірне збільшення опору цього резистора,

по-перше, збільшує потужність, що розсіюється в елементі, та, по-друге, зменшує його навантажувальну здатність. Тому для виключення дії завад шини живлення слід виконувати з малою власною індуктивністю і за всією довжиною передбачене шунтування додатковими (зазвичай керамічними) конденсаторами $C_{\text{дод}}$ з малою паразитною індуктивністю. Використання такого технічного рішення дає змогу звести до мінімуму дію внутрішніх завад.

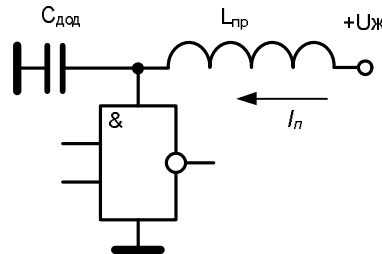


Рисунок 4.6- Шунтування шини живлення БЛЕ ТТЛ додатковими конденсаторами

Слід зазначити ще одну особливість застосування БЛЕ ТТЛ. Відповідно до наведеного алгоритму роботи, якщо вхід елемента залишається непідключеним до джерела сигналу, можна вважати, що на нього поданий сигнал логічної «1». Однак на практиці невикористані входи елементів ТТЛ рекомендується не залишати вільними, а через додатковий резистор $R_{\text{дод}}$ підключати до виводу $+U_{\text{жс}}$. Інакше через те що у стані логічної «1» на вході елемент має великий вхідний опір, різко збільшується ймовірність впливу на нього завад, що знижує надійність роботи логічного пристрою. Звичайно один резистор використовують для підключення кількох входів ЛЕ. У цьому випадку його опір можна знайти з умови:

$$R_{\text{дод}} \leq \frac{U_{\text{под}} - U_{\text{вх min}}}{n I_{\text{вх max}}},$$

де n — число входів БЛЕ, що підключають до резистора.

4.3.2 Різновиди схемотехніки елементів ТТЛ

Крім розглянутих, універсальні серії ІС ТТЛ мають у своєму складі деякі спеціалізовані елементи. Вони призначені для розширення функціональних можливостей цих серій. Розглянемо деякі з них.

Елемент І-НЕ з відкритим колектором призначений для узгодження логічних схем із зовнішніми виконавчими й індикаторними пристроями, наприклад індикаторами на світло-діодах, лампами розжарювання, обмотками реле і т.д. Його відмінність від раніше розглянутого полягає у виконанні вихідного підси-

лювача потужності за однотактною схемою без власного навантажувального резистора. Принципову електричну схему такого елемента зображено на рис. 4.7.

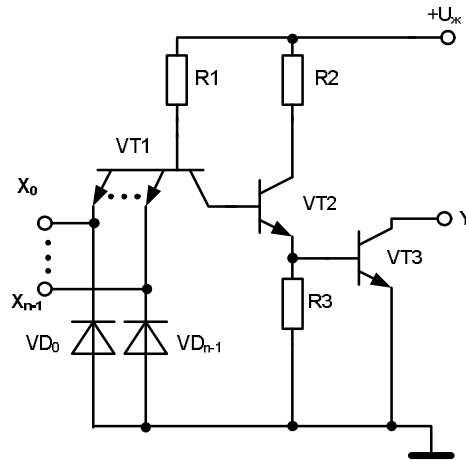


Рисунок 4.7- Принципова електрична схема ЛЕ І-НЕ ТТЛ з відкритим колектором

У цьому елементі так само немає коло нелінійної корекції. Це пов'язано з тим, що елемент розміщують на виході логічного пристрою, і до нього в меншому ступені висувають вимогу квантування сигналу. Звичайно вихідний транзистор $VT3$ схеми виконують з більшими допустимими значеннями колекторного струму і напруги, ніж звичайний елемент.

На відміну від стандартних елементи ТТЛ із відкритим колектором допускають паралельне вмикання вихідних виводів. При цьому щодо вихідних сигналів кожного елемента реалізується логічна операція І:

$$Y = y_1 y_2 \dots y_n,$$

де y_1, y_2, y_n - вихідні виводи послідовно ввімкнених елементів.

Це дає змогу вирішити два завдання:

- спростити схему проєктованого пристрою за рахунок вимкнення додаткових елементів, що реалізують операцію І;
- забезпечити роботу кількох виходів на загальну шину, тобто реалізувати режим роботи з поділом інформації в часі.

Елемент І-НЕ з підвищеною навантажувальною здатністю призначений для використання у випадках, коли коефіцієнта розгалуження стандартного елемента ТТЛ недостатньо для передавання вихідного сигналу всім споживачам. Схемотехнічно цей елемент відрізняється від стандартного виконанням вихідного каскаду (рис. 4.8).

Для збільшення потужності сигналу логічна «1» у вихідному каскаді ви-

користана схема складеного транзистора $VT4$. Коефіцієнт розгалуження на виході для таких елементів у три рази перевищує значення $K_{роз}$ для стандартного БЛЕ.

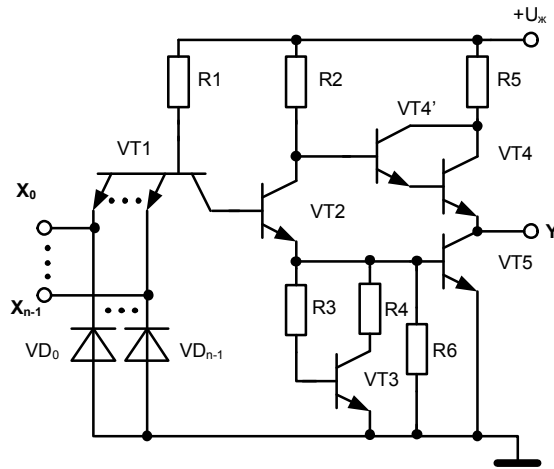


Рисунок 4.8- Принципова електрична схема ЛЕ І-НЕ ТТЛ з підвищеною навантажувальною здатністю

Елемент І-НЕ з третім (високоімпедансним) станом високого імпедансу призначений для спільної роботи кількох елементів на загальну шину. Принципову електричну схему елемента І-НЕ з третім (високоімпедансним) станом на виході наведено на рис. 4.9.

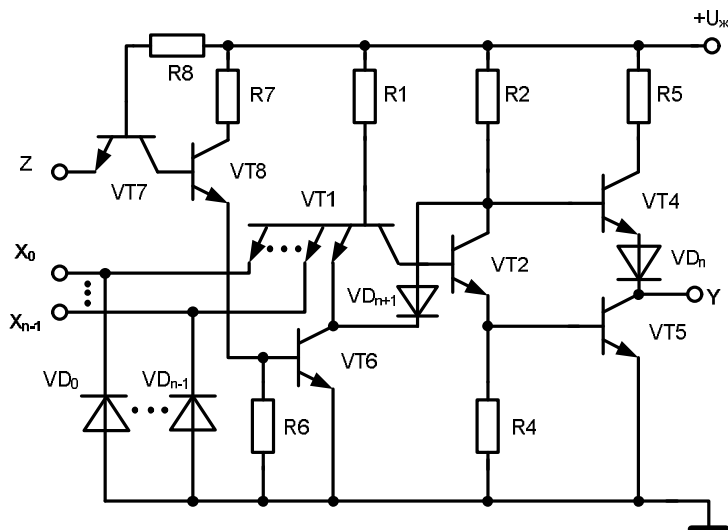


Рисунок 4.9- Принципова електрична схема ЛЕ І-НЕ ТТЛ з третім (високоімпедансним) станом

В основному така схема повторює схему стандартного елемента І-НЕ. Для організації третього (високоімпедансного) вихідного стану багатомітерний транзистор $VT1$ забезпечується n -м емітером, що через допоміжний транзисторний перемикач $VT6$ з'єднаний із загальною шиною.

Для керування транзисторним перемикачем використовують схему, що повторює вхідний каскад стандартного елемента ТТЛ. Вона включає вхідний транзистор $VT7$ і підсилювач на транзисторі $VT8$, увімкнений за схемою емітерного повторювача. Емітер транзистора $VT7$ є входом керування третім станом елемента (вхід z). Його база через резистор $R8$ з'єднана із шиною живлення, а колектор підключений до входу підсилювача на транзисторі $VT8$. Сигнал, що знімається з резистора $R6$, керує станом транзисторного перемикача $VT6$. Додатково колектор $VT6$ через діод VD_{n+1} приєднаний до бази транзистора $VT4$ вихідного підсилювача потужності.

Розглянемо роботу БЛЕ при різних значеннях керуючого сигналу на вході z . Якщо $z=1$, то перехід емітера транзистора $VT7$ зміщений у зворотному, а колекторний — у прямому напрямку. Струм від шини живлення через резистор $R8$ проходить у базу транзистора $VT8$, насичуючи його. Одночасно насичується і транзисторний перемикач $VT6$. При цьому один з емітерів транзистора $VT1$ підключається до загальної шини, що еквівалентно подаванню на вхід елемента сигналу логічного 0. Тому не залежно від значень інших початкових змінних елемент намагається сформуванати на виході сигнал логічної 1, тобто його транзистори $VT2$ і $VT5$ замкнені. Транзистор $VT4$ також виявляється замкненим через шунтування його вхідного кола послідовно ввімкненими прямо зміщеним діодом VD_{n+1} і насиченим транзистором $VT6$. Тому при $z=1$ обидва транзистори вихідного двотактного підсилювача потужності замкнені і ЛЕ фактично вимкнений від вихідного виводу. Це відповідає високоімпедансному стану, за яким вихідний сигнал елемента при будь-яких комбінаціях його вхідних сигналів не потрапляє на його вихід.

Якщо $z=0$, то струм резистора $R8$ насичує транзистор $VT7$. Транзистори $VT8$ і $VT6$ замкнені, і на додатковий вхід багатоемітерного транзистора $VT1$ подається сигнал, що не впливає на роботу елемента. У цьому випадку вихідний сигнал визначається виключно комбінацією логічних змінних, діючих на входах x_0, \dots, x_{n-1} і робота елемента аналогічна роботі стандартного ТТЛ БЛЕ.

4.3.3 Способи підвищення швидкодії

Швидкодія БЛЕ серій ІС ТТЛ в основному визначається інерційними властивостями застосовуваних біполярних транзисторів і навантаження. Інерційні властивості, зумовлені параметрами навантаження, залежать від конкретної схеми і конструктивного виконання логічного пристрою. Мала швидкодія

пов'язана з власне частотними властивостями елементів БЛЕ. Основними причинами недостатньої швидкодії транзисторних перемикачів на біполярних транзисторах є перезарядження його колекторної ємності і час розсмоктування. Ці параметри визначаються як технологією виготовлення транзисторів, так і режимами їх роботи в перемикальній схемі. Зокрема, зменшення тривалості перемикачів, спричинене перезарядженням колекторної ємності при її незмінному значенні, можна досягти зменшенням опору колекторного навантаження. Дійсно, сумарна стала часу, що зумовлює швидкість змінювання колекторної напруги, $\tau_{пер} = R_k C_{КБ}$.

Зменшення R_k зменшує $\tau_{пер}$, а, отже, і час змінювання колекторних струму і напруги транзистора.

Це технічне рішення, підвищуючи швидкодію перемикача, приводить до збільшення струму колектора, що проходить через насичений транзистор, і до збільшення потужності, яка розсіюється в БЛЕ.

Отже, підвищення швидкодії БЛЕ ТТЛ за рахунок зменшення тривалості перезарядження ємності $C_{кб}$ пов'язане зі збільшенням потужності, яка розсіюється в елементі.

Намагання зменшити час розсмоктування, що при пасивному вимиканні становить значну частину часу вимкнення біполярного транзистора, привело до застосування в БЛЕ діодів і транзисторів Шотткі. Нагадаємо, що найрадикальнішим методом зменшення інерційності перемикача на біполярному транзисторі, спричинене розсмоктуванням неосновних носіїв з базової області, є використання ненасиченого режиму його роботи. Останнє найпростіше досягається шунтуванням колекторного переходу діодом Шотткі.

Діод Шотткі має істотно меншу граничну напругу відкриття, ніж $p-n$ -перехід транзистора. Тому під час дії вхідного імпульсу діод Шотткі відкривається раніше, ніж колекторний перехід транзистора, запобігаючи накопиченню надлишкового заряду в його базовій області. Накопичення заряду в самому діоді Шотткі не відбувається, тому що струм цього діода зумовлений перенесенням основних носіїв заряду. Ввімкнення паралельно колекторному переходу транзистора діода Шотткі при подаванні вхідної напруги автоматично фіксує напругу колектор — база на рівні, близькому до нульового. Транзистор при цьому працює поблизу границі режиму насичення.

Робота транзистора з діодом Шотткі в активному режимі призводить до

збільшення напруги на його переходах, що трохи знижує споживану елементом потужність і змінює асимптотичні рівні логічних «0» і «1».

Це схемне рішення реалізоване в різновиді БЛЕ ТТЛ – ТТЛШ.

На рис. 4.10 приведено принципову електричну схему БЛЕ ТТЛШ серії 555. Від схеми стандартного БЛЕ вона відрізняється застосуванням у вихідному двотактному підсилювачі потужності складеного транзистора, що сприяє підвищенню швидкодії, і виконанням вхідного каскаду, що реалізує логічну операцію І. Операцію І у цьому елементі виконують з використанням перемикачів на діодах $VD1, VD2, \dots, VD_{2n-1}, VD_{2n}$. При подаванні на усі вхідні виводи елемента напруги високого рівня парні діоди $VD2, \dots, VD_{2n}$ вхідних діодних перемикачів зміщуються в зворотному напрямку. Тому струм резистора $R1$ насичує транзистори $VT1$ і $VT5$, формуючи на виході елемента сигнал низького рівня.

Якщо хоча б на один вхід схеми подано низьку напругу, відповідний діод зміщується у прямому напрямку. Струм резистора $R1$ замикається на загальну шину, минаючи переходи емітерів транзисторів $VT1$ і $VT5$. Останні замикаються. При цьому струм резистора $R2$ насичує складений транзистор $VT4'$, $VT4$, формуючи на виході напругу високого рівня.

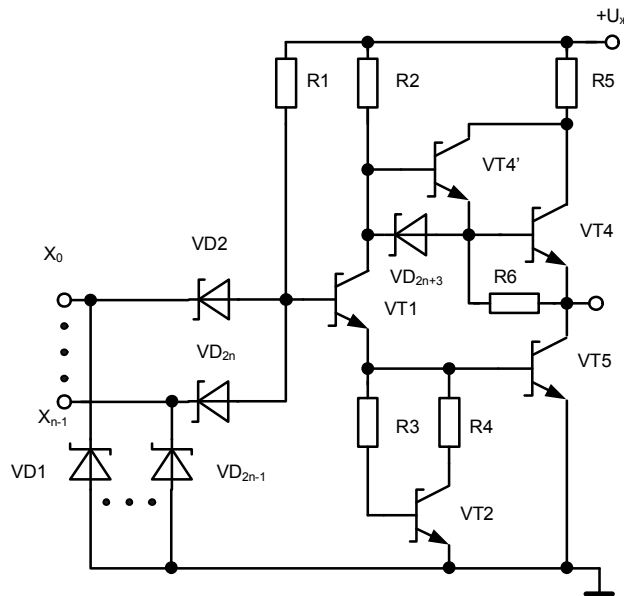


Рисунок 4.10- Принципова електрична схема БЛЕ ТТЛШ

Завдяки такій побудові вхідні виводи елемента можна безпосередньо підключати до шини джерела живлення, що не рекомендовано для стандартних елементів ТТЛ.

Слід зазначити, що підвищення швидкодії, досягнуте застосуванням у схемі БЛЕ діодів і транзисторів Шоттки, дало змогу розробити серію ІС ТТЛ зі

зменшеним споживанням при швидкодії, порівнянної зі стандартними елементами. Останнє важливо з погляду підвищення функціональних можливостей ІС.

Потужність, потрібна для роботи схем ТТЛШ зі зменшеним споживанням, приблизно в 5 разів менша, ніж у стандартній схемі ТТЛ. Якщо допускає технологія, у тому самому корпусі можна розмістити в 5 разів більше напівпровідникових елементів та значно підвищити складність розробленої ІС і коло розв'язуваних з її допомогою задач. Через те при створенні ВІС і СВІС застосовують тільки цей тип базових схем.

Усі ІС ТТЛ, що виробляє вітчизняна промисловість нині, можна поділити на такі групи: стандартні; швидкодійні з діодами Шотткі; малопотужні з діодами Шотткі.

Елементи всіх цих серій практично виконані за єдиною схемою. Існуючі невеликі схемотехнічні відмінності докладно розглянуто раніше. Основне розходження цих серій полягає в їхній швидкодії і споживаній потужності. Типові параметри БЛЕ різних серій ТТЛ наведено в табл. 4.2.

Таблиця 4.2- Параметри БЛЕ серій ТТЛ

Серія ІС	$t_{зр}$ порівн	$P_{сп}$, мВт	$U^1_{вих}$, В	$U^0_{вих}$, В	$I^1_{вих}$, мА	$I^0_{вих}$, мА
К155	10	10	2,4	0,4	-0,4	16
К531	3	20	2,7	0,5	-1,0	20
К555	10	2,0	2,7	0,5	-0,4	8,1

4.4 БЛЕ емітерно - зв'язаної логіки

4.4.1 Особливості схемотехніки

Причиною появи БЛЕ емітерно - зв'язаної логіки (ЕЗЛ) було намагання підвищити швидкодію цифрових пристроїв. Це привело до використання в них відмінного від ТТЛ схемотехнічного рішення.

Основою БЛЕ ЕЗЛ є перемикач струму, виконаний на двох транзисторах (рис. 4.11) . На базу одного з них, наприклад $VT2$, подано деяку постійну опорну напругу $U_{он}$. Зміна напруги, поданої на вхід X_0 нижче або вище $U_{он}$ приводить до перерозподілу постійного струму I_e , заданого стабілізуючим струмом резистором $R_э$, між транзисторами $VT1$ і $VT2$. При цьому транзистори не потрапляють у режим насичення й у перемикачі принципово відсутній інтервал роз-

мокування їх неосновних носіїв. Отже, особливістю БЛЕ ЕЗЛ є постійний споживаний струм не залежно від значення вихідного сигналу перемикача.

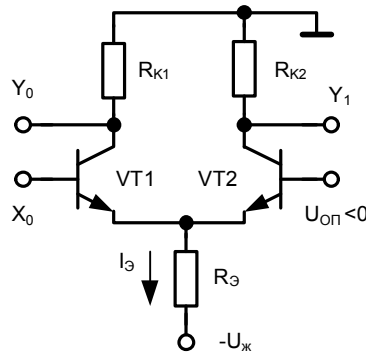


Рисунок 4.11- Принципова електрична схема перемикача струму БЛЕ

Ця особливість вигідно відрізняє БЛЕ ЕЗЛ від БЛЕ ТТЛ, у якому в момент переключення струм, споживаний елементом різко зростає, створюючи внутрішні завади, що погіршують заводозахищеність цифрового пристрою.

Загальною шиною для елемента є шина $+U_{ж}$, у наслідок чого всі потенціали точок схеми негативні щодо загальної шини. Однак у схемі перемикача струму так само, як і в схемах ТТЛ, реалізований принцип позитивної логіки, за яким більший вихідній напрузі відповідає сигнал лог. «1», а меншій — сигнал логічний «0».

Швидкодія перемикача струму дуже велика, тому що, по-перше, транзистори принципово не проникають в область насичення і, по-друге, малий логічний перепад напруг між значеннями логічного «0» та логічної «1». Останнє реалізовано вибором малих опорів резисторів R_{K1} і R_{K2} схеми, що дуже корисно з погляду зменшення сталої часу заряду вихідної ємності транзистора.

З перемикача струму знімаються одночасно два сигнали — прямий та інверсний, зв'язані з сигналом X_0 на вході схеми співвідношеннями:

$$y_1 = x_0,$$

$$y_0 = \bar{x}_0.$$

Вихідна напруга, що знімається з виходів y_1 і y_0 завжди більше за $U_{он}$, тому що транзистори $VT1$ і $VT2$ завжди працюють у ненасиченому режимі. Тому безпосереднє послідовне вмикання кількох таких перемикачів неможливо. Для цього необхідний каскад узгодження. За каскад узгодження використовують схеми емітерних повторювачів, увімкнених між виходами перемикача струму і виходами елемента.

Повну схему БЛЕ, виконаного на основі перемикача струму, наведено на рис. 4.12 (елемент серії 500). Базовий елемент отриманий шляхом заміни вхід-

ного транзистора VTI перемикача струму групою паралельно увімкнених транзисторів $VTI—VT_n$. Функціонально схему БЛЕ можна поділити на три вузли:

- перемикач струму на транзисторах $VTI—VT_{n+1}$ і резисторі R_{n+2} ;
- джерело еталонної напруги, що містить параметричний стабілізатор на елементах $R_{n+4}, VD1, VD2, R_{n+5}$ емітерний повторювач на VT_{n+2} і R_{n+3} ;
- вихідні емітерні повторювачі на транзисторах VT_{n+3} і VT_{n+4} .

Діоди $VD1, VD2$ у колі джерела, що задає еталонну напругу, призначені для термічної компенсації напруги U_{on} .

4.4.2 Принцип дії та функціональні можливості БЛЕ ЕЗЛ

Припустимо, що на всі входи схеми (рис. 4.12) x_0, \dots, x_{n-1} подано напругу, близьку до $-U_{жк}$. Тоді транзистори $VTI—VT_n$ будуть замкнені. Весь струм резистора R_{n+2} проходить через транзистор VT_{n+1} , до виводу бази якого прикладено напругу U_{on} . Цей транзистор підтримується в активному режимі роботи за рахунок дії глибокого послідовного негативного зворотного зв'язку за струмом. Якщо не враховувати зворотні струми колекторних переходів транзисторів $VTI—VT_n$, через резистор R_n проходить тільки базовий струм транзистора VT_{n+3} вихідного емітерного повторювача. Отже, напруга на виході близька до нульової.

$$U_{y2} = -I_{BVT_{n+3}}R_n - U_{BEVT_{n+3}}.$$

Чисельно напруга U_{y2} приблизно дорівнює $-0,9$ В.

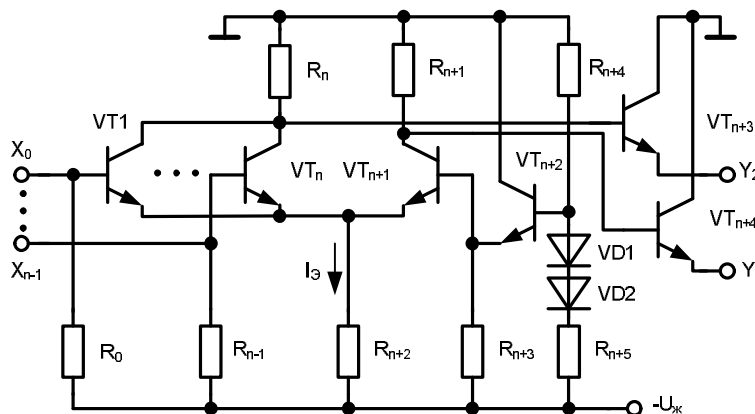


Рисунок 4.12- Принципова електрична схема БЛЕ ЕЗЛ

Через резистор R_{n+1} крім базового струму транзистора VT_{n+4} проходить струм $I_{K VT_{n+1}}$, який приблизно дорівнює I_s . Ці струми створюють на резисторі R_{n+1} спад напруги:

$$U_{R_{n+1}} = (I_{K_{n+1}} + I_{B_{n+4}})R_{n+1} = [(I_E h_{21\Omega}) / (h_{21\Omega} + 1) + I_{B_{n+4}}] R_{n+1} \approx I_E R_{n+1}$$

Ця напруга перетворюється вихідним емітерним повторювачем на транзисторі VT_{n+4} на вихідну напругу U_{y1} :

$$U_{y1} \approx -U_{BEVT_{n+4}} - I_E R_{n+1}.$$

Чисельно напруга U_{y1} приблизно дорівнює $-1,7\text{В}$.

Якщо хоча б на один із входів схеми X_0, \dots, X_{n-1} подано напругу, що перевищує за рівнем U_{on} ($-1,3\text{В}$), то відповідний транзистор VT перейде в активний режим роботи. Його струм дорівнюватиме струму I_E , що змінить рівні вихідної напруги:

$$U_{y2} = -U_{BEVT_{n+3}} - I_E R_n,$$

$$U_{y1} = -I_{BVT_{n+4}} R_{n+1} - U_{BEVT_{n+4}}.$$

Із викладеного випливає, що розглянута схема реалізує за виходом y_2 операцію АБО-НЕ, а за виходом y_1 — операцію АБО:

$$y_1 = (x_0 + x_1 + \dots + x_{n-1}),$$

$$y_2 = \overline{(x_0 + x_1 + \dots + x_{n-1})}.$$

Резистори $R_0 - R_{n-1}$ увімкнені між базами транзисторів $VT_1 - VT_n$ і виводом $-U_{ж}$; забезпечують замкнений стан цих транзисторів за відсутності вхідного сигналу. Це дає змогу не турбуватися про підключення невикористаних входів ІС до виводів джерела живлення.

Особливістю схемотехнічної побудови елементів ЕЗЛ є використання для підключення загальної шини власне перемикача струму і вихідних емітерних повторювачів різних виводів ІС. Споживаний струм, що проходить в цих колах, має якісно різний характер. Як було зазначено раніше, принцип роботи перемикача струму полягає у споживанні постійного струму, оскільки його робота пов'язана з перерозподілом струму емітерного резистора R_E .

Емітерні повторювачі споживають імпульсний струм. До того ж для поліпшення частотних властивостей опори резисторів, що підключають до виводів y_1 і y_2 ІС, вибирають дуже малими ($R_{зов} = 75 \dots 100 \text{ Ом}$). Тому спільне живлення цих кіл через малу величину логічного перепаду може призводити до помилкового спрацьовування сусідніх елементів, тобто до появи перебоїв під час оброблення інформації (внутрішніх завад). Поділ кіл живлення дає змогу усунути цей недолік.

Роздільне живлення перемикачів струму і вихідних емітерних повторювачів дає змогу додатково вирішити завдання зниження потужності, що розсіюється в реальній апаратурі. Через те що вихідна напруга елемента лежить у діапазоні $-0,9...-1,7\text{В}$, то для живлення зовнішніх резисторів можна використати напругу, що не перевищує 2В . Таке рішення при малих опорах $R_{зов}$ дає змогу значно зменшити втрати потужності.

Розглянуті функціональні можливості БЛЕ ЕЗЛ можуть бути істотно розширені простими схемотехнічними прийомами. Для цього зазвичай використовуються два прийоми:

- спільне вмикання виходів кількох елементів на загальне навантаження;
- багатоярусне вмикання перемикачів струму.

Перший прийом використовує властивість емітерних повторювачів підтримувати високий рівень вихідної напруги, якщо хоча б один з паралельно з'єднаних транзисторів ввімкнений (Рис. 4.13). Логічні операції, реалізовані при об'єднанні виходів двох елементів з двома входами, що працюють зі змінними x_1, x_0 , та y_1, y_0 , наведено в табл. 4.3.

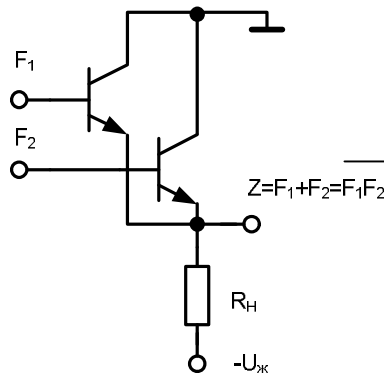


Рисунок 4.13- Спільне вмикання виходів кількох ЛЕ ЕЗЛ

Таблиця 4.3- Логічні операції, виконувані БЛЕ ЕЗЛ при об'єднанні їх виходів

Тип з'єднання	Вихідні сигнали	Тип виконуваної операції
Інверсні виходи	$z = \overline{(x_1 + x_0) + (y_1 + y_0)} = \overline{(x_1 + x_0)(y_1 + y_0)}$	НІ
Прямі виходи	$z = x_1 + x_0 + y_1 + y_0$	АБО

Другий прийом ґрунтується на послідовному (багатоярусному) ввімкненні перемикачів струму, що дає змогу реалізувати складніші логічні функції.

Ідея побудови багатоярусних перемикачів полягає у використанні як навантажувального елемента транзистора нижнього ярусу додаткового перемикача струму, що утворить наступний ярус схеми. При цьому для проходження струму через перемикачі струму вищого ярусу мають бути включені відповідні транзистори нижчого ярусу схеми.

З наведеного вище можна зробити висновок, що особливістю схем ЕЗЛ є широке використання схемотехнічних рішень для одержання в ІС різних логічних функцій. При цьому сама схемотехніка є функціонально гнучкою. Це дає змогу ефективніше, тобто при більш простих, ніж у ТТЛ, схемотехнічних витратах реалізувати складні функції алгебри логіки. Цю властивість широко застосовують при розробленні ВІС на основі базових матричних кристалів.

4.4.3 Способи підвищення швидкодії

Інерційності, зумовленої часом розсмоктування носіїв біполярного транзистора, у БЛЕ ЕЗЛ немає, тому підвищення швидкодії може бути досягнуто тільки зменшенням входної ємності і сумарної ємності колекторного вузла схеми. Цей спосіб реалізований у так званих елементах E^2 ЗЛ. Ідея їх побудови полягає у відмовленні від застосування повторювачів за емітером у вихідному колі елемента і переносенні їх у його входне коло. При цьому ємність навантаження повторювача за емітером, тобто власне входна ємність перемикача струму, при перерахуванні в його входне коло зменшується в h_{21E} разів ($C_{вх} = C_n / h_{21E}$). Елемент такого типу має зменшену енергію перемикування.

Іншим способом підвищення швидкодії є зменшення рівня логічного перепаду і напруги живлення. Цей спосіб використаний при розробленні ЕЗЛ для режиму малого сигналу (МЕЗЛ). Однак через те що при цьому сильно спадає завадостійкість БЛЕ, це рішення застосовують тільки при розробленні СВІС. При цьому входні і вихідні сигнали самої ІС містяться на стандартному рівні ТТЛ. Типові характеристики БЛЕ ЕЗЛ різних типів наведено в табл. 4.4.

Таблиця 4.4. Основні параметри БЛЕ ЕЗЛ

Тип елемента	Серія	$t_{зат\ порівн.}$ нс	$P_{потр.}$ мВт	$U_{пер.}$ мВ	$U_{л.}$ В	$U_{ж.}$ В
ЕЗЛ	500 1500	2	25	130...160	0,8	5,2
E^2 ЗЛ	—	0,5...0,8	5	130... 160	0,6	5.2
МЕЗЛ	—	0,5... 0.8	5	40... 50	0,4	2...3

4.5 БЛЕ на МДН- транзисторах

4.5.1 Особливості використання МДН- транзистора

Поширенню МДН- схемотехніки сприяли такі її особливості:

більш проста технологія виготовлення (коротший технологічний цикл виготовлення), що зумовлює підвищення відсотка виходу роботоздатних виробів; менші геометричні розміри приладу і більш прості схемотехнічні рішення, що при однаковій з біполярною ІС площі кристала дає змогу розмістити на ньому складнішу за виконуваними функціями схему чи при однаковій функціональній складності одержати меншу площу кристала, що також підвищує вихід роботоздатних виробів (менший вплив дефектів вихідного напівпровідника).

Разом з тим при розробленні ІС МДН ураховують такі особливості цього класу приладів:

- 1) МДН - транзистор має гірші перемикальні властивості порівняно з біполярним транзистором. Це виявляється в більшому вихідному опорі і, отже, у більшій залишковій напрузі у ввімкненому стані;
- 2) залишкова напруга на ввімкненому МДН - транзисторі значно залежить від керуючої напруги. Стосовно до логічних схем це означає сильну залежність напруги логічного «0» від напруги логічної «1». Послабити цю залежність можна зменшенням абсолютного струму стоку у ввімкненому стані, що потребує використання в перемикачі на МДН - транзисторі високого навантаження;
- 3) необхідність застосування власного навантаження з високим опором при фіксованій ємності (вхідної ємності аналогічного елемента) збільшує постійну часу, що визначає тривалість фронту і спад вихідної напруги ЛЕ. Це призводить до спаду його швидкодії;
- 4) через особливості, розглянуті вище (нестабільність вихідних логічних рівнів) для забезпечення достатньої завадостійкості ЛЕ на МДН - транзисторах мають працювати при великих значеннях логічного перепаду. Це також сприяє спаду швидкодії елемента.

Слід зазначити, що необхідність застосування навантаження з високим опором має і позитивну властивість, що виявляється в зменшенні потужності, яка розсіюється в перемикачі на МДН- транзисторі.

Схемотехнічні рішення, використовувані при побудові ІС МДН, спрямовані на усунення розглянутих вище недоліків елементарного перемикача. Тому при побудові ІС схема перемикача з навантажувальним резистором не викорис-

товується. Широкого поширення дістала схема перемикача з навантажувальним МДН- транзистором, що забезпечує збільшення струму перезарядження ємності навантаження, а отже, і швидкодії перемикача. Це додатково дає змогу спростити технологію виготовлення ІС, через те що зі схеми вилучають всі пасивні елементи (резистори) і її будують тільки на однотипних елементах — МДН-транзисторах.

Залежно від типу використовуваного транзистора розрізняють ІС *n*- МОН і *p*- МОН- типів . Розглянемо побудову БЛЕ з використанням *n*-МОН транзисторів. На рис. 4.14, *a*, *б* зображено принципові електричні схеми БЛЕ з двома входами, що реалізують операції 2І-НЕ та 2АБО-НЕ.

Обидві схеми містять по три транзистори, з яких *VT1* виконує роль активного навантаження, а *VT2* і *VT3* є власне транзисторними перемикачами, що реалізують логічні операції. На рис. 4.14. *a* транзистори *VT2* і *VT3* ввімкнені послідовно. Для появи на виході схеми низької напруги на затвори обох транзисторів слід подати високу напругу, достатню для проходження струму активного навантаження. На рис. 4.14. *б*, транзистори *VT2* і *VT3* ввімкнені паралельно. При подаванні на затвор кожного з них високої напруги на виході буде сформована напруга низького рівня.

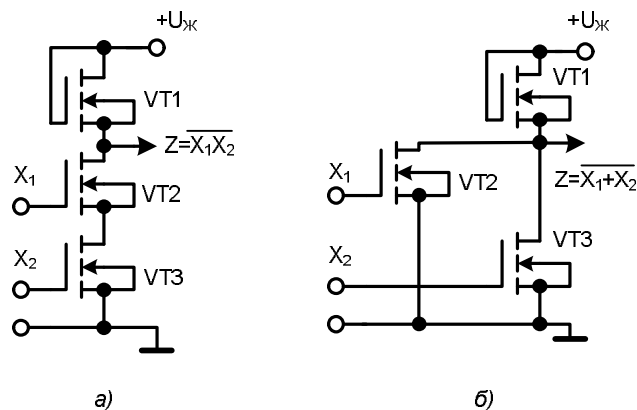


Рисунок 4.14- Принципові електричні схеми БЛЕ на МДП-транзисторах
а) 2І-НЕ; б) 2АБО-НЕ

Збільшення числа початкових змінних елемента потребує збільшення кількості послідовно або паралельно ввімкнених транзисторів.

Тому, використовуючи наведений принцип з мінімальними схемотехнічними витратами, можна легко побудувати логічний елемент із потрібним числом входів.

4.5.2 Схемотехніка БЛЕ КМОН - типу

Збільшення швидкодії ІС МДН потребує збільшення струмів перезарядження ємності навантаження. Однак це обмежується зростанням споживаної потужності і збільшенням нестабільності вихідних логічних рівнів. Подолати зазначене протиріччя можна або технологічно, шляхом створюючи транзистори з меншою вхідною ємністю, або схемотехнічним шляхом, застосовуючи схему перемикача на транзисторах з каналами різного типу (комплементарні транзистори). Ці перемикачі, з одного боку, дозволяють значно збільшити струми перезарядження ємності навантаження, а з другого максимально зменшити потужність, що розсіюється в елементі. Нагадаємо, що перемикач на комплементарних транзисторах у разі правильного виборі параметрів вхідних у нього елементів у статичному режимі роботи споживає незначну потужність від джерела живлення.

Споживана елементом потужність у статичному режимі тотожна потужності, що віддається ним у навантаження. Через те що навантаженням елемента є вхідні кола аналогічних елементів, що мають суто ємнісний характер, то потужність від джерела живлення витрачається тільки в динамічному режимі на перезарядження цієї ємності.

На рис. 4.15. наведено принципову електричну схему транзисторного перемикача, використовуваного в ІС КМОН. Її можна поділити на три частини: вхідний діодно-резисторний обмежувач напруги; власне перемикач на КМОН - транзисторах; вихідне діодне коло. Вхідний опір транзисторів, використовуваних у схемі перемикача досягає значень до 10^{12} Ом. При товщині ізоляції між затвором і напівпровідником порядку 50...70 мкм його власна пробивна напруга становить 150 ..200В. Це потребує введення в ЛЕ спеціальної схеми захисту від статичної електрики, що може потрапити на його вхід у процесі збереження чи монтажу. Роль цієї схеми виконує вхідний діодно-резисторний обмежувач на елементах $VD1$, $VD2$, $VD3$ і RI . Ця схема обмежує напругу на вході транзисторного перемикача в діапазоні від $U_{жс} - 0,7$ В до $U_{жс} + 0,7$ В.

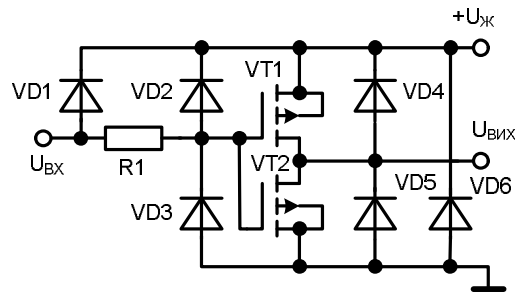


Рисунок 4.15- Принципова електрична схема транзисторного перемикача ІС КМОН

Елементи вихідного кола ($VD4$, $VD5$, $VD6$) утворені відповідними областями самого транзисторного перемикача не є обов'язковими. Наявність цих діодів накладає додаткові обмеження на використання ЛЕ. Завжди має виконуватися нерівність

$$|U_{вх} - U_{вих}| < U_n .$$

Інакше діоди обмежувача і вихідного кола можуть відкриватися, що спричинює шунтування кола живлення елемента. Останнє може бути причиною його пробою. Тому напруга живлення на КМОН- схемі завжди має подаватися до вмикання і зніматися після вимкнення вхідного інформаційного сигналу.

Схемотехнічно БЛЕ КМОН- типу повторюють схеми елементів n - МОН- і p -МОН- типів. Відмінність полягає в тому, що завжди використовують пари транзисторів. При цьому якщо для реалізації заданої логічної функції транзистори з каналом n -типу вмикають послідовно, то парні їм транзистори p -типу – паралельно, і навпаки. На рис. 4.16 принципові електричні схеми, що реалізують логічні операції 2І-НЕ і 2АБО-НЕ. Для спрощення на схемах не показані елементи вхідних і вихідних кіл перемикача.

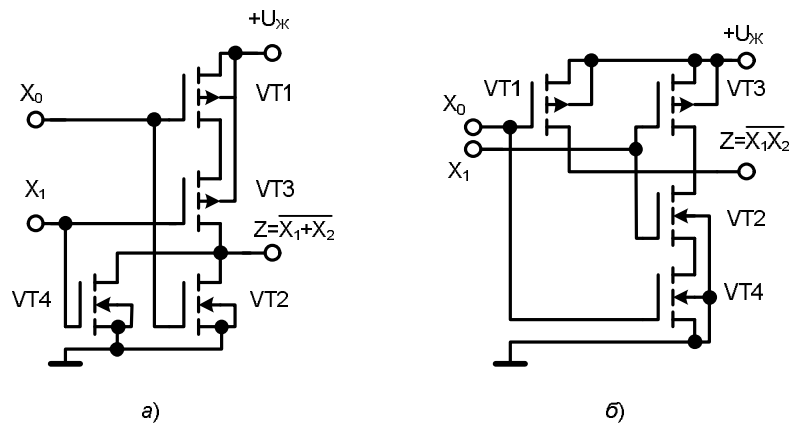


Рисунок 4.16- Принципові електричні схеми БЛЕ КМОН-типу
а) 2І-НЕ ; б) 2АБО-НЕ

До особливостей схем БЛЕ належить також відсутність додаткового навантажувального транзистора. Його роль виконує один із транзисторів перемикача.

Аналіз схем дає змогу дійти важливого практичного висновку про те, що аналогічно БЛЕ ТТЛ для БЛЕ КМОН паралельне вмикання кількох інших виходів заборонено.

Найважливіші параметри БЛЕ КМОН наведено у табл. 4.5.

Слід також зазначити, що КМОН- елементи мають високою завадостійкістю — до 40% напруги живлення.

Таблиця 4.5. Основні параметри БЛЕ КМОН

$U_{\text{вих min}}^1$, В	$U_{\text{вих min}}^0$, В	$t_{\text{зат порівн}}$, нс	F_{max} , МГц	$I_{\text{сп}}$, мкА	$U_{\text{ж}}$, В	$K_{\text{роз}}$	$C_{\text{вх, пФ}}$
8	0.3	30 ($C_{\text{н}}=15$ пФ) 100 ($C_{\text{н}}=100$ пФ)	1	0,1	3... 15 (9)	50	5

4.6 БЛЕ інтегрально - інжекційної логіки

Для підвищення технологічності виготовлення при розробці ІС потрібно застосовувати схемотехнічні рішення, що використовують тільки однотипні елементи, наприклад транзистори. Цей шлях, як було показано раніше, реалізований у ІС МДП, що поряд з іншими перевагами зумовлює їх поширення. Проте, як уже зазначалося, перемикач на біполярних транзисторах на сьогодні має кращі як перемикальні, так і частотні властивості. Це є передумовою до постійного пошуку нових схемотехнічних рішень для реалізації біполярних ІС. Так майже одночасно розробили елементи інтегральної інжекційної логіки (I^2L) фірми Philips і IBM. Відповідну принципову електричну схему БЛЕ I^2L наведено на рис. 4.17.

Особливістю елементів I^2L є такі:

- відсутність резисторів, що значно спрощує технологію виробництва ІС;
- використання принципу живлення за струмом, за яким в ІС задається не напруга, а струм, який безпосередньо інжектується в область напівпровідника, що утворює структуру одного з транзисторів;
- просторове сполучення в кристалі напівпровідника областей, що функціонально належать різним транзисторам. При цьому структура розташовується як по горизонталі, так і по вертикалі. Це дає змогу відмовитися від застосування спеціальних рішень для вилучення областей, що належать різним елементам, як

потрібно робити в елементах ТТЛ і ЕЗЛ.

- мале значення логічного перепаду, що дає змогу максимально збільшити швидкодію елемента.

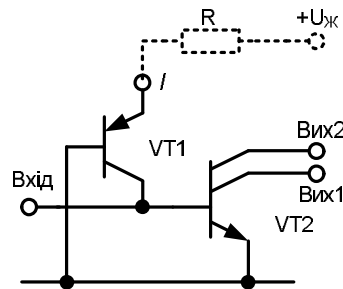


Рисунок 4.17- Принципова електрична схема БЛЕ І²Л

У наведеній схемі (рис. 4.17) багатоклекторний транзистор $VT2$ виконує функцію інвертування вхідного сигналу, а транзистор $VT1$ — генератора (інжектора) базового струму транзистора $VT2$. До особливостей елемента належить і постійність струму інжектора у всіх режимах роботи елемента. Струм інжектора задає резистор R , який виконують загальним на групу елементів.

Особливістю елемента І²Л є можливість змінювати струм інжектора в значних межах, а також його швидкодію. Реально струм інжектора може змінюватися від 1 нА до 1 мА, тобто на 6 порядків. Оскільки для заданої схемотехніки енергія перемикання елемента — величина постійна, у таких самих межах може змінюватися і швидкодія елемента.

Принцип дії схеми І²Л такі. Припустімо, зовнішнього сигналу, що відповідає сигналу логічної «1», на вході елемента (база транзистора $VT2$) немає. У цьому випадку струм інжектора, проходячи в базу транзистора $VT2$, насичує його. На його колекторах, а отже, і на вихідних виводах елемента наявна напруга низького рівня, яка дорівнює напрузі насичення транзистора $VT2$. Реально це 0,1В ...0,2В.

Якщо база транзистора $VT2$ безпосередньо чи через насичений транзистор підключена до загальної шини, то транзистор $VT2$ вимкнений, тому що струм інжектора замикається на загальну шину, минаючи його емітерний перехід. У цьому випадку напруга на його колекторах визначається зовнішніми колами. При послідовному вмиканні кількох інверторів ця напруга дорівнює напрузі емітерного переходу наступного транзистора. Отже, для БЛЕ І²Л справедливі такі співвідношення: $U^0 = 0,1...0,2$ В; $U^1 = 0,6...0,7$ В. Із цих співвідношень випливає, що логічний перепад для БЛЕ І²Л становить 0,4...0,6 В.

У разі використання наведеної схеми можна реалізувати основні логічні операції І-НЕ і АБО-НЕ. На рис. 4.18 зображено логічну схему, побудовану на трьох інверторах І²Л.

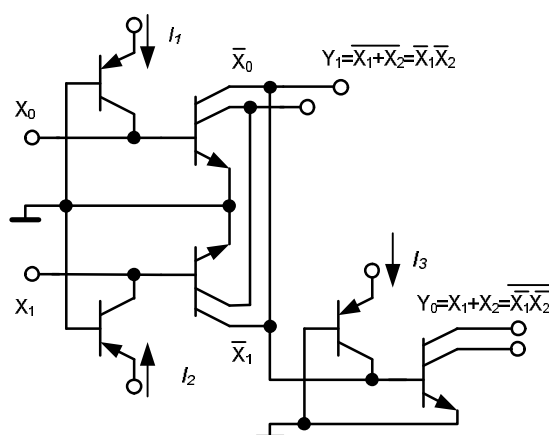


Рисунок 4.18- Реалізація логічних операцій 2І-НЕ і 2АБО-НЕ БЛЕ І²Л

Особливістю елементів І²Л є можливість паралельного вмикання кількох їхніх виходів. З наведеної схеми випливає, що при паралельному вмиканні кількох виходів у загальній точці щодо початкових змінних реалізується логічна операція АБО-НЕ. Щодо вихідних сигналів елементів реалізується логічна операція І. Отже, якщо не потрібний гальванічний поділ між вхідними і вихідними сигналами, то логічна операція І виконується без будь-яких додаткових схематичних витрат простим об'єднанням відповідних виходів БЛЕ. Після інвертування результату виконаної операції АБО-НЕ додатковим елементом щодо початкових змінних реалізується логічна операція АБО, а щодо вихідних сигналів перших елементів — операція І-НЕ.

БЛЕ І²Л має змогу максимально уніфікувати структуру ІС, знизивши площу її кристала, і або зменшити її споживання, або підвищити швидкодію. Типовий час затримки поширення БЛЕ І²Л при струмі інжектора 0,1мкА складає 10нс. При цьому енергія перемикавання для цього елемента на кілька порядків менша, ніж для елемента ТТЛ.

Через невелику завадостійкість, обумовлену малим логічним перепадом, БЛЕ І²Л використовуються винятково у складі ВІС і СВІС, як окремі ІС малого ступеня інтеграції їх не розробляють. При цьому вхідні і вихідні кола ІС, виконаних за технологією І²Л, виконують сумісними по логічними рівнями із сигналами ТТЛ.

ПИТАННЯ ДО РОЗДІЛУ

1. Які бувають елементи цифрових пристроїв за способом кодування двійкових змінних?
2. Як визначається затримка поширення сигналу при переході вихідної напруги від «0» до «1»?
3. Що розуміють під передавальною характеристикою? Намалуйте зразкову передавальну характеристику.
4. Роз'ясніть поняття «швидкодія» і «час наростання сигналу».
5. Що таке вхідний коефіцієнт навантаження?
6. У таблиці даних на елемент вказано: коефіцієнт розгалуження $K=10$. Що це значить?
7. Як влаштовані ТТЛ- елементи?
8. Намалуйте схему типового ТТЛ- елемента з трьома входами і двотактним виходом.
9. Які переваги і недоліки має ТТЛ- схеми із зниженим енергоспоживанням по відношенню до стандартних ТТЛ- елементів?
10. Які влаштовані МДН- елементи?
11. Упорядкуйте відомі Вам сімейства логічних елементів:
 - а) по енергоспоживанню, б) по швидкодії.
12. Намалуйте схему КМОН- елемента з двома входами, яка проводить при позитивній логіці операцію АБО-НЕ, і поясніть принцип дії цієї схеми.
13. Які елементи ТТЛ допускають паралельне включення вихідних виводів?
14. Які транзистори використовуються в КМОН- схемах?
15. Яка КМОН- схема заданої площі на поверхні кристала кремнію, найімовірніше, буде мати більшу швидкодію: схема І-НЕ або схема АБО-НЕ?
16. Дайте визначення «коефіцієнта об'єднання по входу» і «коефіцієнта розгалуження по виходу»?
17. Накресліть принципову схему, складіть таблицю, що описує роботу схеми, і приведіть умовне позначення 3- входової КМОН- схеми АБО-НЕ.
18. Яка із КМОН- схем містить менше число транзисторів: інвертуючий вентиль або неінвертуючий вентиль?
19. Приведіть схему базового елемента I^2L .
20. Яке призначення діодів Шотки в схемах БЛЕ ТТЛШ.
21. Накресліть струмовий ключ БЛЕ ЕЗЛ.
22. Чому ЕЗЛ має найбільшу швидкодію?

ЗАДАЧІ ДЛЯ САМОСТІЙНОГО ТА ІНДИВІДУАЛЬНОГО РОЗВ'ЯЗУВАННЯ

- Покажіть, як протікає струм бази I_{BVT1} транзистора VT1 та в якому режимі знаходиться транзистор VT2 в схемі наведеній на рисунку, якщо:
 - напруга на вході x_0 $U_{вх} x_0 = U^0 = 0.3В$, а напруга на інших входах $U_{вх} x_{n-1} = U^1 = 4В$;
 - напруга на всіх входах однакова $U_{вх} = U^1 = 4В$

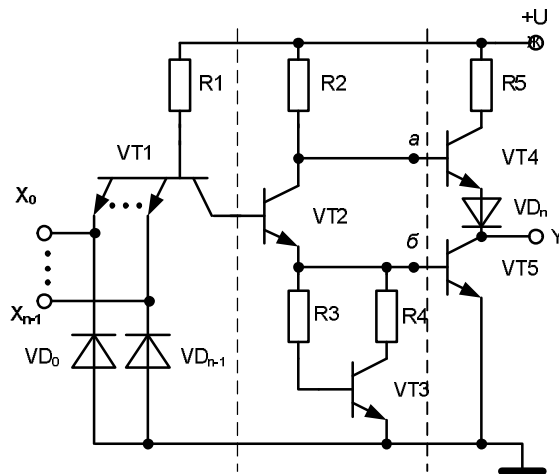


Рисунок 4.19- Рисунок до задачі 1

Відповідь: а) струм бази I_{BVT1} замикається через емітерний перехід транзистора VT1, внаслідок цього транзистор VT2 закритий; б) струм бази I_{BVT1} замикається через колекторний перехід транзистора VT1 та втікає у базу відкритого транзистора VT2.

- Складіть таблицю істинності для схеми з попередньої задачі. З'ясуйте яку логічну функцію реалізує схема, якщо:
 - за логічну 1 прийняти урівень U^1 ;
 - за логічну 1 прийняти урівень U^0 .

Відповідь: а) функцію І-НЕ; б) функцію АБО-НЕ

ПІДСУМКИ

НЕОБХІДНО ЗРОЗУМІТИ

- В кожній серії виділяється так звана базова схема, що визначає в основному статичні і динамічні параметри більшості інших схем даної серії.

2. Логічні схеми, що виготовляються на різній конструктивно-технологічній основі, значно розрізняються за своїми характеристиками, навіть якщо вони реалізують однакові функції.

СЛІД ЗАПАМ'ЯТАТИ

1. Функціонально повна система елементів - система, яка дозволяє реалізувати будь-які, складні функції переключення шляхом суперпозиції найпростіших функцій, що виконуються елементами даної серії.
2. За способом кодування двійкових змінних елементи цифрових пристроїв поділяють на імпульсні, динамічні, потенційні, імпульсно-потенційні і фазові.
3. В потенційних елементах вхідні і вихідні двійкові змінні кодуються різною величиною електричного потенціалу.
4. Основні технічні характеристики елементів цифрової схемотехніки.

ТРЕБА ВМІТИ

1. Проводити порівняльний аналіз логічних елементів за основними класифікаційними ознаками.
2. Здійснювати вибір елементної бази цифрових пристроїв.

РОЗДІЛ 5. СИНТЕЗ КОМБІНАЦІЙНИХ СХЕМ

5.1 Етапи побудови логічної схеми

Якщо досвід побудови (синтезу) логічних схем у розробника невеликий, то можна рекомендувати йому таку послідовність дій.

Етап 1. Складання таблиці істинності. Найскладніший, але дуже поширений на практиці спосіб завдання схеми – це пояснення її роботи на понятійному рівні у вигляді набору фраз звичайної мови. Складність етапу зв'язана з тим, що завдання описується неформальними термінами, які допускають неоднозначне його тлумачення. Основна мета етапу – формалізація завдання, у процесі якого потрібно проаналізувати значення функції для кожної комбінації значень аргументів. Результат етапу – таблиця істинності. Це вже завдання, неоднозначне тлумачення якого неможливе. Тільки якщо таблиця через значне число змінних виявляється занадто громіздкою або якщо функція проста і зміст її абсолютно зрозумілий, можна починати безпосередньо з написання аналітичної формули.

Етап 2. Якщо функція визначена не на всіх наборах аргументів, то потрібно ліквідувати неоднозначність таблиці. У разі малого числа невизначених значень краще розглянути кілька варіантів. Якщо число умовних значень або самих аргументів велике, то, можливо, доведеться повністю визначити функцію всіма нулями, або всіма одиницями – так, щоб у результаті зменшити число членів ДДНФ прямої функції або її інверсії.

Етап 3. За цілком визначеною таблицею скласти ДДНФ. Якщо розглядається кілька варіантів або якщо є сподівання, що інверсія функції реалізовуватиметься краще, то в подальшій роботі братимуть участь кілька варіантів ДДНФ.

Етап 4. Мінімізувати ДДНФ будь-якими доступними методами. На цьому етапі іноді потрібна рішучість, щоб припинити пошук кращого варіанта (якого, можливо, і не існує).

Етап 5. Реалізувати знайдені диз'юнктивні форми на логічному базисі заданої серії елементів. Спробувати варіанти реалізації на І–АБО–НЕ і на І–НЕ, АБО–НЕ.

Етап 6. Оцінити властивості двоїстості логічної схеми з урахуванням зміни числа вхідних і вихідних інверторів.

Етап 7. Спробувати знайти таку декомпозицію функції, щоб кожен фрагмент отриманого розкладання залежав від меншого числа аргументів, ніж початкова функція. Спробувати виконати це різними способами.

Етап 8. Вибрати з отриманих на етапах 5, 6, 7 варіантів найпридатніший з погляду поставленої мети.

5.2 Синтез логічних пристроїв у заданому базисі ЛЕ

При побудові логічних пристроїв звичайно не користуються функціонально повною системою ЛЕ, яку реалізують усі три основні логічні операції: І, АБО і НЕ. На практиці з метою скорочення номенклатури елементів користуються функціонально повною системою елементів, яка містить тільки два елементи, що виконують операції І – НЕ і АБО – НЕ, або навіть тільки один із цих елементів, причому число входів цих елементів зазвичай задано. Через це питання синтезу логічних пристроїв у заданому базисі ЛЕ мають неабияке практичне значення.

Перш ніж перейти безпосередньо до питань синтезу логічних пристроїв у заданому базисі ЛЕ, складемо таблицю (табл. 5.1), в яку для зручності зведемо можливі форми подання вихідних сигналів елементів 2І – НЕ і 2АБО – НЕ за умови, що на їхні входи подані логічні змінні x_1 та x_0 .

Таблиця 5.1- **Форма запису основних логічних операцій**

Елемент	Умовне позначення операції	Форма подання вихідного сигналу
2І – НЕ (штрих Шеффера)	$x_1 \mid x_0$	$\overline{x_1 x_0} ; \overline{x_1 + x_0}$
2АБО – НЕ (стрілка Пірса)	$x_1 \downarrow x_0$	$\overline{x_1 + x_0} ; \overline{x_1 \cdot x_0}$

На основі даної таблиці кожен функцію алгебри логіки (ФАЛ) можна записати в базисі ЛЕ. При цьому використовують два технічних прийоми: подвійне інвертування вихідного виразу або його частини та застосування теорем Де-Моргана.

Якщо потрібно звести ФАЛ до базису ЛЕ І – НЕ, то за допомогою зазначених прийомів функцію можна звести до виду, що містить тільки операції логічного множення й інверсії. Далі її переписують через умовні позначки операції І – НЕ. Аналогічно роблять при зведенні ФАЛ до базису ЛЕ АБО – НЕ. В цьому випадку у виразі залишають тільки операції логічного додавання й інверсії.

5.3 Особливості побудови логічних пристроїв на реальній елементній базі

Звичайно задано не тільки тип ЛЕ, а й число його входів. Це означає, що задано число початкових змінних, над якими виконується логічна операція. При цьому зазвичай реальне число входів заданих логічних елементів не відповідає числу змінних в отриманих після відповідного перетворення виразах. Виникає одна з таких ситуацій:

- а) число входів ЛЕ більше, ніж число змінних, які входять у реалізовану з їхньою допомогою ФАЛ;
- б) число входів ЛЕ менше, ніж число змінних, які входять у реалізовану з їхньою допомогою ФАЛ.

Розглянемо деякі прийоми, використовувані для розв'язання зазначених суперечностей.

Число входів ЛЕ більше за необхідне. Для розгляду цього випадку введемо поняття активного і пасивного логічних рівнів.

Активним логічним рівнем називається таке значення початкової змінної, яке однозначно визначає вихідний сигнал ЛЕ.

Для з'ясування того, які логічні сигнали для елементів І – НЕ і АБО – НЕ є активними, розглянемо таблицю істинності (табл. 5.2) для цих елементів за умови дії на їхніх входах двох логічних сигналів істинності.

Таблиця 5.2- Узагальнена таблиця істинності основних логічних операцій

x_1	x_2	$x_1 \cdot x_2$	$x_1 + x_2$	$x_1 x_2$	$x_1 \downarrow x_2$
0	0	0	0	1	1
0	1	0	1	1	0
1	0	0	1	1	0
1	1	1	1	0	0

З табл. 5.2 видно, що для елемента І – НЕ активним логічним рівнем є сигнал логічного «0», тому що наявність цього сигналу хоча б на одному вході цього елемента однозначно визначає одержання на виході сигналу логічної «1». Отже, сигнал логічної «1» для цього елемента є пасивним.

За аналогією зі сказаним, для елемента АБО – НЕ активним є сигнал логічної «1», що однозначно визначає появу на виході сигналу логічного «0»:

$$I - НЕ \rightarrow \begin{cases} 0 - \text{активний}, \\ 1 - \text{пасивний}, \end{cases} \quad АБО - НЕ \rightarrow \begin{cases} 1 - \text{активний}, \\ 0 - \text{пасивний}. \end{cases}$$

Слід зазначити, що для логічного елемента з n -входами не має значення, скільки пасивних і активних рівнів є на його входах. Важливий факт наявності

або відсутності на входах хоча б одного активного логічного рівня.

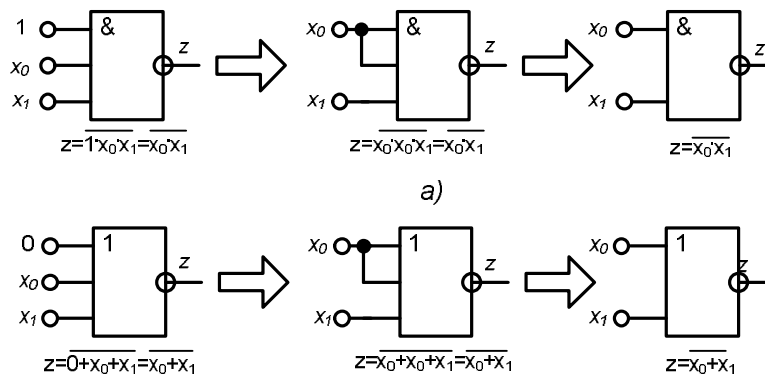
Зі сказаного випливає, що зменшити фактичне число входів ЛЕ можна, подаючи на входи, які не використовуються, сигнали пасивних логічних констант: «0» – для елементів АБО – НЕ, «1» – для елементів І – НЕ.

Інший прийом зменшення фактичного числа входів ЛЕ ґрунтується на використанні теореми відповідно до якої $x + x = x$ і $x \cdot x = x$, тому на кілька входів ЛЕ можна подавати ту саму логічну змінну (рис. 5.1).

Наслідком цього є два практичних висновки.

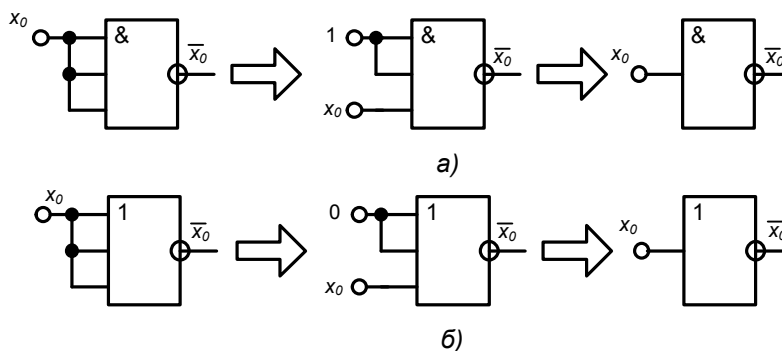
1. Якщо на всі входи n -входового елемента І – НЕ або АБО – НЕ подати той самий логічний сигнал, то щодо цього сигналу елемент перетворюється на інвертор (рис. 5.2).

2. Якщо на $n-1$ вхід n -входового елемента І – НЕ або АБО – НЕ подати пасивні логічні сигнали, то відносно n -го входу елемент перетворюється на інвертор (рис. 5.2).



a – І – НЕ; *б* – АБО – НЕ

Рисунок 5.1- Зменшення фактичного числа входів елементів:



a – 3І – НЕ; *б* – 3АБО – НЕ

Рисунок 5.2- Перетворення елементів на інвертори:

Число входів ЛЕ менше за необхідне. Ця ситуація складніша, ніж та, що розглянута раніше. Наведемо два типових розв'язання.

1. Члени вихідної МДНФ містять загальні логічні змінні.

У цьому випадку загальні для декількох елементарних добутків змінні можна подати у вигляді загальних множників і винести за дужку.

2. Члени вихідної МДНФ не містять спільних логічних змінних.

У цьому випадку можна скористатися однією з таких тотожностей:

$$x_2 | x_1 | x_0 = x_2 | \overline{(x_1 | x_0)}, \quad x_2 \downarrow x_1 \downarrow x_0 = x_2 \downarrow \overline{(x_1 \downarrow x_0)}$$

Наведені тотожності справедливі для будь-якого числа початкових змінних. Так, для чотирьох змінних одержимо

$$\begin{aligned} x_3 | x_2 | x_1 | x_0 &= x_3 | \overline{(x_2 | x_1 | x_0)} = x_3 | \overline{\overline{\overline{(x_3 | x_2)}} | \overline{(x_1 x_0)}}, \\ x_3 \downarrow x_2 \downarrow x_1 \downarrow x_0 &= x_3 \downarrow \overline{(x_2 \downarrow x_1 \downarrow x_0)} = x_3 \downarrow \overline{(x_2 \downarrow \overline{\overline{(x_1 \downarrow x_0)}})} = \\ &= \overline{(x_3 \downarrow x_2)} \downarrow \overline{(x_1 \downarrow x_0)}. \end{aligned}$$

На рис. 5.3 наведено логічні схеми пристроїв, побудованих за початковим і перетвореним виразами. Порівнюючи ці схеми, можна дійти висновку, що зменшення числа входів, використовуваних ЛЕ, призводить до збільшення їхньої кількості і, отже, ускладнює реалізацію пристрою.

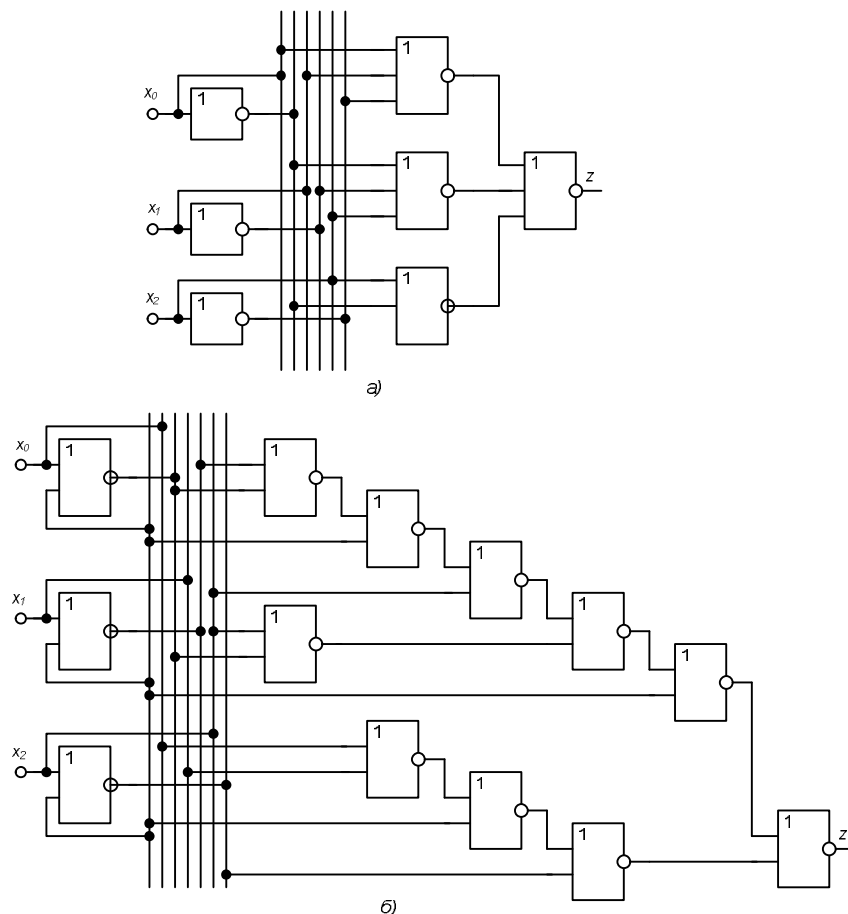


Рисунок 5.3- Логічні схеми пристроїв, побудованих за початковим і перетвореним виразами

5.4 Логічні елементи для реалізації складних функцій

Під час розроблення складних логічних пристроїв доводиться послідовно виконувати однотипні операції типу І – АБО – НЕ над різним числом змінних. Для спрощення технічної реалізації і зменшення числа зовнішніх з'єднань, що веде до підвищення надійності пристрою, у серіях ІС містяться елементи, які виконують подібні послідовності логічних операцій. Як приклад на рис. 5.4 наведено деякі з них.

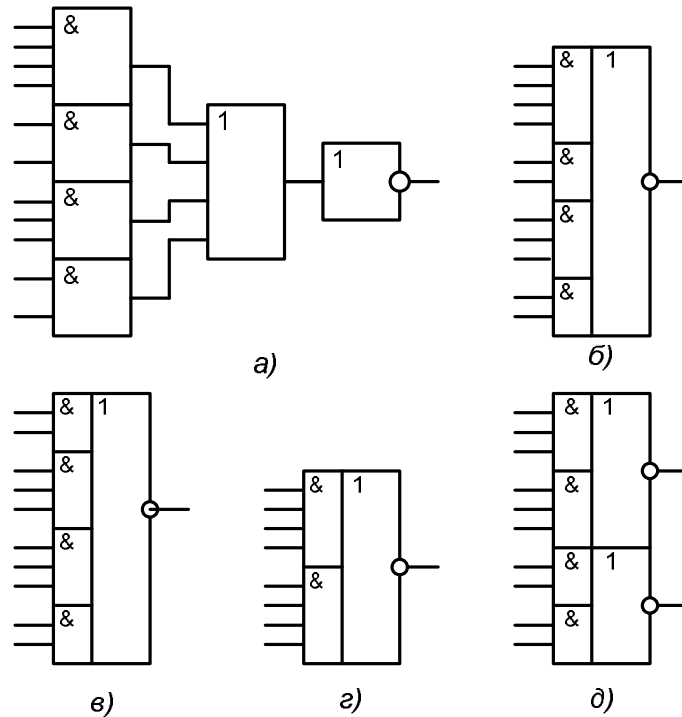


Рисунок 5.4- Елементи логічних операцій:

a – логічна схема 4 – 2 – 3 – 2І – 4АБО – НЕ; *б* – її умовне графічне позначення (К531ЛР9П); *в* – логічний елемент 2 – 3 – 3 – 2І – 4АБО – НЕ (К155ЛР13); *г* – логічний елемент 2 – 4І – 4АБО – НЕ (К155ЛР4); *д* – два логічних елемента 4 – 2 – 3 – 2І – 4АБО – НЕ (К155ЛР11)

Досить часто під час розроблення цифрових пристроїв використовують операцію «сума за модулем два», тому подамо її визначення та основні властивості. Операцію «сума за модулем два» (виключне АБО, логічна нерівнозначність) позначають символом \oplus і визначають із співвідношення

$$x \oplus y = \bar{x} \cdot y \vee x \cdot \bar{y} = (\bar{x} \vee \bar{y}) \cdot (x \vee y) .$$

Операція «сума за модулем два» комутативна, асоціативна і дистрибутивна щодо операції кон'юнкції, тобто

$$x \oplus y = y \oplus x ;$$

$$x \oplus (y \oplus z) = (x \oplus y) \oplus z;$$

$$x(y \oplus z) = xy \oplus xz.$$

Для операції «сума за модулем два» справедливі такі тотожності:

$$x \oplus 0 = x; \quad x \oplus 1 = \bar{x}; \quad x \oplus x = 0; \quad x \oplus \bar{x} = 1;$$

$$\overline{x \oplus y} = \bar{x} \cdot \bar{y} \vee x \cdot y = (\bar{x} \vee y) \cdot (x \vee \bar{y}) = \bar{x} \oplus y = x \oplus \bar{y}.$$

Операцію $\overline{x \oplus y}$ називають операцією виключне АБО – НЕ.

Логічні елементи, що виконують операції виключне АБО і виключне АБО – НЕ, завжди мають тільки два входи, тобто операції завжди виконують тільки над

Технічну реалізацію логічного елемента виключне АБО в базисі І–НЕ наведено на рис. 5.5.

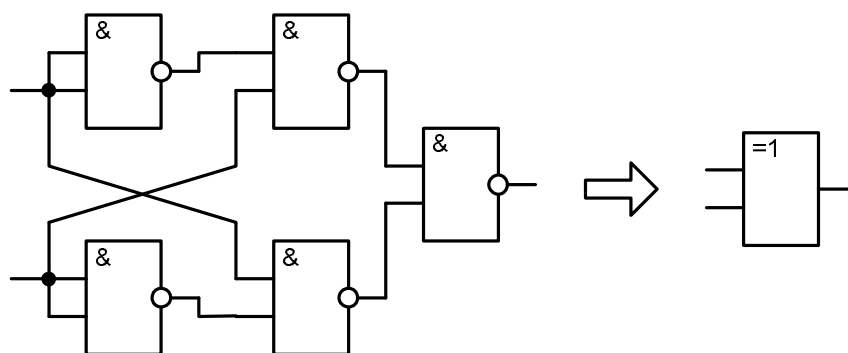


Рисунок 5.5- Технічна реалізація ЛЕ:

a – структурна схема реалізації операції виключне АБО;

б – її умовне позначення

5.5 Мультиплексори і демультиплексори

Мультиплексором називається комбінаційна схема (КС), що має $m+2^m$ входів і один вихід, де m — число адресних входів, а 2^m — число інформаційних входів мультиплексора. Входи мультиплексора поділяють на дві групи: інформаційні і керуючі (адресні). Адреси подаються за двійковим кодом і їм присвоюється номер j . Кожній адресі з номером j відповідає свій інформаційний вхід A_j , сигнал з якого надходить на вихід. Традиційне використання мультиплексорів полягає у керованому передаванні даних від кількох вхідних каналів в один вихідний канал. Кожний із вхідних каналів по черзі підключають до вихідного під керуванням адресного сигналу.

Мультиплексор виконує функцію:

$$f = \bigvee_{j=0}^{2^m-1} A_j K_j(v), \quad (5.1)$$

де $v = (x_1, \dots, x_m)$, x_p — адресні сигнали; $p = 1, 2, \dots, m$; A_j — вхідні інформаційні сигнали мультиплексора.

Принципову схему 4-канального мультиплексора, що має два адресних входи x_1 і x_2 , зображено на рис. 5.6.

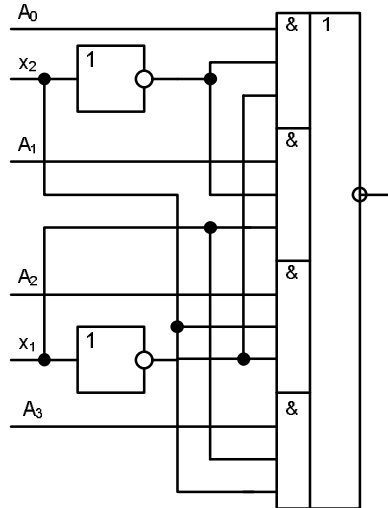


Рисунок 5.6- 4-канальний мультиплексор

Випускаються серії мікросхем, до яких входять мультиплексори, що мають число адресних входів $m = 2, 3$ і 4 , причому при числі адресних входів $m = 2$ виготовляють здвоєні 4-канальні ($2^m=4$) мультиплексори. Число вхідних інформаційних сигналів яких $2^m + 2^m = 8$ (ці мультиплексори мають два виходи, а адреса з номером j керує двома вхідними інформаційними сигналами A_j і B_j). Умовне графічне позначення здвоєного 4-канального мультиплексора із стробуванням наведено на рис. 5.7.

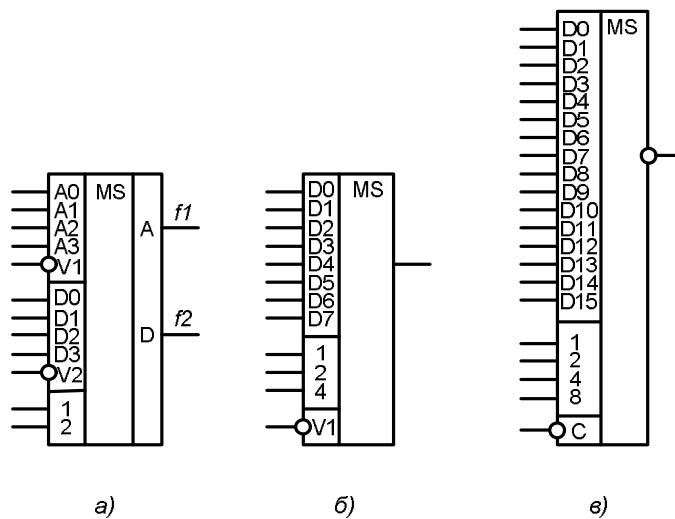


Рисунок 5.7- Схеми мультиплексорів:

a – здвоєний селектор-мультиплексор 4 – 1; b – селектор-мультиплексор на 8 каналів; c – те саме, на 16 каналів

Цей мультиплексор виконує функції:

$$f_1 = V_1 \bigvee_{j=0}^3 A_j K_j(v), \quad f_2 = V_2 \bigvee_{j=0}^3 D_j K_j(v),$$

де $v = (x_1, x_2)$; \bar{V}_1 і \bar{V}_2 – входи стробування. Входи стробування використовують для побудови комутаторів з $k \cdot 2^m$ інформаційними входами ($k = 2, 3, 4, \dots$) на основі 2^m - каналних мультиплексорів. На рис. 5.8 зображено 16-канальний комутатор, виконаний на двох 8-канальних селекторах-мультиплексорах. Цей комутатор виконує функцію $f = \bigvee_{j=0}^{15} D_j K_j(v)$, де $v = (x_1, x_2, x_3, x_4)$. Вхід стробування \bar{V} використаний як додатковий адресний вхід x_1 .

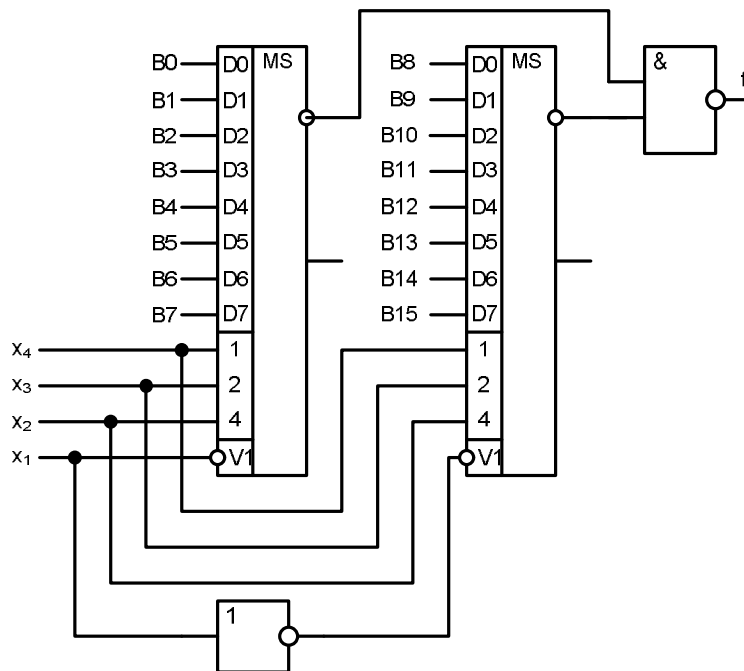


Рис. 5.8. 16-канальний мультиплексор, побудований на двох 8-канальних селекторах - мультиплексорах

Мікросхема (рис. 5.7, в) є 16-канальним мультиплексором зі стробуванням (селектор-мультиплексор). З двох таких мікросхем за зазначеним принципом можна виконати 32-канальний мультиплексор. Для одержання 64-канального мультиплексора використовують чотири мікросхеми і ЛЕ І – НЕ, що має чотири входи. Керування входами \bar{V} виконують інверсним унітарним 4-розрядним кодом, для чого слід застосовувати 4-канальний дешифратор-демультиплексор у режимі дешифратора.

Мультиплексори можна виконувати на основі двонапрямлених аналогових ключів. Такі мультиплексори випускають у серіях ІС зі структурою КМОН, наприклад К564КП1 – здвоєний 4-канальний мультиплексор та К564КП2 – 8-канальний мультиплексор. У цих мультиплексорах при значенні сигналу стробування $V = 1$ установлюється високий вихідний імпеданс, що дає змогу при побудові комутаторів з числом інформаційних входів $k \cdot 2^m$, де $k = 2, 3, \dots, 16$, об'єднувати виходи мультиплексорів за допомогою «монтажне АБО» (схема 16-канального комутатора подібна до схеми рис. 5.9, за винятком того, що немає елемента І – НЕ і мультиплексори мають з'єднані разом прямі виходи).

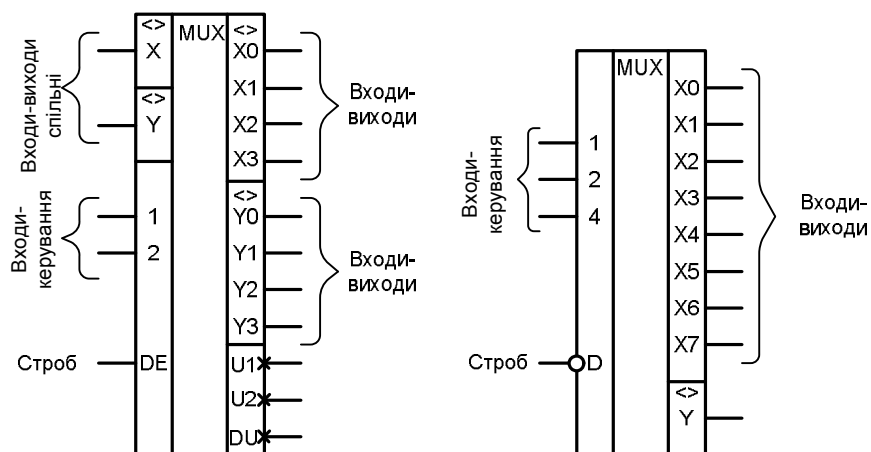


Рисунок 5.9- Здвоєний 4-канальний мультиплексор та 8-канальний мультиплексор

Демультимплексори виконують функцію, обернену мультиплексорам, тобто роблять комутацію одного інформаційного вхідного сигналу на 2^m виходів, де m — число адресних входів.

Побудову демультимплексора для комутації одного інформаційного вхідного сигналу на 4 виходи ($1 \rightarrow 4$) на елементах І наведено на рис. 5.10. Роботу демультимплексора можна описати логічними виразами:

$$f_i = x m_i ; i = \overline{0, 2^n - 1},$$

де m_i — мінтерми змінних.

Умовно демультимплексор позначають літерами DMX. Стосовно до мультиплексорів і демультимплексорів використовують також термін *селектори даних*.

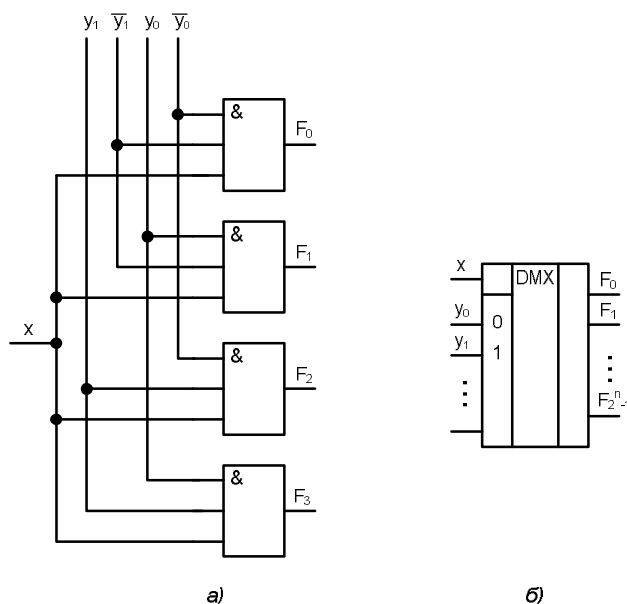


Рисунок 5.10- Схема реалізації (а) та умовне позначення демультиплексора (б)

Крім основного призначення (комутації сигналів) мультиплексори можна використовувати для побудови постійних запам'ятовувальних пристроїв (ПЗП) обсягом $2^m \times 1$ біт (m — число адресних входів) і для синтезу КС, що виконують будь-яку функцію $f(v)$. При використанні мультиплексорів як ПЗП на інформаційні входи надходять незмінні в часі сигнали 0 та 1. Зчитування цих сигналів виконується через подавання відповідних сигналів на адресні входи. У цьому випадку мультиплексор реалізує деяку функцію, подану в досконалій диз'юнктивній нормальній формі (ДДНФ). Дійсно, якщо у виразі (5.1) покласти $A_j = a_j = 0$ і 1, то мультиплексор буде виконувати функцію

$$f(v) = \bigvee_{j=0}^{2^m-1} a_j K_j(v), \quad (5.2)$$

де $v = (x_1, \dots, x_m)$.

Співвідношення є ДДНФ функції $f(v)$.

Правило вибору адресних змінних можна установити на основі розгляду МДНФ реалізованої функції. Очевидно, що для найраціональнішого використання адресних входів на них слід подавати ті змінні, від яких найбільше залежить МДНФ функції. Так, якщо в МДНФ функції яка-небудь змінна x_p взагалі не входить, то не треба використовувати її як адресну змінну, тому що відповідний адресний вхід не буде нести ніякого логічного навантаження. Через це як адресні змінні варто використовувати ті змінні x_p , що входять у МДНФ найбільше число разів як з інверсією \bar{x}_p , так і без неї x_p .

Мультиплексори можна використовувати для перетворення паралельного коду, який подається на інформаційні входи, у послідовний, який знімається з виходу, якщо адреси задавати лічильником, стан якого змінюється тактовим сигналом.

5.6 Дешифратори, дешифратори-демультиплексори і шифратори

Дешифратори і шифратори належать до числа перетворювачів кодів. З поняттям шифрування пов'язане уявлення про стиск даних, з поняттям дешифрування – обернене перетворення.

В умовних позначеннях дешифраторів і шифраторів використовують літери DC і CD (від слів *decoder* і *coder* відповідно).

Повним дешифратором називають КС, що має n входів, 2^n виходів і реалізує на кожному виході функцію, що є мінтермом n змінних $F_i(v)$, де $v = (x_1, \dots, x_n)$; x_s – вхідні сигнали ($s = 1, 2, \dots, n$), $i = 0, 1, 2, \dots, 2^n - 1$. У повному дешифраторі кожній комбінації значень вхідних сигналів відповідає сигнал, який дорівнює 1, тільки на одному виході. Інакше кажучи, залежно від вхідного коду на виході збуджується одне з кіл. На рис. 5.11, а зображено принципову схему дешифратора, що має два входи x_1 і x_2 та реалізує чотири мінтерми F_0, F_1, F_2 і F_3 (дешифратор 2×4). Умовне графічне позначення цього дешифратора наведено на рис. 5.11, б. У лівому полі зазначені ваги вхідних сигналів x_1 і x_2 , комбінації значень яких розглядають як двійкові числа. Кожному вхідному двійковому числу відповідає сигнал, який дорівнює 1 тільки на виході, номер якого, зазначений у правому полі, збігається з двійковим числом.

Дешифратори можуть бути *неповними*, які реалізують $m < 2^n$ мінтермів. Такі дешифратори використовують, наприклад, для перетворення двійково-десятькового коду на код, призначений для керування десятковим індикатором (дешифратори 4×10) На рис. 5.12 наведено умовне графічне позначення дешифратора 4×10 (наприклад, мікросхеми К155ИД1). Мікросхема 155ИД1 призначена для керування високовольтним десятковим індикатором (лампами з холодним катодом із системою цифр від 0 до 9).

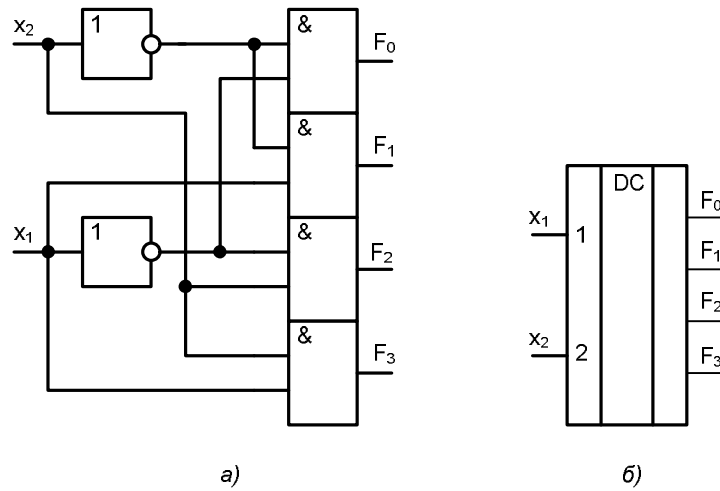


Рисунок 5.11- Дешифратор 2×4 (а), та його умовне позначення (б)

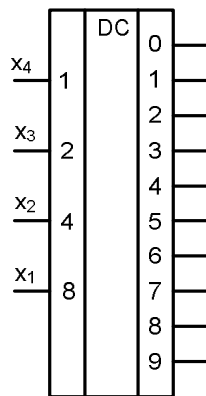


Рисунок 5.12- Дешифратор 4×10

Дешифратори є перетворювачами кодів, що виконують перетворення двійкового і двійково-десятькового кодів на унітарний код. Унітарний код двійкового n -розрядного числа подається 2^n розрядами, тільки один з розрядів якого дорівнює 1.

Із наведеного випливає, що дешифратор реалізує окремий випадок демультимплектора. Отже, схему дешифратора можна дістати зі схеми демультимплектора при вимкненні з неї інформаційного входу та використанні адресних входів як інформаційних. Ця схема є одноступінчастою.

Під час розроблення ІС набуло поширення кілька логічних структур дешифратора. Їх основна відмінність між собою полягає у швидкодії та числі використовуваних елементарних ЛЕ.

Найбільш швидкодієвим і разом з тим найскладнішим є одноступінчатий, або паралельний, дешифратор. Якщо для реалізації оброблення одного вхідного логічного сигналу потрібна деяка умовна одиниця апаратних засобів, число одиниць цих апаратних засобів для n -розрядного дешифратора визначають виразом $N = n \cdot 2^n$.

Якщо під час проектування основною вимогою є простота схемного рішення, застосовують інші структури дешифраторів, наприклад дешифратори пірамідальної структури, багатоступінчасті дешифратори. Проте спрощення структури досягається за рахунок спадання швидкодії.

Ідея побудови пірамідального дешифратора заснована на тому, що для одержання дешифратора n -розрядного коду потрібно двічі повторити всі комбінації n -розрядного коду відповідно зі значеннями $(n+1)$ -го розряду 0 і 1. Схематичну реалізацію цього принципу на прикладі перетворення 3-розрядного вхідного коду зображено на рис. 5.13, де штрих-пунктирною лінією виділено схему паралельного 2-розрядного дешифратора. За числом необхідних елементарних ЛЕ цей дешифратор простіший від одноступінчастого. Число умовних апаратних одиниць, необхідних для реалізації цього принципу n -розрядного дешифратора,

$$N = 2 \cdot 2^n + (n-1) \cdot 2^{n-1}. \quad (5.3)$$

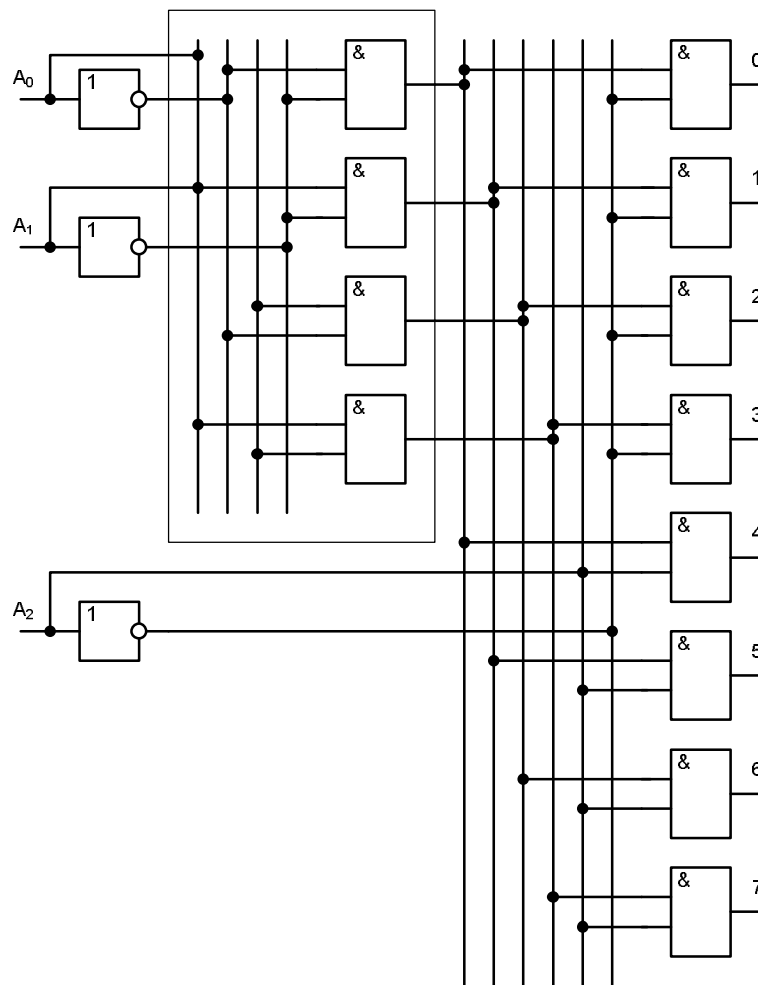


Рисунок 5.13- Схема пірамідального дешифратора

При великих розрядностях вхідного коду зазначений принцип можна використовувати кілька разів. Якщо потрібно ще більше спростити схему дешифра-

тора, використовують багатоступінчасті структури. Ідея їх побудови подібна до ідеї побудови пірамідальних дешифраторів. Реалізацію цього принципу на прикладі дешифратора 4-розрядного коду показано на рис. 5.14. За цим способом для побудови дешифратора потрібно $N = 2 \cdot 2^n + 2 \cdot (n/2) \cdot 2^{n/2}$ умовних одиниць апаратних засобів.

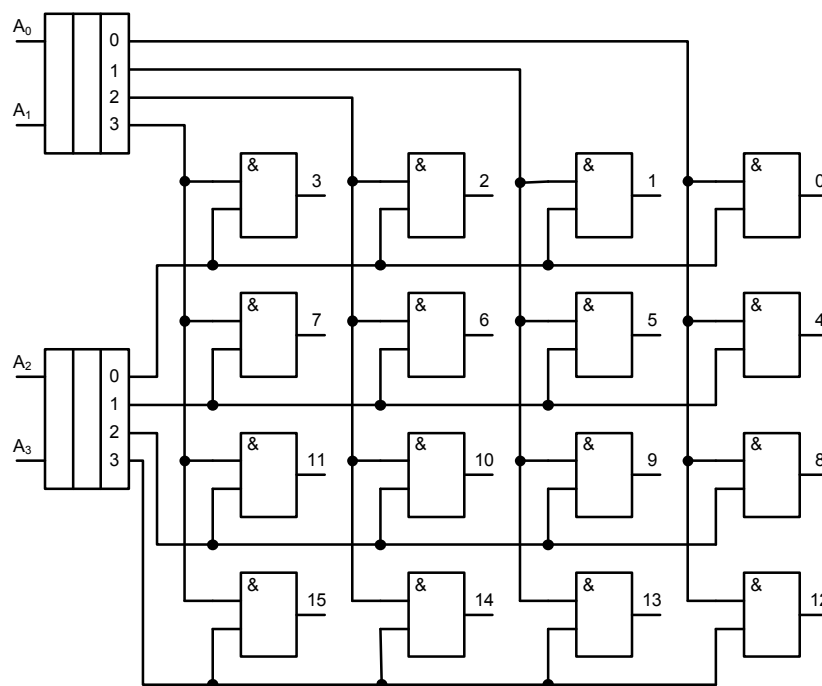


Рисунок 5.14- Схема багатоступінчастого дешифратора

Переваги багатоступінчастих структур виявляються у разі збільшення розрядності вхідного коду. Значного поширення вони набули при побудові мікросхем пам'яті. Так, при побудові дешифратора 20-розрядного вхідного коду (використовують при побудові ІС пам'яті обсягом 1 Мбайт) паралельний дешифратор потребує $2,097 \cdot 10^7$ умовних апаратних одиниць. При одноразовому використанні принципу побудови пірамідального дешифратора буде потрібно $1,20 \cdot 10^7$, а при одноразовому використанні принципу багатоступінчастого дешифратора – $2,118 \cdot 10^6$ таких же умовних апаратних одиниць.

У дешифраторах часто передбачається операція стробування (тактування), що дозволяє виробляти вихідні сигнали тільки у визначених інтервалах часу. Стробування може здійснюватися введенням додаткового входу паралельно інформаційним (рис. 5.15, а) у кожний елемент дешифратора або блокуванням усіх елементів через одне з вхідних кіл (рис. 5.15, б).

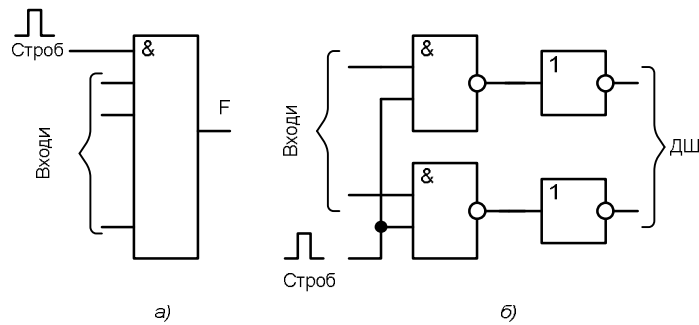


Рисунок 5.15- Способи стробування дешифратора

В останньому випадку при нульовому значенні сигналу стробування штучно формуються нулі в колах прямого й інверсного значень змінної, що забезпечує наявність хоча б одного нуля в числі вхідних величин для кожного елемента дешифратора. При цьому усі виходи зводять до нульових значень, тому що будь-яка змінна в прямому чи інверсному вигляді надходить на всі елементи дешифратора. При одиничному значенні сигналу стробування відновлюється нормальне коло передавання змінної на входи дешифратора.

Описані варіанти можна назвати стробуванням за виходом і стробуванням за входом.

Час установлення вихідного сигналу

$$t_y = \max(t_3^{10}, t_3^{01}),$$

тому що при зміні стану дешифратора на одному з виходів сигнал порушення виникає, а на іншому – зникає.

При стробуванні за виходом затримка відносно початку сигналу дозволу становить $t_y = t_3^{01}$, а при стробуванні за входом

$$t_y = 2t_3 + t_3^{01}.$$

Навантаження дешифратора на джерело сигналів обчислюють з урахуванням того, що кожна змінна є на вході кожного елемента в прямому або інверсному вигляді, причому обидва використовуються однаковою мірою. Отже, до джерел сигналів буде підключене число входів $K_p = 2^{n-1}$.

Одноступінчатий дешифратор – найбільш швидкодійний, але його реалізація при значній розрядності вхідного слова ускладнена, оскільки потребує застосування логічних елементів з великим числом входів ($n+1$ для варіантів зі стробуванням за виходом) і супроводжується значним навантаженням на джерела вхідних сигналів. Зазвичай одноступінчасті дешифратори розробляють на невелике число входів, що зумовлено можливостями елементів застосованої серії мікросхем.

Можливість виконання дешифраторів в одному корпусі ІС обмежується великим числом зовнішніх виводів, основну частину яких становлять інформаційні виходи. Дешифратор на п'ять входів має не менш як 40 зовнішніх виводів (5 входів, 32 виходи, вхід стробування, кола живлення і загального виводу), якщо інверсії аргументів виконано усередині схеми дешифратора.

З появою дешифраторів з малим числом розрядів у вигляді СІС виникло питання щодо застосування їх як засобів побудови дешифраторів більшої розрядності, що дає економію апаратних витрат. Будь-який потрібний дешифратор можна побудувати за пірамідальною структурою. При цьому вхідне слово поділяють на поля, розрядність яких відповідає числу входів наявних СІС дешифраторів, а потім із СІС будують пірамідальну структуру.

Схема дешифрування шестирозрядного слова на дешифраторах з трьома входами із стробуванням (рис. 5.16) складається з дев'яти однакових ІС.

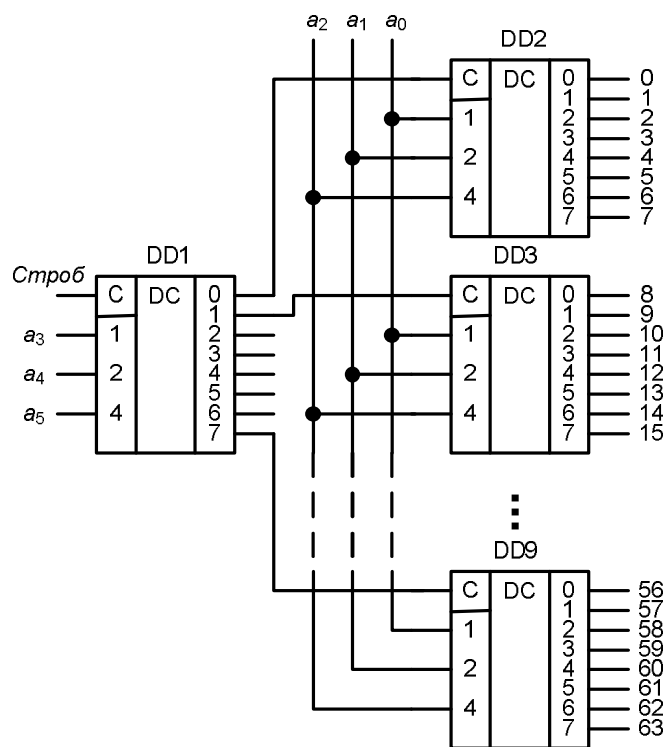


Рисунок 5.16- Схема нарощування розрядності дешифратора

Загальне стробування здійснюється за входом C першого дешифратора (при $C=0$ на усіх виходах першого дешифратора виробляються нульові сигнали, тому нулі будуть і на всіх виходах дешифраторів другого ярусу). На входи першого дешифратора подано три старших розряди вхідного слова, значення яких при $C=1$ визначає номер збудженої шини на виході, що відмикає один із дешифраторів другого ярусу за його входом стробування. Вибраний у такий

спосіб дешифратор розшифровує три молодших розряди слова. Наприклад, для дешифрування слова $111011 = 59$ маємо на виході дешифратора першого ярусу код 111, що збуджує його сьомий вихід і відмикає $DC\ 9$. На вході дешифратора $DC\ 9$ діє код 011, тому одиниця з'явиться на його третьому виході, тобто на 59 виході, що і потрібно.

У неповних дешифраторах частина вхідних наборів є неробочою (не використовується). Цю обставину можна розглядати як можливість спрощення дешифратора – неробочим наборам можна надати будь-яке значення виходів.

На основі повних дешифраторів будують дешифратори-демультиплексори, що виконують функції $f_i = CK_i(v)$, де $v = (x_1, \dots, x_n)$, $i = 0, 1, 2, \dots, 2^{n-1}$, тобто використовується додатковий вхід C , сигнал з якого подається на всі ЛЕ І повного дешифратора (рис. 5.17).

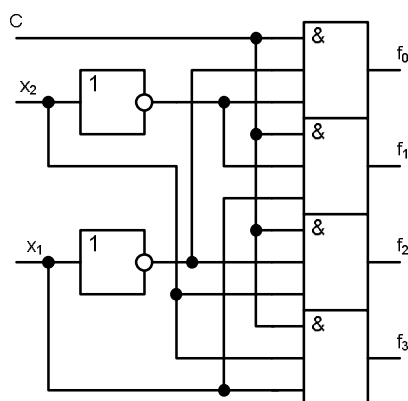


Рисунок 5.17- Чотириканальний дешифратор – демультиплексор

Мікросхема К155ИДЗ є дешифратором-демультиплексором (рис. 5.18), що виконує функції

$$f_i = \overline{C_1 C_2 K_i(x_1, x_2, x_3, x_4)}, \quad (5.4)$$

де ($i = 0, 1, 2, \dots, 15$), тобто цей дешифратор-демультиплексор є комутатором, що передає сигнал $\overline{C_1 C_2}$ на один із 16 виходів залежно від значень сигналів на чотирьох адресних входах 1, 2, 4 і 8. При $\overline{C_1} = \overline{C_2} \equiv 0$ мікросхема виконує функції дешифратора 4×16 з інверсними виходами. У лівому полі (рис. 5.18) зазначені ваги вхідних сигналів x_p ($p = 1, 2, 3, 4$), комбінації значень яких розглядають як двійкові числа. При $\overline{C_1} = \overline{C_2} \equiv 0$ кожному початковому двійковому числу відповідає сигнал 0 тільки на виході, номер якого, зазначений у правому полі, збігається з двійковим числом.

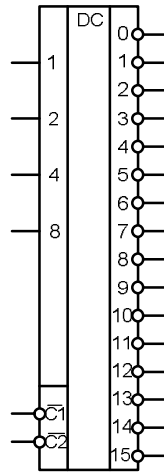


Рисунок 5.18- 16-канальний дешифратор - демультиплексор

Використання двох додаткових входів $\overline{C_1}$ і $\overline{C_2}$ дає змогу досить просто побудувати 32-канальний дешифратор-демультиплексор і 64-канальний дешифратор з інверсними виходами (дешифратор 6×64). На рис. 5.19 зображено схему 32-канального дешифратора-демультиплексора, побудованого на основі двох 16-канальних дешифраторів-демультиплексорів.

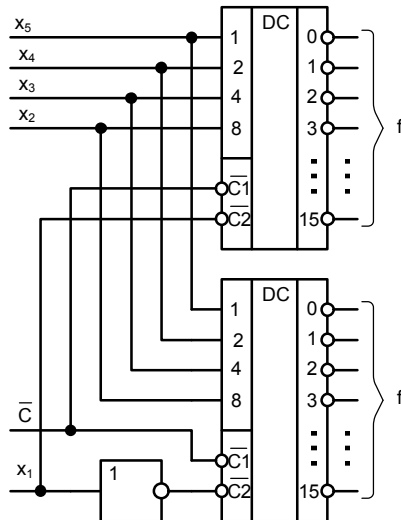


Рис. 5.19. 32-канальний дешифратор–демультиплексор

У цій схемі входи $\overline{C_2}$ використовують як п'ятий адресний вхід, що має вагу 16, а на вхід $\overline{C_1}$ подається комутований на 32 виходи сигнал \overline{C} , тобто схема виконує функції

$$f_i = \overline{CK_i(v)} \quad (5.5)$$

$$i \quad f_j = f_{i+16} = \overline{CK_{i+16}(v)}, \quad (5.6)$$

де $v = (x_1, x_2, x_3, x_4, x_5)$; $i = 0, 1, 2, \dots, 15$.

При $\bar{C} \equiv 0$ ця схема є дешифратором 5×32 з інверсними виходами. Для побудови дешифратора 6×64 слід використовувати чотири мікросхеми, у яких усі додаткові входи \bar{C}_1 і \bar{C}_2 мають бути адресними входами (на входи \bar{C}_1 і \bar{C}_2 кожної мікросхеми треба подати одну з чотирьох комбінацій із прямих та інверсних сигналів \bar{C}_1 і \bar{C}_2 , причому всі чотири комбінації мають бути використані).

У вигляді мікросхем виготовляють також здвоєні 4-канальні дешифратори-демультиплексори, наприклад мікросхема К155ИД4 (рис. 5.20, а). Ця мікросхема виконує функції $f_i = \overline{C_1 C_2 K_i(v)}$ та $\phi_i = \overline{W_1 W_2 K_i(v)}$, де $v = (x_1, x_2)$; $i = 0, 1, 2, 3$. При $\bar{C}_1 = \bar{W}_1 = \bar{W}_2 \equiv 0$ і $C_2 \equiv 0$ це здвоєний дешифратор 2×4 з інверсними виходами. Якщо $\bar{C}_1 = \bar{W}_1 = \bar{C}$ і $C_2 = \bar{W}_2 = x_1$, де входи C_2 та \bar{W}_2 використовують як третій адресний вхід, то це буде 8-канальний дешифратор-демультиплексор (рис. 5.20, б), який виконує функції $f_i = \overline{C K_i(v)}$ і $f_j = f_{i+4} = \overline{C K_{i+4}(v)}$, де $v = (x_1, x_2, x_3)$; $i = 0, 1, 2, 3$. При $\bar{C} \equiv 0$ ця схема є дешифратором 3×8 з інверсними виходами.

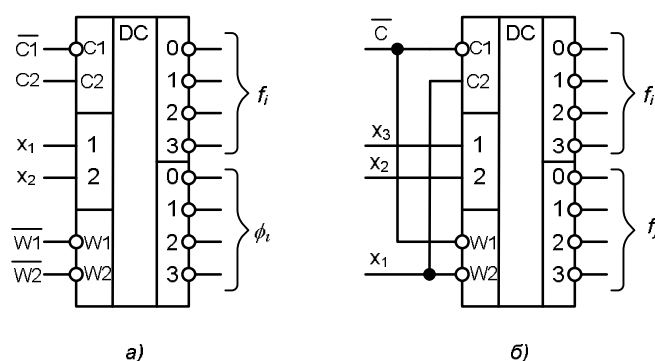


Рисунок 5.20- Здвоєний чотирьоканальний дешифратор -демультиплексор та восьмиканальний дешифратор –демультиплексор.

Шифратори виконують функцію, обернену дешифраторам, тобто перетворюють унітарний код на двійковий або двійково-десятковий.

Двійкові шифратори перетворюють код « 1 з N » на двійковий код, тобто виконують мікрооперацію, обернену мікрооперації дешифраторів. У разі порушення одного з вхідних кіл шифратора на його виходах формується слово, що відображає номер збудженого кола. Повний двійковий шифратор має 2^n входів і n виходів. Одне з основних застосувань шифратора – введення даних із клавіатури, за яким натискання клавіші з десятковою цифрою має приводити до пере-

давання в пристрій двійкового коду цієї цифри (тетради двійково-десятькового коду). В цьому випадку потрібний неповний шифратор «10–4», на прикладі якого розглянемо принципи побудови шифраторів. Функціонування шифратора наведено в табл. 5.3.

Таблиця 5.3- Таблиця істинності функціонування шифратора

Збуджений вхід	Вихід			
	a_3	a_2	a_1	a_0
F_0	0	0	0	0
F_1	0	0	0	1
F_2	0	0	1	0
F_3	0	0	1	1
F_4	0	1	0	0
F_5	0	1	0	1
F_6	0	1	1	0
F_7	0	1	1	1
F_8	1	0	0	0
F_9	1	0	0	1

З таблиці випливає, що

$$a_0 = F_1 \vee F_3 \vee F_5 \vee F_7 \vee F_9; \quad a_1 = F_2 \vee F_3 \vee F_6 \vee F_7; \quad a_2 = F_4 \vee F_5 \vee F_6 \vee F_7; \\ a_3 = F_8 \vee F_9$$

Для реалізації шифратора на елементах ТТЛ, які часто застосовують у периферійних пристроях, слід виразити здобуті співвідношення через операцію І – НЕ. Тоді

$$a_0 = \overline{F_1 F_3 F_5 F_7 F_9}; \quad a_1 = \overline{F_2 F_3 F_6 F_7}; \quad a_2 = \overline{F_4 F_5 F_6 F_7}; \quad a_3 = \overline{F_8 F_9}.$$

На підставі цих виразів будують шифратор, наведений на рис. 5.21.

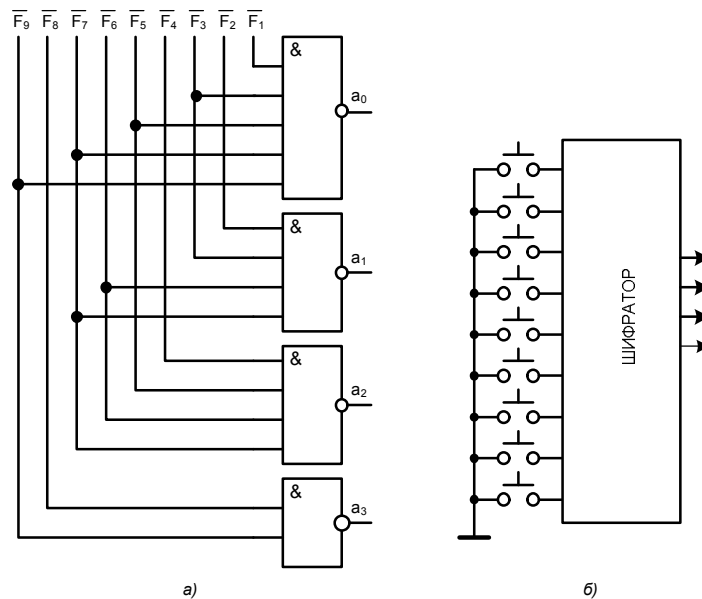


Рисунок 5.21- Схема шифратора 10-4

5.7 Суматори

Суматором називають комбінаційний логічний пристрій, призначений для виконання операції арифметичного додавання чисел, поданих у вигляді двійкових кодів.

Суматори є одним із основних вузлів арифметико-логічного пристрою. Термін «суматор» охоплює широкий спектр пристроїв, починаючи з найпростіших логічних схем і закінчуючи складними цифровими вузлами. Спільним для всіх цих пристроїв є арифметичне додавання чисел, поданих у двійковій формі. Класифікацію суматорів можна виконувати за різними ознаками.

За числом виводів розрізняють напівсуматори, одно- та багаторозрядні суматори.

Напівсуматором називають пристрій, призначений для додавання двох однорозрядних кодів, який має два входи, два виходи та який формує із вхідних сигналів сигнали суми, сигнали перенесення у старший розряд.

Однорозрядним суматором називають пристрій, призначений для додавання двох однорозрядних кодів, який має три входи, два виходи та який формує із сигналів вхідних доданків і сигналу перенесення з молодших розрядів сигнали суми та сигнали перенесення у старший розряд.

Багаторозрядним суматором називають пристрій, призначений для додавання двох багаторозрядних кодів, який формує на виході код суми і сигнал перенесення у випадку, якщо результат додавання не може бути поданий кодом, розрядність якого збігається з розрядністю кодів доданків.

Багаторозрядні суматори поділяють на послідовні та паралельні. Послідовний суматор виконує додавання чисел порозрядно, починаючи з молодшого розряду. В паралельних суматорах усі розряди вхідних кодів підсумовуються одночасно.

За способом стробування (тактування) розрізняють синхронні й асинхронні суматори. У *синхронних суматорах* час виконання операції арифметичного підсумовування двох кодів не залежить від виду кодів і завжди залишається сталим. В *асинхронних суматорах* час виконання операції залежить від виду кодів доданків. Тому після завершення виконання підсумовування потрібно виробляти спеціальний сигнал завершення операції.

Залежно від використовуваної системи числення розрізняють двійкові, двійково-десяткові та інші типи суматорів.

Розглянемо функції, що описують операції арифметичного додавання

двох однорозрядних двійкових кодів x_1 , і x_0 . Алгоритм її виконання пояснюється таблицею істинності (табл. 5.4). У стовпці s наведено значення результату додавання (суми), а у стовпці p – отримане при цьому значення перенесення у старший розряд. Потрібно звернути увагу на відмінності результатів, здобутих при арифметичному і логічному додаваннях. При логічному додаванні в останньому рядку стовпця s було б наявне значення 1. Відмінності результатів цих операцій не дають змоги застосувати для арифметичного підсумовування елемент АБО, а потребує розроблення спеціалізованого пристрою.

Таблиця 5.4- Таблиця істинності додавання однорозрядних двійкових кодів

x_1	x_0	s	p
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Значення сигналу перенесення, яке дорівнює 1 в останньому рядку табл. 5.4, свідчить про те, що результат, здобутий під час виконання операції арифметичного додавання, у цьому випадку не може бути поданий двійковим кодом, розрядність якого дорівнює розрядності слів доданків. Для подання результату потрібне слово, що має на один розряд більше, ніж коди доданків.

Використовуючи наведену таблицю, можна записати систему функцій алгебри логіки, що описують алгоритм операції арифметичного додавання:

$$\begin{aligned} s &= \bar{x}_1 x_0 + x_1 \bar{x}_0 = x_1 \oplus x_0 \\ p &= x_1 x_0 \end{aligned} \quad (5.7)$$

Для її технічної реалізації потрібні логічні елементи І та виключне АБО (рис. 5.22).

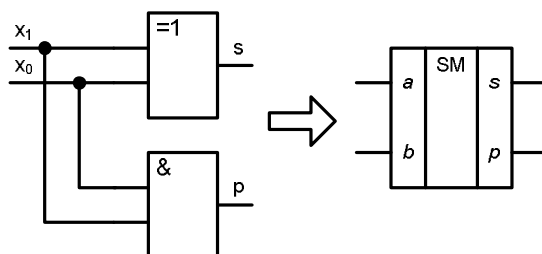


Рисунок 5.22- Напівсуматор та його умовне позначення

Розглянемо способи виконання арифметичних операцій додавання та віднімання за допомогою КС тільки для цілих двійкових чисел, що значно полегшує виклад методики їхнього синтезу. Цілі додатні n -розрядні двійкові числа позначимо через $X = (x_n, \dots, x_1)$ і $Y = (y_n, \dots, y_1)$, де x_n та y_n — старші розряди, а

числа будь-якого знака – такими самими літерами зі штрихом. Тоді матимемо: $X' = \pm X$, $Y' = \pm Y$, $|X'| = X$, $|Y'| = Y$.

КС, що виконують операції додавання та віднімання чисел, називають *комбінаційними суматорами*, тому що $X - Y = X + (-Y)$.

Операція додавання додатних двійкових чисел визначається такими правилами двійкової арифметики.

1. Значення перенесення z_{p+1} у $(p + 1)$ -й розряд дорівнює 1, якщо дві або три величини з x_p , y_p і z_p дорівнюють 1, де x_p і y_p – розряди чисел X і Y ; z_p – перенесення з $(p - 1)$ -го розряду;
2. Значення p -го розряду s_p суми чисел X і Y дорівнює 1, якщо непарне число величин x_p , y_p і z_p дорівнює 1.

Значення перенесення в перший розряд завжди дорівнює 0, тобто $z \equiv 0$. Якщо при додаванні розрядна сітка не переповняється, то перенесення у старший $(n + 1)$ -й розряд немає ($z_{n+1} = 0$). У загальному випадку потрібно виконувати додавання і віднімання як додатних, так і від'ємних чисел.

Таблицю істинності (табл. 5.5), що описує закон функціонування однорозрядного двійкового суматора, укладають за сформульованим вище правилом додавання додатних чисел.

Таблиця 5.5- Таблиця істинності однорозрядного двійкового суматора

i	x_p	y_p	z_p	s_p	z_{p+1}
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

З діаграми Вейча для функцій s_p і z_{p+1} (рис. 5.23) випливає, що

$$\left. \begin{aligned} s_p &= x_p \oplus y_p \oplus z_p, \\ z_{p+1} &= \underline{x_p y_p} \vee \underline{x_p z_p} \vee \underline{y_p z_p}, \\ z_{p+1} &= x_p y_p \cdot x_p z_p \cdot y_p z_p \end{aligned} \right\} \quad (5.8)$$

На рис. 5.24 показано КС, виконану відповідно до отриманих форм функцій s_p і z_{p+1} .

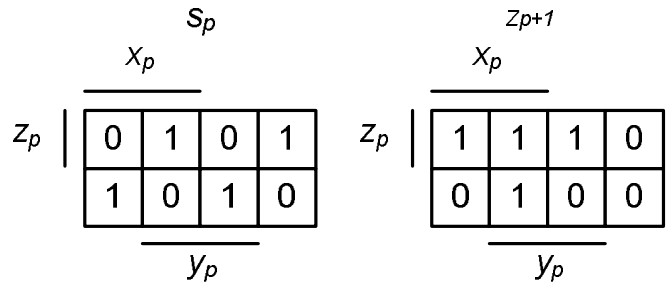


Рисунок 5.23- Синтез однорозрядного двійкового суматора

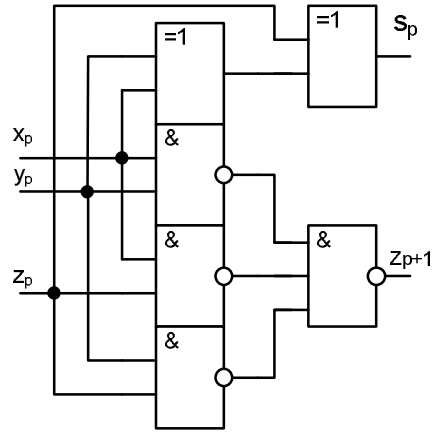


Рисунок 5.24- Схема однорозрядного двійкового суматора

Для додавання двох n -розрядних чисел X і Y потрібно використовувати n однорозрядних суматорів. На рис. 5.25 зображено схему суматора для трирозрядних чисел $X(x_3, x_2, x_1)$ і $Y = (y_3, y_2, y_1)$. У вигляді мікросхем випускають одно- (К155ИМ1), дво- (К155ИМ2) та чотирирозрядні (К155ИМ3, К564ИМ1) двійкові суматори.

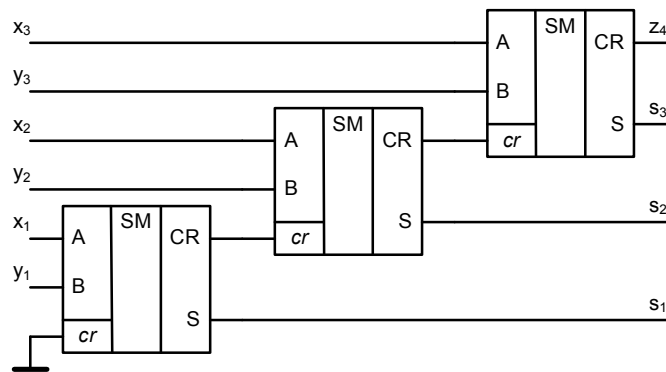


Рисунок 5.25- Схема трьох розрядного двійкового суматора

5.8 Компаратори

Цифровим компаратором називають комбінаційний логічний пристрій, призначений для порівняння чисел, поданих у двійковому коді.

Компаратори виконують мікрооперацію визначення відносини між двома словами. Число входів компаратора визначається розрядністю порівнюваних кодів.

Основними відносинами можна вважати «дорівнює» і «більше», інші відносини можуть бути визначені через основні. Так, ознаку нерівності слів можна одержати як заперечення ознаки рівності ($F_{A \neq B} = \overline{F_{A=B}}$), відношення «менше» – шляхом зміни місцями аргументів у функції $F_{A > B}$ ($F_{A > B} = F_{B > A}$), а нестрогі нерівності – за формулами:

$$F_{A \geq B} = F_{A=B} \vee F_{A > B} = \overline{F_{B > A}};$$

$$F_{A \leq B} = F_{A=B} \vee F_{A < B} = \overline{F_{A > B}}$$

Відносини широко використовують як логічні умови в мікропрограмах, а також у пристроях контролю та діагностики ЕОМ.

Пристрої порівняння на рівність будують на основі порозрядних операцій над однойменними розрядами обох слів. Ознака r рівності розрядів має значення 1, якщо в обох розрядах містяться або одиниці, або нулі, тобто

$$r = xy \vee \overline{xy} = \overline{x\overline{y}} \vee \overline{\overline{x}y} = x \oplus y = \overline{x} \oplus \overline{y} = x \oplus \overline{y}.$$

Ознака рівності слів R набуває значення 1, якщо всі розряди рівні між собою, тобто

$$R = r_{n-1}r_{n-2} \dots r_0.$$

Комбінаційна схема, що реалізує функцію $R(v)$, де $v = (x_1, \dots, x_n, y_1, \dots, y_n)$, яка дорівнює 1 тільки при $x_p = y_p$ для всіх $p = 1, 2, \dots, n$, називається *схемою рівнозначності кодів*. Розряди x_p і y_p рівні тільки в тому випадку, якщо $x_p \oplus \overline{y_p} = 1$, тому функція

$$R(v) = \prod_{p=1}^n (x_p \oplus \overline{y_p}) = \overline{\bigvee_{p=1}^n (x_p \oplus y_p)}, \quad (5.11)$$

набуває значення 1, тільки у разі попарної рівності всіх однойменних розрядів кодів. На рис. 5.27 зображено дві схеми, що реалізують функцію $R(v)$ і побудовані для $n = 4$ на підставі здобутого виразу.

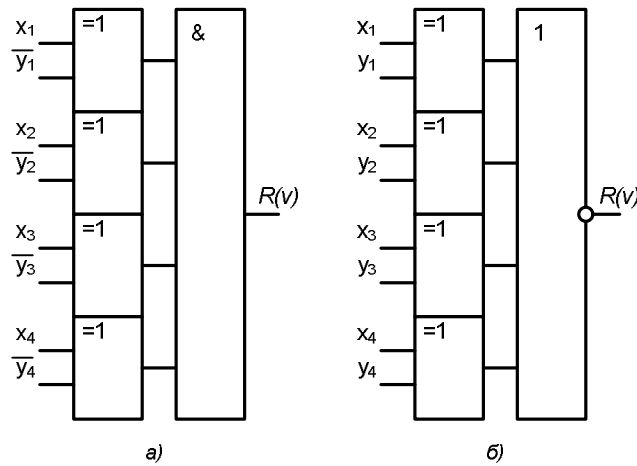


Рисунок 5.27- Схема рівнозначності чотирирозрядних кодів.

Розглянемо побудову схеми порівняння двійкових чисел. Нехай задано два n -розрядних числа X і Y . Введемо для них символічні позначення: $X = (x_n, \dots, x_1)$, $Y = (y_n, \dots, y_1)$, де x_n та y_n – старші розряди. Співвідношення між числами X і Y описуються функціями: $F(X > Y)$ та $F(X = Y)$, або $F(X < Y)$ та $F(X = Y)$.

Співвідношення між числами в позиційних системах числення, у яких вага будь-якого старшого розряду більша за вагу будь-якого молодшого розряду, досить просто можна встановити через послідовне порівняння їх однойменних розрядів. Числа можна порівнювати, починаючи як з молодшого, так і зі старшого розряду. Перший варіант порівняння чисел кращий, оскільки допускає нарощування їх розрядності (від молодших розрядів до старших).

Для опису схем порівняння двійкових чисел уведемо в розгляд функції:

$$f_n = f_n(X, Y) = \begin{cases} 0, & \text{якщо } X \geq Y, \\ 1, & \text{якщо } X < Y, \end{cases}$$

$$\varphi_n = \varphi_n(X, Y) = \begin{cases} 0, & \text{якщо } X \neq Y, \\ 1, & \text{якщо } X = Y, \end{cases}$$

(5.12)

де $X = (x_n, \dots, x_1)$; $Y = (y_n, \dots, y_1)$; x_n і y_n – старші розряди. Числа порівнюють, починаючи з молодшого розряду. З наведених співвідношень випливає, що $f_n \varphi_n \equiv 0$.

Таблиця 5.6 задає функції f_1 і φ_1 для одnorозрядних двійкових чисел X та Y ($n = 1$). З цієї таблиці випливає, що функції

$$f_1 = \bar{x}_1 y_1, \quad \varphi_1 = \bar{x}_1 \oplus y_1 \quad (5.13)$$

Таблиця 5.6- Таблиця істинності для функцій f_1 і φ_1

x_1	y_1	f_1	φ_1
0	0	0	1
0	1	1	0
1	0	0	0
1	1	0	1

Нехай тепер маємо функції f_1 і φ_1 для молодших розрядів x_1 і y_1 , а числа 2-розрядні, тобто $X = (x_2, x_1)$ а $Y = (y_2, y_1)$. Складемо таблицю істинності для функцій f_2 і φ_2 , аргументами яких є величини f_1, φ_1, x_2 і y_2 (табл. 5.7).

Таблиця 5.7- Таблиця істинності для функцій f_2 і φ_2

i	f_1	φ_1	x_2	y_2	f_2	φ_2
0	0	0	0	0	0	0
1	0	0	0	1	1	0
2	0	0	1	0	0	0
3	0	0	1	1	0	0
4	0	1	0	0	0	1
5	0	1	0	1	1	0
6	0	1	1	0	0	0
7	0	1	1	1	0	1
8	1	0	0	0	1	0
9	1	0	0	1	1	0
10	1	0	1	0	0	0
11	1	0	1	1	1	0
12	1	1	0	0	~	~
13	1	1	0	1	~	~
14	1	1	1	0	~	~
15	1	1	1	1	~	~

У рядках з номерами $i = 12, 13, 14, 15$ значення функцій не визначені, тому що функції f_1 і φ_1 не можуть одночасно дорівнювати 1 ($f_n \varphi_n \equiv 0$). Функція $f_2 = 1$, якщо $x_2 < y_2$ (старший розряд числа X менший, ніж старший розряд числа Y), а також якщо $f_1 = 1$ і $x_2 = y_2$. Функція $\varphi_2 = 1$, тільки якщо $\varphi_1 = 1$ і $x_2 = y_2$. З діаграм Вейча (рис. 5.28), побудованих за табл. 5.7, випливає, що

$$f_2 = \bar{x}_2 y_2 \vee f_1 (\bar{x}_2 \oplus y_2), \quad \varphi_2 = \varphi_1 (\bar{x}_2 \oplus y_2) \quad (5.14)$$

(функцію f_2 подано не в мінімальній формі).

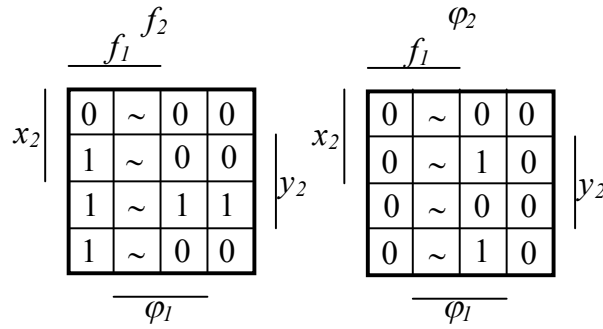


Рисунок 5.28- Синтез схеми порівняння двійкових чисел

Якщо тепер скласти таблицю істинності для функцій f_3 і φ_3 , аргументами яких є величини f_2 , φ_2 , x_3 і y_3 , то вона матиме такий самий вигляд, що і табл. 5.4, а отже,

$$f_3 = \bar{x}_3 y_3 \vee f_2(\bar{x}_3 \oplus y_3), \quad \varphi_3 = \varphi_2(\bar{x}_3 \oplus y_3) \quad (5.15)$$

З наведених співвідношень[(5.12) – (5.15)] випливає загальна рекурентна формула

$$f_n = \bar{x}_n y_n \vee f_{n-1}(\bar{x}_n \oplus y_n), \quad \varphi_n = \varphi_{n-1}(\bar{x}_n \oplus y_n) \quad (5.16)$$

в якій потрібно задати значення f_0 і φ_0 , які дорівнюють 0 або 1. Із загальної рекурентної формули випливає, що

$$f_1 = \bar{x}_1 y_1 \vee f_0(\bar{x}_1 \oplus y_1), \quad \varphi_1 = \varphi_0(\bar{x}_1 \oplus y_1),$$

$$\varphi_n = \varphi_0 \prod_{p=1}^n (\bar{x}_p \oplus y_p) \quad (5.17)$$

Оскільки значення загальної функції залежать не тільки від значень чисел X та Y , а й від значень f_0 і φ_0 , то доцільно для них ввести позначення:

$$f_n = f_n(X, Y / f_0), \quad \varphi_n = \varphi_n(X, Y / \varphi_0).$$

Введемо в розгляд також функцію

$$g_n(X, Y / f_0, \varphi_0) = \overline{f_n(X, Y / f_0) \cdot \varphi_n(X, Y / \varphi_0)} \quad (5.18)$$

Якщо у співвідношення (5.17) підставити значення $f_0 = 0$, $\varphi_0 = 1$ і $n=1$, то дістанемо співвідношення $f_1(X, Y / 0) = \bar{x}_1 y_1$, $\varphi_1(X, Y / 1) = \bar{x}_1 \oplus y_1$, тому

$$f_n(X, Y / 0) = F(X < Y), \quad \varphi_n(X, Y / 1) = F(X = Y), \quad g_n(X, Y / 0, 1) = F(X > Y).$$

Підставивши у вираз (5.17) значення $f_0 = \varphi_0 = 1$ і $n = 1$, дістанемо

$$f_1(X, Y / 1) = \bar{x}_1 y_1 \vee \bar{x}_1 \oplus y_1 = f_1(X, Y / 0) \vee \varphi_1(X, Y / 1).$$

Зі співвідношень (5.17) випливає, що

$$f_2(X, Y/1) = \bar{x}_2 y_2 \vee [f_1(X, Y/0) \vee \varphi_1(X, Y/1)](\bar{x}_2 \oplus y_2) = f_2(X, Y/0) \vee \varphi_2(X, Y/1),$$

тому $f_n(X, Y/1) = f_n(X, Y/0) \vee \varphi_n(X, Y/1) = F(X \leq Y)$,

$$g_n(X, Y/1, 1) = F(X > Y).$$

При $\varphi_0 = 0$ функція $\varphi_n(X, Y/0) \equiv 0$, тому

$$g_n(X, Y/f_0, 0) = \overline{f_n(X, Y/f_0)} = \begin{cases} F(X \geq Y) & \text{при } f_0 = 0, \\ F(X > Y) & \text{при } f_0 = 1. \end{cases}$$

Отже, є такі співвідношення:

$$\begin{aligned} f_n(X, Y/f_0) &= \begin{cases} F(X < Y), & \text{якщо } f_0 = 0, \\ F(X \leq Y), & \text{якщо } f_0 = 1, \end{cases} \\ \varphi_n(X, Y/\varphi_0) &= \begin{cases} 0, & \text{якщо } \varphi_0 = 0, \\ F(X = Y), & \text{якщо } \varphi_0 = 1, \end{cases} \\ g_n(X, Y/f_0, \varphi_0) &= \begin{cases} F(X \geq Y), & \text{якщо } f_0 = \varphi_0 = 0, \\ F(X > Y), & \text{якщо } f_0 \vee \varphi_0 = 1. \end{cases} \end{aligned} \tag{5.19}$$

На рис. 5.29 наведено КС, що реалізує функції $f_4(X, Y/f_0)$ і $\varphi_4(X, Y/\varphi_0)$, де кожен елемент виконує елементарні функції f_1 та φ_1 . Недоліком цієї КС є низька швидкодія, тому що сигнали x_i і y_i , які відповідають молодшим розрядам порівнюваних чисел, послідовно проходять через усі елементи, що мають кінцеву швидкодію. Перевагою цієї КС є простота реалізації функцій f_1 і φ_1 .

З наведених виразів (5.19) видно, що сукупність f_n , φ_n та g_n дозволяє реалізувати всі співвідношення між порівнюваними двійковими числами. Схеми порівняння двійкових чисел випускають у вигляді мікросхем (рис. 5.30).

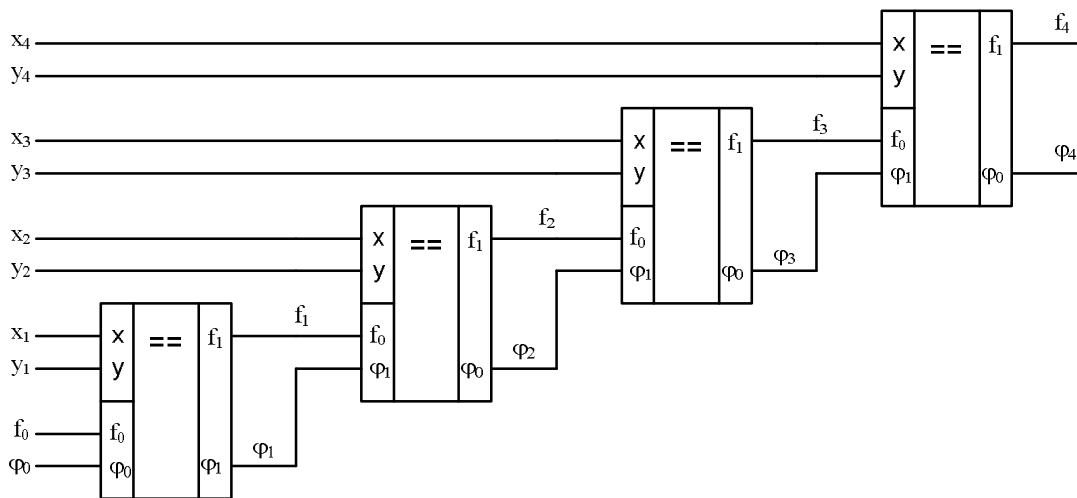


Рисунок 5.29- Схема порівняння чотирьохрозрядних двійкових чисел.

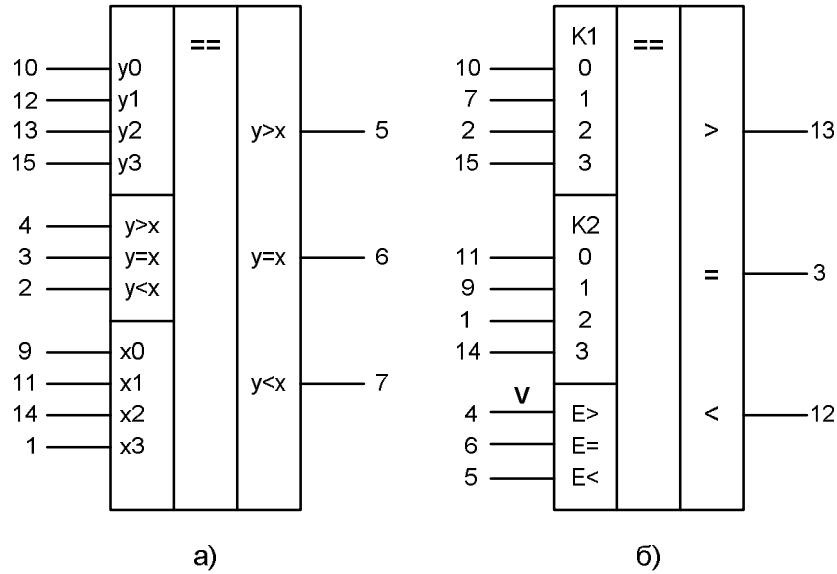


Рисунок 5.30- Схеми порівняння двійкових чисел

а) К555СП1, б) К564ИП2

Мікросхема К564ИП2 виконує функції $f_n(X, Y / f_0)$, $\varphi_n(X, Y / \varphi_0)$ і $Vg_n(X, Y / f_0, \varphi_0)$. Ця система функцій відрізняється від наведеної системи функцій тільки введенням сигналу стробу V для дозволу і заборони порівнянь виду $F(X \geq Y)$ при $f_0 = \varphi_0 = 0$ та $F(X > Y)$ при $f_0 \vee \varphi_0 = 1$.

Схему порівняння 8-розрядних двійкових чисел, яку виконано на двох мікросхемах К564ИП2, зображено на рис.5.31. У такий самий спосіб можна побудувати схему порівняння $4 \cdot k$ -розрядних чисел ($k = 3, 4, 5 \dots$). Стробування функції здійснюється подаванням сигналу V на вхід V останньої мікросхеми. На всі інші мікросхеми можна подати сигнал $V = 0$ або 1.

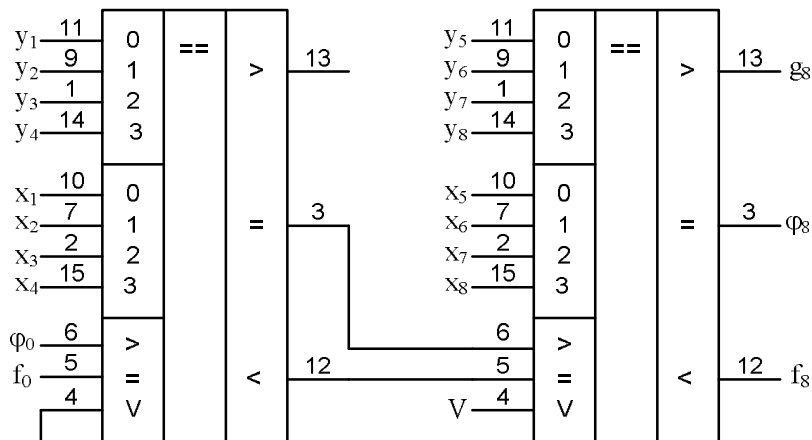


Рисунок 5.31- Схеми порівняння восьмирозрядних двійкових чисел

Наявність входів f_0 , φ_0 і V дозволяє здійснити мікропрограмне керування процесом порівняння чисел. Мікросхеми К564ИП2 можна використовувати також для порівняння двійково-десяткових чисел.

ПИТАННЯ ДО РОЗДІЛУ

1. Наведіть етапи побудови логічної схеми.
2. У чому полягає принцип подвійності і яке його практичне значення для побудови схем логічних пристроїв?
3. Що таке функціонально повна система та базис ЛЕ?
4. Приведіть умовне графічне позначення ЛЕ І, АБО, НЕ?
5. Поясніть які технічні прийоми використовуються для одержання запису функції алгебри логіки в необхідному базисі
6. Що розуміють під логічним елементом ВИКЛЮЧНЕ АБО? Зобразіть для цього елемента таблицю істинності.
7. Які призначення і структурна схема мультиплектора та демультиплектора?
8. Наведіть принципову схему 4-канального мультиплектора та поясніть його роботу.
9. Які дешифратори називаються повними, а які неповними?
10. Назвіть способи стробування дешифраторів
11. Які призначення та структурні схеми одноступінчатого пірамідального і багатоступінчастого дешифраторів?
12. Яке призначення та логічна схема шифратора?
13. Наведіть принципову схему неповного шифратора 10 – 4.
14. Який комбінаційний логічний пристрій називається суматором?
15. Як поділяються суматори за способом стробування та залежно від використання системи числення?
16. Запишіть ФАЛ, що реалізує арифметичне півсумування однорозрядних двійкових кодів.
17. Чим відрізняється півсуматор від однорозрядного суматора?
18. Зобразіть таблицю істинності напівсуматора і розробіть по таблиці істинності схему на базі основних логічних елементів.
19. Чим відрізняється повний суматор від напівсуматора?
20. З двох напівсуматорів і АБО- елемента зберіть повний суматор.
21. Поясніть поняття паралельний та послідовний суматор.

22. Як побудований послідовний суматор?
23. Які призначення і логічна схема цифрового компаратора?
24. Яку комбінаційну схему називають схемою рівнозначності?
25. Як працює цифровий селектор?
26. Поясніть відмінність між мультиплексором і демультиплексором.
27. Розробіть схему мультиплексора «8 в 1».
28. Як побудований селектор «3x4 в 4»? Скільки необхідно управляючих входів? Накресліть блок-схему.
29. Розробіть схему демультиплексора «2x2 в 2».
30. Як працює дешифратор адреси?
31. Намалюйте схему 3-бітового дешифратора.
32. Поясніть принцип дії цифрового 1-бітового компаратора.

ЗАДАЧІ ДЛЯ САМОСТІЙНОГО ТА ІНДИВІДУАЛЬНОГО

РОЗВ'ЯЗУВАННЯ

1. Для елемента ВИКЛЮЧНЕ АБО вірне рівняння

$$Z = x_1 \cdot x_2 + x_1 \cdot x_2$$

Синтезуйте його з логічних елементів І, АБО і НЕ і намалюйте схему.

2. Побудуйте схему, що відповідає наступній логічній функції:

$$Z = \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_1} \cdot \overline{x_2} \cdot x_3$$

3. Побудуйте схему і таблицю істинності, що відповідає наступній логічній функції:

$$Z = \overline{x_1} + \overline{x_2} + \overline{x_3} \cdot \overline{x_1} + \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_4} + \overline{x_1} \cdot \overline{x_4}$$

4. Синтезуйте схему для реалізації функції $F = \overline{x_1} + \overline{x_2} + \overline{x_1} + \overline{x_2}$ на елементах І - НЕ.

5. Складіть функціональні схеми пристроїв, що реалізують логічні функції на двохвходових елементах АБО — НЕ: а) $F = \overline{x_1} + \overline{x_2} + \overline{x_3}$; б)

$$F = \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} . \text{ Визначте необхідне число елементів.}$$

6. Складіть функціональні схеми пристроїв, що реалізують логічні функції на двохвходових елементах І — НЕ:

$$\text{а) } F = \overline{x_1} + \overline{x_2} + \overline{x_3}; \text{ б) } F = \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} .$$

Визначте необхідне число елементів.

7. Складіть функціональні схеми пристроїв, що реалізують наступну функції $F = \overline{x_1} + \overline{x_2} + \overline{x_1 \cdot x_2}$ у різних базисах, та визначте необхідне число елементів.
8. Перетворіть наступні функції так, щоб схема для їх реалізації складалася тільки з елементів І-НЕ;
тільки з елементів АБО-НЕ:
- а) $Z = x_1 \cdot x_2 \cdot x_3 + \overline{x_4} \cdot \overline{x_5} \cdot \overline{x_6}$
- б) $Y = \overline{x_1 + x_2 \cdot x_3} + \overline{x_4}$
- в) $A = (x_1 + x_2 + x_3) \cdot (x_4 + x_5 + x_6) \cdot (x_7 + x_8)$
- г) $A = \overline{x_1 \cdot x_2 + x_3} + \overline{x_4 \cdot x_5 + x_6}$
- д) $F = \overline{x_1 \cdot x_2 \cdot x_3 \cdot x_4 + x_5 \cdot x_6 \cdot x_7}$
9. Синтезуйте схему для реалізації функції $f_1(v)$, заданої картою Карно (рис.5.4, а) за допомогою мультиплексора 8-1.

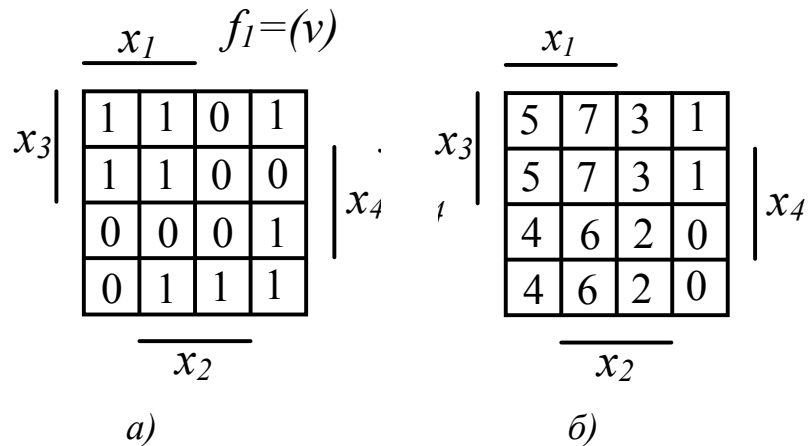


Рисунок 5.32- Синтез комбінаційних схем на мультиплексорі

Рішення

Основною задачею при синтезі КС на мультиплексорах є оптимальний вибір змінних, які подаються на його адресні входи, тому що складність функцій, а значить і КС, у загальному випадку залежить від зробленого вибору.

Для найбільш раціонального використання адресних входів на них варто подавати ті змінні, від яких найбільш сильно залежить мінімальна ДНФ функції. Тому в якості адресних змінних варто використовувати ті змінні, що входять у МДНФ найбільше число раз як з інверсією, так і без неї.

З рис. а випливає, що МДНФ функції $f_1(v)$ має два представлення:

$$f_1(v) = x_1 x_3 + x_2 \bar{x}_3 \bar{x}_4 + \bar{x}_1 \bar{x}_2 \bar{x}_3 + \bar{x}_1 \bar{x}_2 \bar{x}_4$$

або

$$f_1(v) = x_1 x_3 + x_2 \bar{x}_3 \bar{x}_4 + \bar{x}_1 \bar{x}_2 \bar{x}_3 + \bar{x}_1 x_3 \bar{x}_4$$

Для реалізації цієї функції на восьмиканальному мультиплексорі адресу j треба визначати трьома змінними. Змінна x_4 в обох представленнях МДНФ входить найменше число раз стосовно інших змінних, тому, у якості адресних змінних слід вибираємо змінні $x_1, x_2, i x_3$.

Нумерація кліток карти Карно числами $j=x_1 x_2, x_3$. показана на рис. б. Кожній адресі $j = 0, 1, \dots, 7$ відповідає свій інформаційний вхід D_j . Необхідно знайти мінімальну форму восьми функцій $D_j = f_j(x_4)$. Це легко виконати за допомогою карти Карно на рис а, з огляду на те, що числа j зробили її розбивку на вісім частин, тобто на вісім карт Карно для однієї змінної x_4 , які складаються з двох кліток. З рис. а, б випливає, що

$$D_0 = 1, D_1 = \bar{x}_4, D_2 = \bar{x}_4, D_3 = 0, D_4 = 0, D_5 = 1, D_6 = \bar{x}_4, D_7 = 1$$

Схема що реалізує функцію $f_1(v)$, наведена на рис. 5.46.

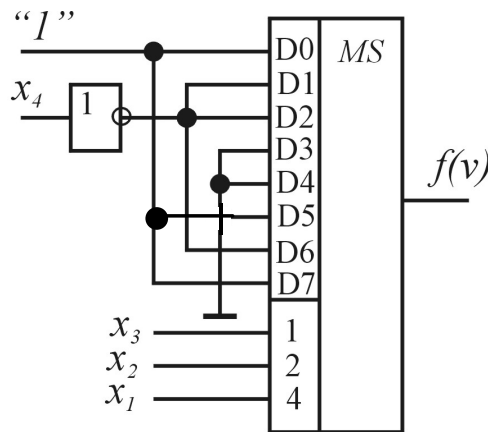


Рисунок 5.33 -Комбінаційна схема виконана на мультиплексорі 8-1

10. Синтезуйте за допомогою мультиплексора 8-1 схему для реалізації функції:

$$F = \bar{x}_1 \bar{x}_2 \bar{x}_3 + \bar{x}_1 x_2 \bar{x}_3 + \bar{x}_1 x_2 x_3 + x_1 x_2 x_3 + x_1 x_2 \bar{x}_3.$$

11. Синтезуйте за допомогою мультиплексора 4-1 схему для реалізації функції:

$$F = \bar{x}_1 \bar{x}_2 x_3 + \bar{x}_1 x_2 \bar{x}_3 + x_1 \bar{x}_2 \bar{x}_3.$$

12. Складіть таблицю істинності для схеми на рис.5.47

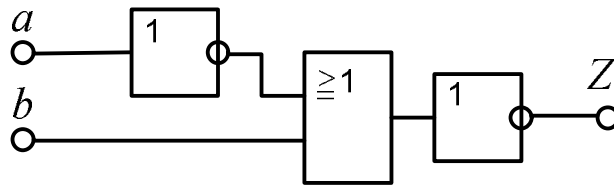


Рис. 5.34-Комбінаційна схема до задачі 12.

13. Складіть таблицю істинності для схеми на рис. 5.48.

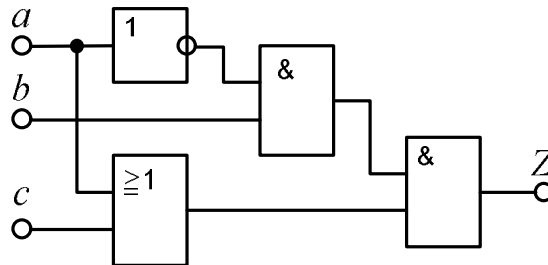


Рисунок 5.35- Комбінаційна схема до задачі 13.

14. Вказати восьмирозрядне слово D ($D7... D0$), яке треба подати на входи мультимплексора для реалізації логічної функції $F = ABC\bar{C} + \bar{A}BC + \bar{A}BC$.

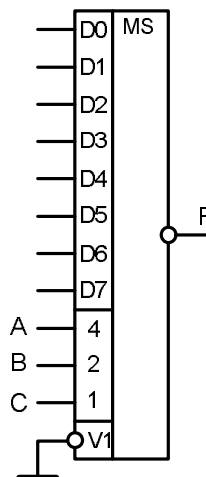


Рисунок 5.36 - Схема мультимплексора до задачі 14.

Відповідь: 10010111. Логічна функція записана в СДНФ і набуває одиничних значень на трьох наборах вхідних змінних A , B і C - шостому, п'ятому і третьому (номери наборів отримані шляхом підсумовування вагових коефіцієнтів адресних входів мультимплексора, відповідних прямих значенням змінних). На ці інформаційні входи мультимплексора треба подати логічні нулі, оскільки функція формується на його інверсному виході.

15. Реалізуйте наступні вирази, використовуючи тільки елементи І-НЕ з 2 входами:

$$F(a,b,c,d) = a\bar{b}c\bar{d} + a\bar{b}c\bar{d} + a\bar{b}c\bar{d}$$

$$F(a,b,c,d) = (a + b + c + \bar{d})(a + b + \bar{c} + d)(a + \bar{b} + c + d)(\bar{a} + b + c + d)$$

16. На рисунку 5.50. зображена функціональна схема восьмирозрядного суматора, на входи A і B якого поступають доданки, записані в шістнадцятиричній формі. Яке число буде відображено на цифровому індикаторі?

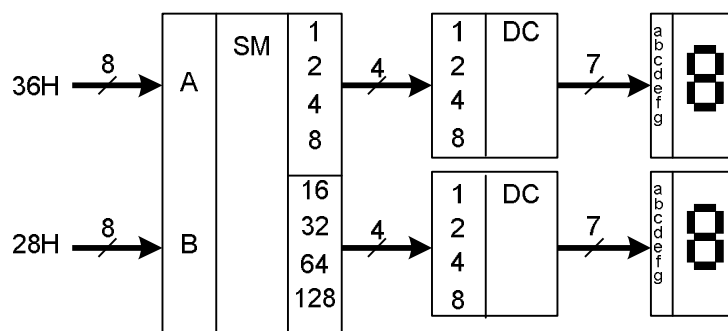


Рисунок 5.37- Функціональна схема восьмирозрядного суматора до задачі 16

Відповідь: 64. На виході формується сума $36H+28H=64H$. Старша тетрада через дешифратор (перетворювач двійково-десятькової коди в код семисегментного індикатора) висвічує на нижньому індикаторі цифру 6, молодша - цифру 4 на верхньому індикаторі.

ПІДСУМКИ

НЕОБХІДНО ЗРОЗУМІТИ

1. Для синтезу логічних схем використовують певну послідовність дій сформованих в етапи побудови
2. В міру набуття досвіту побудови логічних схем етапи починають проникати один в одного, а деякі з них зовсім опускаються
3. За допомогою набору функцій НЕ, І, АБО можна виразити будь-яку логічну функцію, наскільки б складною вона не була.
4. На практиці під час побудови логічних пристроїв з метою скорочення номенклатури елементів користуються функціонально повною системою, яка містить тільки два елементи, які виконують операції «І-НЕ» і «АБО-НЕ», або тільки один із цих елементів.
5. Мультиплексор це комбінаційний логічний пристрій, традиційне використання якого полягає в керованій передачі даних від кількох вхідних каналів в один вихідний канал, тобто кожний із вхідних каналів по черзі підключається до вихідного під управлінням адресного сигналу.
6. Демультіплексор це комбінаційний логічний пристрій, призначений для

керованої передачі даних від одного джерела інформації в декілька вихідних каналів.

7. Дешифратор або декодер це комбінаційний логічний пристрій призначений для перетворення чисел двійкового і двійково-десятькового кодів на унітарний код.
8. Шифратори виконують функцію, зворотну дешифраторам, тобто перетворюють унітарний код у двійковий або у двійково-десятьковий.
9. Суматор - комбінаційний логічний пристрій для виконання операції арифметичного додавання чисел поданих у вигляді двійкових кодів.
10. Цифровий компаратор - комбінаційний логічний пристрій призначений для порівняння чисел, поданих у двійковому коді.

СЛІД ЗАПАМ'ЯТАТИ

1. Етапи синтезу логічних схем комбінаційних пристроїв
2. Властивість взаємного перетворення постулатів операцій логічного складання та множення носить назву принципу подвійності.
3. Функціонально повною системою називають сукупність логічних елементів, що дозволяють реалізувати логічну схему довільної складності.
4. Для запису будь-якої функції алгебри логіки в необхідному базисі використовують два технічні прийоми:
 - подвійне інвертування початкового виразу або його частини;
 - застосування теорем Де-Моргана.
5. Мультиплексором має $m+2^m$ входів і один вихід, де m - число адресних входів, а 2^m - число інформаційних входів
6. Принципову схему 4- канального мультиплексора, що має два адресних входи
7. Графічне позначення мультиплексорів
8. Принципову схему демультиплексора «1 → 4» на елементах І
9. Графічне позначення демультиплексорів
10. Повним дешифратором називається комбінаційна схема, що має n входів і 2^n виходів та реалізує на кожному виході функцію, яка представляє собою мінтерм n змінних $F_i(v)$, де $v = (x_1, \dots, x_n)$; x_s - вхідні сигнали ($s = 1, 2, \dots, n$), $i = 0, 1, 2, \dots, 2^{n-1}$

11. У повному дешифраторі кожній комбінації значень вхідних сигналів відповідає сигнал, який дорівнює 1, тільки на одному з виходів, тобто, у залежності від вхідного коду на виході збуджується одне з кіл.
12. Неповні дешифратори реалізують $m < 2^n$ мінтермів
13. Принципову схему дешифратора 2×4
14. Графічне позначення дешифраторів
15. Принципову схему шифратора 10-4
16. Визначення напівсуматора, однорозрядного суматора та багаторозрядного суматора.
17. Визначення синхронного та асинхронного суматора
18. Принципову схему 1- розрядного двійкового суматора
19. Графічне позначення суматорів
20. Побудову схеми суматора для додавання двох n - розрядних чисел

ТРЕБА ВМІТИ

1. Застосовувати послідовність дій наведених в етапах побудови для синтезу логічних схем комбінаційних пристроїв.
2. Перетворювати запис будь-якої функції алгебри логіки в необхідному базисі.
3. Виконувати синтез комбінаційних логічних пристроїв у заданому базисі
Визначати призначення мультиплексорів та демультимплексорів
4. Наводити принципові схеми найпростіших мультиплексорів і демультимплексорів та пояснювати принцип їх роботи
5. Визначати призначення дешифраторів та шифраторів
6. Наводити принципові схеми найпростіших дешифраторів і шифраторів та пояснювати принцип їх роботи.
7. Визначати призначення суматорів та цифрових компараторів
8. Наводити принципові схеми найпростіших суматорів і цифрових компараторів та пояснювати принцип їх роботи.

РОЗДІЛ 6. ТРИГЕРНІ ЕЛЕМЕНТИ ЦИФРОВИХ ПРИСТРОЇВ

6.1 Основні поняття

Більшість цифрових пристроїв поєднують функції по переробленню та збереженню інформації. В арифметичних і логічних пристроях для збереження інформації найчастіше використовують тригери — пристрої з двома стійкими станами виходу, які містять елементарну запам'ятовувальну комірку і схему керування. Схема керування перетворює інформацію, яка надходить, на комбінацію сигналів, що діють безпосередньо на входи елементарної запам'ятовувальної комірки.

Тригери широко використовуються у схемах формування імпульсів, генераторах одиночних сигналів, для побудови подільників частоти, лічильників, перерахункових пристроїв, регістрів, суматорів, у пристроях керування і т.д.

У більшості серій інтегральних елементів містяться тригери різних типів, у тому числі універсальні. Нижче розглянуто лише найпростіші, проте найпоширеніші типи тригерів із наведеними практичними прикладами їх використання.

У ряді випадків розроблювачу потрібні нові властивості тригерів, для чого розробляють довільний тригерний елемент. У цьому розділі наведено методологію розроблення тригерних елементів на основі канонічного методу синтезу.

Канонічний метод структурного синтезу стосовно до тригерів дає змогу звести задачу синтезу до задачі структурного синтезу комбінаційних схем. Результатом канонічного методу структурного синтезу є система логічних рівнянь, що виражає залежність вихідних сигналів тригерів і функцій збудження елементарних запам'ятовувальних комірок від сигналів на вході тригера і сигналів із виходів елементарних запам'ятовувальних комірок.

Узагальнену схему тригерного пристрою (надалі – просто тригера) можна подати у вигляді, наведеному на рис. 6.1, де x_1, \dots, x_n — інформаційні входи; C_1, \dots, C_m — входи синхронізації, або тактові входи; V_1, \dots, V_k — керуючі входи; S_y, R_y — встановлювальні входи; S^*, R^* — інформаційні входи елементарної запам'ятовувальної комірки; Q, \bar{Q} — виходи.

Комутаційні входи використовують для зовнішніх з'єднань у програмувальних універсальних тригерах. У реальних схемах тригерів деяких вхідних сигналів і зв'язків, зображених на рис. 6.1, може не бути, а в найпростіших тригерах може не бути схеми керування.

Для інформаційних входів використовують такі позначення: S (Set-установка) — вхід для роздільного установлення тригера в стан «1» ($Q = 1, \bar{Q} = 0$); R (Reset — скидання) — вхід для роздільного установлення тригера в стан «0» ($Q = 0, \bar{Q} = 1$); T (Toggle – релаксатор) — лічильний вхід тригера; J (Jerk — раптове вмикання) — вхід для роздільного установлення тригера в стан «1» в універсальному JK -тригері; K (Kill — раптове вимкнення) — вхід для роздільного установлення тригера в стан «0» в універсальному JK -тригері; D (Delay — затримка, Drive — передавання) — інформаційний вхід для установлення тригера в стан «0» або «1»; V (Valve-клапан, вентиль) — керувальний вхід для дозволу приймання інформаційних, або тактових, сигналів; тактовий вхід C (Clock — первинне джерело сигналів синхронізації) дає змогу схемі керування записувати інформацію у тригер.

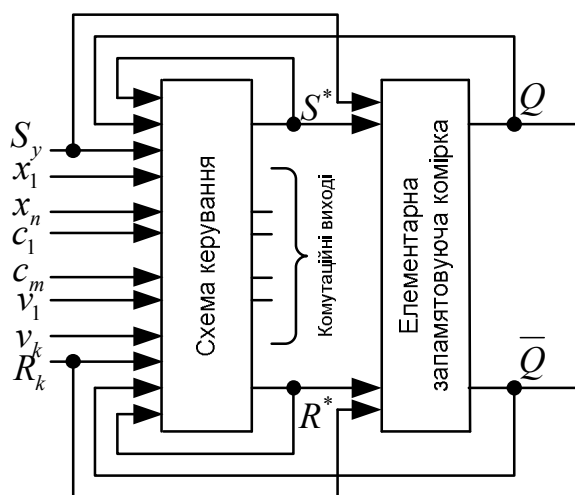


Рисунок 6.1- Узагальнена схема тригерного пристрою

За способом організації логічних зв'язків розрізняють тригери з роздільним установленням у стан «0» і «1» (RS -тригери); з лічильним входом (T -тригери); універсальні з роздільним установленням у стан «0» і «1» (JK -тригери); із прийманням інформації з одного входу (D -тригери); універсальні з керованим прийманням інформації з одного входу (DV -тригери); комбіновані (наприклад, RST -, $JKRS$ -, DRS - тригери); зі складною вхідною логікою.

За способом запису інформації тригери поділяють на несинхронізовані (асинхронні, нетактові) і синхронізовані (синхронні, тактові).

За способом синхронізації розрізняють тригери синхронні зі статичним керуванням записом та синхронні з динамічним керуванням записом.

У синхронних тригерах зі статичним керуванням записом тактовий імпульс починає впливати тільки тоді, коли його рівень або зростає до рівня «1»,

або зменшується до рівня «0» залежно від елементної бази, на якій виконується тригер. Тригери, стан яких змінюється в інтервалі дії рівнів «1» або «0» тактового імпульсу, називають тригерами, що спрацьовують за рівнем, а тригери, стан яких змінюється після закінчення дії рівнів «1» або «0» тактового імпульсу, називають тригерами із внутрішньою затримкою. Інформаційні сигнали впливають на тригер лише протягом дії тактового імпульсу.

У синхронних тригерах з динамічним керуванням записом інформація надходить у момент зміни амплітуди тактового імпульсу у визначеному напрямку, тобто під час наростання спаду або його фронту.

За кількістю інформаційних входів тригери можуть бути з одним входом, двома та з багатьма входами. Найбільш поширенні тригери з одним та двома входами. Слід розрізнити кількість інформаційних входів з кількістю фактичних входів, на які надходять інформаційні сигнали, тому що реально діючий інформаційний вхід у структурі тригера може бути кон'юнкцією, диз'юнкцією або будь-якою функцією кількох логічних змінних, що діють на інформаційних входах, наприклад $J = J_1 J_2 J_3$; $K = K_1 K_2 K_3$.

За кількістю тактових входів розрізняють тригери одно-, дво- та багатотактні. Іноді двотактними вважають двоступінчасті тригери (*MS*-схеми), однак треба враховувати, що основне призначення останніх – одержання ефекту часової затримки інформаційних сигналів у структурі тригера, якщо такий ефект неможливо реалізувати з використанням фізичних методів, наприклад за допомогою накопичення зарядів.

За видом вихідних сигналів тригери поділяють на статичні і динамічні. Статичні тригери — тригери, в яких вихідні сигнали в стійких станах залишаються незмінними в часі. Динамічні тригери — тригери, в яких вихідні сигнали в стійких станах змінюються в часі.

За способом запам'ятовування інформації тригери можуть бути з логічною і фізичною організацією пам'яті. Перші виконують на логічних елементах І, АБО, НЕ, І–НЕ, АБО–НЕ, І–АБО–НЕ і т.д., а другі є елементами запам'ятовувальних пристроїв, у яких використовують нелінійні властивості матеріалів або нелінійні вольт-амперні характеристики компонентів.

За способом збереження інформації розрізняють тригери з активним збереженням інформації (вихідний інформаційний сигнал діє постійно); з пасивним збереженням інформації (вихідний інформаційний сигнал можна отримати тільки за допомогою спеціального опитувального сигналу).

Оскільки тригери в цифрових пристроях взаємодіють з іншими елементами схеми, крім функціонального призначення необхідно знати їх *схемотехнічні параметри*. До цих параметрів належать параметри логічних елементів, на яких виконаний тригер: $K_{об}$ — коефіцієнт об'єднання на вході; $K_{роз}$ — коефіцієнт розгалуження на виході; рівні «0» і «1», вхідні і вихідні струми тощо.

На відміну від логічних елементів параметрами тригера є такі:

дозволений час тригера, $t_{доз}$ — найменший інтервал часу між вхідними сигналами мінімальної тривалості, які спричинюють безперебійне перемикання тригера. Очевидно, що $t_{доз}$ залежить від того, який зміст вкладають у поняття «безперебійне перемикання тригера». Вважають, що тригер перемикається безперебійно, якщо будь-яке значення вихідного сигналу, зумовлене правилами роботи, має тривалість не меншу за середній час затримки поширення $t_{зм.н.ср}$ одного логічного елемента схеми;

максимальна частота перемикання тригера

$$f_{max} \approx 1/2\pi \cdot t_{доз} f_{max} - 1/t_{раз}. \quad (6.1)$$

Оскільки, як зазначено вище, вихідні сигнали тригера при впливі вхідних сигналів з частотою f_{max} мають тривалість $t_{зм.н.ср}$, то, з огляду на тривалість фронтів наростання і спадання, можна дійти висновку, що ці вихідні сигнали є недостатніми для надійного передавання інформації у логічні кола, через те що рівні «1» і «0» у цьому випадку не фіксуватимуться. Для забезпечення їх фіксування частоту f_{max} зменшують у 1,5 рази і вважають її робочою, тобто

$$f_{роб} = f_{max}/1,5 \quad (6.2)$$

(параметр $f_{роб}$ указують у паспорті або ТУ для найгірших умов роботи);

мінімальна тривалість вхідного сигналу

$$t_i = \sum_{i=1}^k t_{зм.н.ср}. \quad (6.3)$$

де k — кількість елементів у колі від входу інформаційного або тактового сигналу до входу елемента, на якому замикається тригерне коло зворотного зв'язку;

час затримки перемикання тригера

$$t_{зм.н.ср.} = \sum_{i=1}^l t_{зм.н.ср}. \quad (6.4)$$

де l — кількість елементів у колі від входу інформаційного або тактового сигналу до виходу елемента, на якому підтверджується стан тригера.

З визначення t_i та $t_{zm.nep}$ випливає

$$l = k + 1. \quad (6.5)$$

Одиниця у формулі (6.5) характеризує затримку поширення одного з логічних елементів, на яких виконується елементарна запам'ятовувальна комірка тригера.

Сукупність параметрів $f_{роб}$, t_i і $t_{zm.nep}$ визначає швидкодію тригерів та швидкодію цифрових пристроїв, побудованих на їхній основі.

Тригери є елементарними послідовними автоматами та характеризуються:

числом інформаційних входів не більшим ніж 3 (більшість реалізованих схем тригерів має не більш як 2 входи);

числом внутрішніх станів для споживача інформації з тригера, яке дорівнює 2, чому відповідає одна внутрішня змінна, яку позначають Q ;

числом скінченних змінних у не більшим ніж 1, причому значення у збігається зі значенням Q ; як правило, у тригерах поряд зі значенням Q виходить інверсна змінна \bar{Q} ;

функцією переходів або зв'язку внутрішніх змінних для моменту часу t зі значеннями початкових і скінченних змінних для моменту часу $t+1$, які називають *характеристичними рівняннями*

$$Q_{t+1} = f(x_t, Q_t), \quad (6.6)$$

що є повними, тобто тригери мають повну систему переходів. Дійсно, для всіх тригерів є стани входів, під впливом яких відбуваються зміни стану тригерів усіх чотирьох видів: $0 \rightarrow 0$, $0 \rightarrow 1$, $1 \rightarrow 0$, $1 \rightarrow 1$. Надалі переходи позначатимемо у вигляді двозначного числа, наприклад у вигляді 01.

Запис x_t у формулі (6.6) означає, що сигнал x набуває будь-якого конкретного значення 0 або 1 у момент часу t і зберігає його до моменту часу $t+1$. Запис Q_{t+1} означає, що вихідний сигнал набуває будь-якого значення відразу після закінченні моменту часу $t+1$ і зберігає його до моменту часу $t+2$. Іноді визначають x_t і Q_t як значення змінних до надходження інформаційного (тактового) сигналу, а x_{t+1} , Q_{t+1} - після надходження інформаційного (тактового) сигналу.

Оскільки сигнали на виходах Q і \bar{Q} - взаємно обернені, стан тригера визначений, якщо задане значення одного з вихідних сигналів, наприклад на його прямому виході Q . Стан $Q = 1$, $\bar{Q} = 0$ називається одиничним, а $Q = 0$; $\bar{Q} = 1$ - нульовим. За деяких комбінацій вхідних сигналів виникають стани $Q = \bar{Q} = 1$ або

$Q = \bar{Q} = 0$. Після закінчення дії таких комбінацій стан 00 або 11 зберігатися не може і тригер перейде або в стан 10, або в стан 01. Комбінацію вхідних сигналів, після закінченні якої стан тригера невизначено, тобто з однаковою ймовірністю може бути одиничним або нульовим, називають *забороненою комбінацією*. У цьому випадку значення сигналів на виходах Q і \bar{Q} - фіктивні (невизначені).

Отже, тригер може мати п'ять логічних станів на виході $(0, 1, Q, \bar{Q}, \times)$, що означає таке:

«0» — тригер постійно перебуває в нульовому стані незалежно від зміни сигналів на його вході;

«1» — тригер постійно перебуває в одиничному стані незалежно від зміни сигналів на його вході;

Q — стан тригера не змінюється при зміні вхідних сигналів, причому може бути або $Q = 0$, або $Q = 1$;

\bar{Q} — стан тригера змінюється на протилежний при зміні вхідних сигналів, причому може бути зміна стану «1» на стан «0» або навпаки;

\times — фіктивний (невизначений) стан тригера.

Число теоретично можливих типів тригерів з x інформаційними входами дорівнює 5^{2^x} ; тут 5 — кількість можливих станів на виході тригера, 2^x — кількість наборів, що містять усі початкові змінні x . При $x=1$ маємо 25, а при $x=2$ — 625 типів тригерів, однак частина з них тривіальна, беззмістовна або тригери дуальні. Технічно реалізованих тригерів з одним інформаційним входом тільки 2, із двома інформаційними входами — 24. Найбільш поширені тригери з двома входами, але синтезовано тільки 8 їхніх типів, серед яких 3 — універсальні. Інші технічно реалізовані тригери з двома входами, серед яких мається 10 універсальних, можуть набувати практичного застосування в майбутньому.

Правила функціонування тригерів можна задати:

- 1) словесним описом;
- 2) у вигляді таблиці переходів тригера, тобто таблиці інформаційних значень вхідних сигналів, внутрішніх станів і вихідних сигналів тригера;
- 3) у вигляді характеристичних рівнянь логічних функцій типу $Q_{t+1} = f(Q_t, x_t)$, де $i = 1, 2, \dots, m$;
- 4) у вигляді графа, що складається з вершин, число яких відповідає можли-

вим станам тригера з урахуванням внутрішніх станів елементів пам'яті, і спрямованих гіток, що починаються і закінчуються на вершинах; при цьому на гілках вказується набір вхідних сигналів, які зумовлює перехід тригера з одного стану в інший або підтверджують цей стан;

5) у формі мікропрограмованого автомату (в теорії скінченних автоматів).

6.2 Асинхронний RS – тригер і його різновиди

RS -тригер — з двома входами, який при подаванні активного сигналу на S -вхід і неактивного сигналу на R -вхід установлюється в одиничний стан; при подаванні активного сигналу на R -вхід і неактивного сигналу на S -вхід установлюється в нульовий стан; одночасне подавання двох активних сигналів на S - і R - вхід заборонено; якщо така ситуація виникає, то стан тригера вважають невизначеним.

Різновиди RS -тригера такі:

1. S - тригер — з двома входами, що працює як RS -тригер; при одночасному подаванні двох активних сигналів на входах тригер установлюється в одиничний стан.

2. R - тригер — з двома входами, що працює як RS -тригер; при одночасному подаванні двох активних сигналів на входах тригер установлюється в нульовий стан.

3. E -тригер (Exclusive - особливий)— з двома входами, що працює як RS -тригер; при одночасному подаванні двох активних сигналів на входах тригер зберігає попереднє значення.

Опис функціонування RS -тригера можна подати й у вигляді таблиці переходів. Якщо за активний сигнал на R - і S -входах взяти рівень «1», то одержимо табл. 6.1.

Таблиця 6.1- Таблиця переходів RS -тригера

Номер набору	R	S	Q_t	Q_{t+1}	\overline{Q}_{t+1}
0	0	0	0	(0)	1
1	0	0	1	(1)	0
2	0	1	0	(1)	0
3	0	1	1	(1)	0
4	1	0	0	(0)	1
5	1	0	1	0	1
6	1	1	0	×	×
7	1	1	1	×	×

У стовпці «Номер набору» записується десяткове число — еквівалент двійкового коду, поданими змінними R , S і Q_t . Змінна R , вважається старшим розрядом двійкового коду. З табл. 6.1 видно, що RS -тригер зберігає один зі

стійких станів незалежно від багаторазової зміни інформаційного сигналу на одному вході при нульовому значенні інформаційного сигналу на іншому вході. Це властивість «блокування» — основна функціональна властивість RS -тригера, і саме вона робить його елементарною запам'ятовувальною коміркою.

У стовпці Q_{t+1} записуються значення скінченної змінної Q у момент часу $t+1$. Якщо $Q_{t+1} = Q_t$, то такий стан тригера стійкий і в стовпці Q_{t+1} записується в дужках; якщо $Q_{t+1} \neq Q_t$, то стан тригера нестійкий і в стовпці Q_{t+1} записується без дужок. Для останньої ситуації можливі два випадки:

1) тригер у разі однакового набору початкових змінних переходить у стійкий стан (перехід позначений стрілкою);

2) тригер у разі однакового набору початкових змінних буде постійно змінювати свій стан, тобто перебуватиме в автоколивальному режимі. Останнє свідчить про те, що тригер даної структури не може керуватися потенційними сигналами.

З позицій схемотехніки точки із сигналами Q_t і Q_{t+1} — одна і та сама точка схеми. Вихідний сигнал тригера після зміни вхідних сигналів устанавлюється не раніше, ніж через час затримки перемикавання. Тригер перебуватиме в стійкому стані, якщо через час $t_{зм.пер}$ після зміни вхідних сигналів він не змінить свій стан. Тригер перебуватиме в нестійкому стані, якщо через час $t_{зм.пер}$ після зміни вхідних сигналів змінить свій стан на протилежний.

З табл. 6.1 випливає, що при всіх наборах початкових змінних R, S тригер має стійкі стани, причому передбачається, що набір змінних $RS = 11$ у разі нормальної роботи RS -тригера не виникає, тому значення Q_{t+1} при цьому наборі не викликає інтересу і позначене знаком \times . Відсутність нестійких станів у RS -тригера свідчить про те, що його характеристичне рівняння цілком відображає структуру потенційно керованого тригера.

Характеристичне рівняння RS -тригера. Подамо рівняння (6.6) у досконалій диз'юнктивній нормальній формі (ДДНФ) і мінімізувавши останню за допомогою найпростішого і наочного методу для функцій невеликого числа змінних — методу карт Карно. ДДНФ утворюється як логічна сума конститuent 1 для наборів, на яких функція набирає одиничного значення, причому символ будь-якої змінної у деякій конститuentі 1 беруть зі знаком «мінус», якщо значення змінної в розглянутому наборі становить 0.

Якщо функція на деяких наборах має невизначене значення то її повністю

визначають. Процес повного визначення полягає в довільному завданні значень функції, які дорівнюють 0 або 1. Його виконують так, щоб результуюча мінімальна ДНФ функції була найпростішою з урахуванням можливості повного визначення функції одиницями. Нанесемо функцію (6.6) на карту Карно (рис. 6.2).

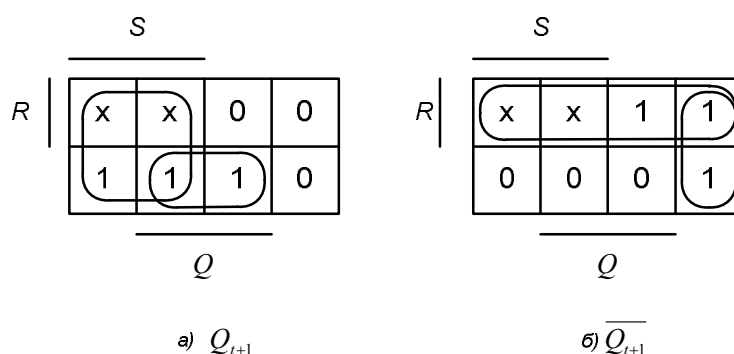


Рисунок 6.2- Карти Карно для RS - тригера

Характеристичне рівняння RS -тригера одержимо у вигляді

$$Q_{t+1} = S + \overline{R}Q_t. \quad (6.7)$$

Наявність забороненої комбінації інформаційних сигналів $RS=11$ запишемо так:

$$RS=0. \quad (6.8)$$

Вибравши як елементну базу базис АБО–НЕ, перетворимо формулу (6.7), використовуючи закон заперечення і правило де Моргана, до вигляду

$$\overline{Q_{t+1}} = \overline{S + \overline{R} + \overline{Q_t}}. \quad (6.9)$$

З табл. 6.1 та рис. 6.2, можна одержати вираз для $\overline{Q_{t+1}}$:

$$\overline{Q_{t+1}} = R + \overline{S}\overline{Q_t}. \quad (6.10)$$

Вираз (6.10) перетворимо на вигляд

$$Q_{t+1} = \overline{R + \overline{S} + \overline{Q_t}} \quad (6.11)$$

З формул (6.9) і (6.11) випливає, що RS -тригер є послідовним з'єднанням двох елементів АБО–НЕ, які замкнені самі на себе (рис. 6.3, а).

Вибравши як елементну базу базис І–НЕ, перетворимо вирази (6.7) і (6.8), використовуючи правило де Моргана:

$$Q_{t+1} = \overline{\overline{\overline{S}\overline{R}Q_t}}, \quad \overline{R} + \overline{S} = 1 \quad (6.12)$$

З формули (6.12) видно, що RS -тригер (точніше, $\overline{R}\overline{S}$ - тригер) є послідовним з'єднанням двох елементів І– НЕ, які замкнені самі на себе (рис. 6.3, з).

RS - і \overline{RS} - тригери дуальні.

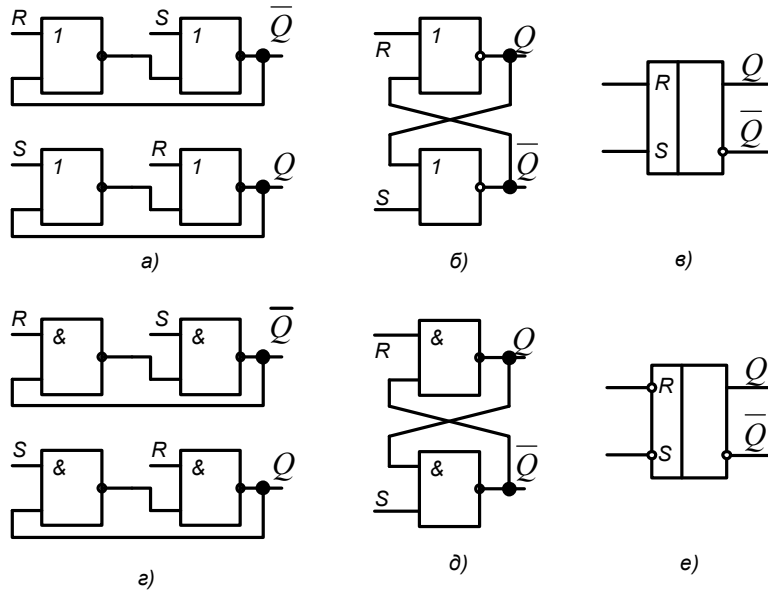


Рисунок 6.3- Схеми RS - тригера та їх умовні позначення

Закон функціонування RS -тригера на рис. 6.4 поданий у вигляді графа. Вершини графа позначаються кружками, усередині яких записують стани тригерів (іноді крім цифр усередині кружків або поряд з ними записують символічне позначення станів), а дуги графа (напрявлені ребра) — лініями, що починають в якій-небудь вершині і закінчують у тій самій вершині (у цьому випадку дугу називають петлею) або в будь-якій іншій вершині. Дуги і петлі характеризують переходи тригера, які він здійснює під впливом вхідних сигналів, причому поруч з дугою або петлею записують комбінації вхідних сигналів (іноді комбінації вхідних сигналів записують у вигляді символічного позначення). Відсутність на графі комбінації вхідних сигналів $RS=11$ означає, що вона заборонена.

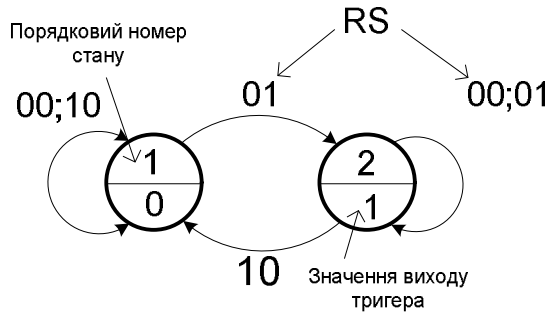


Рисунок 6.4- Граф асинхронного RS - тригера

За допомогою характеристичних рівнянь (6.7), (6.11), (6.12) можна визначити стан тригера Q_{t+1} , у який він перейде в момент часу $t+1$ якщо відомі ком-

бінації вхідних сигналів і стан тригера Q_t ; у попередній момент часу t . Під час синтезу послідовних схем (складних тригерів, лічильників, регістрів) треба розв'язати обернену задачу: визначити комбінацію вхідних сигналів при необхідному переході з одного стану в інший. Результатом рішення цієї задачі буде одержання характеристичної таблиці. Для RS -тригера в базисі АБО–НЕ це табл. 6.2, а в базисі І–НЕ — табл. 6.3.

Таблиця 6.2- Характеристична таблиця для RS -тригера в базисі АБО-НЕ

Перехід $Q_t \rightarrow Q_{t+1}$	R^*	S^*
00	×	0
01	0	1
10	1	0
11	0	×

Таблиця 6.3- Характеристична таблиця для RS -тригера в базисі І-НЕ

Перехід $Q_t \rightarrow Q_{t+1}$	R^*	S^*
00	×	1
01	1	0
10	0	1
11	1	×

Характеристичну таблицю можна отримати з таблиці переходів, характеристичного рівняння або графа.

Нехай закон функціонування RS -тригера заданий таблицею переходів (див. табл. 6.1). Потрібно визначити комбінації вхідних сигналів, за яких тригер зробить перехід 00. Тригер цей перехід здійснює в рядках, що відповідають наборам 0 та 4. При наборі 0 $R=0$, $S=0$, а при наборі 4 $R=1$, $S=0$; отже, для того щоб RS -тригер здійснив потрібний перехід, на вхід S слід подати 0, а на вхід R — або 0, або 1 (див. перший рядок табл. 6.2). Аналогічно визначають значення R і S при переходах 01, 10 та 11.

Нехай закон функціонування RS -тригера заданий характеристичним рівнянням (6.7). Потрібно визначити комбінації вхідних сигналів, за яких тригер робить перехід 01. Після підстановки у формулу (6.7) значень $Q_t = 0$ і $Q_{t+1} = 1$ дістанемо рівність $1 = S + \bar{R}0$, що стає тотожністю при комбінаціях $RS=01$ або 11, однак, з огляду на те що комбінація 11 заборонена, перехід 01 може здійснюватися тільки при $R=0$ і $S=1$ (див. другий рядок табл. 6.2). Аналогічно визначаються значення R і S при переходах 00, 10 і 11.

Нехай закон функціонування RS -тригера заданий графом (рис. 6.4). Потрібно визначити комбінації вхідних сигналів, за яких тригер робить перехід 11. Поряд з петлею у вершини зі станом «1» записані дві комбінації RS : 00 і 01; це означає, що на вхід R треба подати 0, а на вхід S - або 0, або 1 (див. четвертий рядок табл. 6.2). Аналогічно визначають значення R і S при переходах 00, 01 та 10.

Оцінимо основні характеристики швидкодії асинхронного RS -тригера (рис. 6.5). Припустімо, що тригер спочатку перебуває в стані «0», а вхідні сигнали мають значення $R=S=0$ (ці цифри є першими ліворуч розрядами кодів, рис. 6.5, а). При перемиканні тригера в одиничний стан $S=1$, $R=0$ (ці цифри є другими ліворуч розрядами кодів, рис. 6.5, а). Нове значення нульового сигналу встановлюють із затримкою щодо сигналу S на час $t_{зм.п.ср}$. Це позначено ковпачком над другим ліворуч розрядом коду, записаного біля виходу \bar{Q} . Сигнал 0 на виході Q спричинює появу нового значення 1 на виході Q . Сигнал на виході Q затриманий щодо сигналу на виході \bar{Q} на час $t_{зм.п.ср}$, а щодо вхідного сигналу S — на час $2t_{зм.п.ср}$ (передбачено, що середні затримки поширення сигналу обох елементів АБО–НЕ однакові). Останню обставину позначено двома ковпачками над другим ліворуч розрядом коду, записаного біля виходу Q . Так само позначено на рис. 6.5, а етапи перемикання тригера з одиничного стану в нульове (треті ліворуч розряди кодів). Відлік затримок у цьому випадку проводиться щодо сигналу на вході R , який спричинив перемикання тригера.

На часовій діаграмі рис. 6.5, б наведено граничний динамічний режим роботи RS -тригера. Передбачено, що елементи АБО–НЕ є ідеальними елементами затримки на час $t_{зм.п.ср}$, та не спотворюють фронти вхідних і вихідних сигналів. Нехай до моменту часу t_0 тригер знаходився у стані «0», а $R=S=0$. У момент часу t_0 сигнал S змінив своє значення з 0 на 1. У момент часу $t_1 = t_0 + t_{зм.п.ср}$ вихідний сигнал змінився з 1 на 0. Нульові сигнали, що діють на вході R і на виході в момент часу $t_2 = t_1 + t_{зм.п.ср}$, забезпечать появу сигналу 1 на виході Q . У цей самий момент можна зняти сигнал 1 із входу S , а сигнал 1 з виходу Q підтвердить сигнал на виході \bar{Q} у момент часу $t_3 = t_2 + t_{зм.п.ср}$.

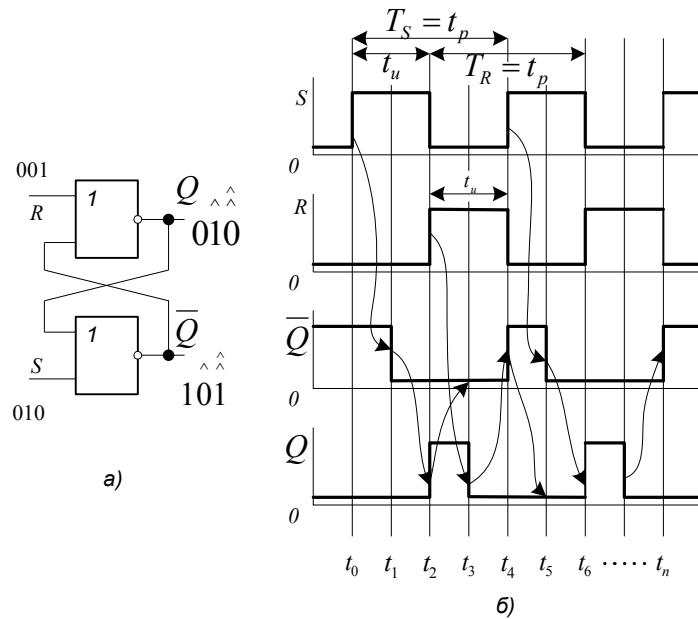


Рисунок 6.5- Граничний динамічний режим роботи RS -тригера:

а) схема; б) часова діаграма

Тоді з урахуванням поданого вище визначення безперебійного переми-
кання тригера можна записати

$$t_u = 2t_{zm.p.cp} ; t_{zm.nep} = 3t_{zm.p.cp} \tag{6.13}$$

З часової діаграми випливає, що

$$t_p = T_S = T_R = 4t_{zm.p.cp} \tag{6.14}$$

Асинхронний S -тригер функціонує відповідно до табл. 6.4, де S_R — вхід, що відповідає входу R , а S_S — вхід, що відповідає входу S RS -тригера. Відмінна риса S -тригера у тому, що при активних вхідних сигналах $S_R = S_S$ він встановлюється у стан «1». На рис. 6.6 закон функціонування S -тригера поданий у вигляді графа.

З табл. 6.4 видно, що при всіх наборах початкових змінних S_R і S_S тригер має стійкі стани; отже, характеристичне рівняння відображає структуру керованого потенціалом тригера, причому він містить тільки одну елементарну запам'ятовувальну комірку у вигляді RS -тригера.

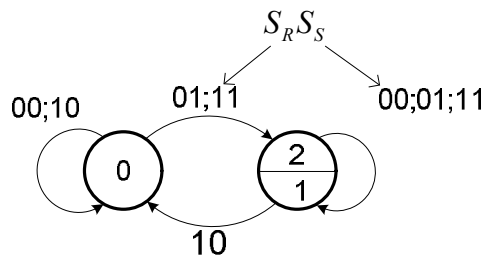


Рисунок 6.6- Граф асинхронного S - тригера

Таблиця 6.4- Таблиця функціонування асинхронного S-тригера

Набір	S_R	S_S	Q_t	Q_{t+1}	R^*	S^*
0	0	0	0	(0)	×	0
1	0	0	1	(1)	0	×
2	0	1	0	1	0	1
3	0	1	1	(1)	0	×
4	1	0	0	(0)	×	0
5	1	0	1	0	1	0
6	1	1	0	1	0	1
7	1	1	1	(1)	0	×

З карти Карно, зображеної на рис. 6.7, випливає, що

$$Q_{t+1} = S_S + \bar{S}_R Q_t. \quad (6.15)$$

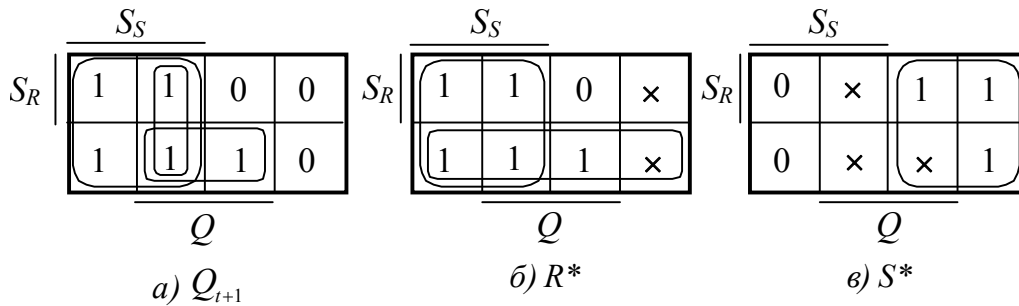


Рисунок 6.7- Карти Карно для S- тригера

Вираз (6.15) можна перетворити, якщо в карті Карно (рис. 6.7) використати додатковий контур:

$$\begin{aligned} Q_{t+1} &= S_S + S_S Q_t + \bar{S}_R Q_t = S_S + (S_S + \bar{S}_R) Q_t = \\ &= S_S + \overline{\overline{S_S + \bar{S}_R + \bar{Q}_t}} \end{aligned} \quad (6.16)$$

Звідси

$$\bar{Q}_{t+1} = \overline{\overline{S_S + \bar{S}_R + \bar{Q}_t}} \quad (6.17)$$

Незважаючи на те що вираз (6.17) і відображає структуру S-тригера, здійснені перетворення неочевидні.

Для спрощення процедури одержання структури S-тригера скористаємося узагальненою схемою тригерного пристрою (див. рис. 6.1) і шукатимемо функції збудження R^* і S^* елементарної запам'ятовувальної комірки. За комірку розглянемо RS-тригер, виконаний у базисі АБО–НЕ. У цьому випадку R^* і S^* -функції змінних S_R , S_S та Q .

Доповнимо табл. 6.4 для моменту $t + 1$ стовпцями R^* і S^* та внесемо в ці стовпці значення R^* , S^* , які забезпечують необхідний перехід $Q_t Q_{t+1}$, скориставшись табл. 6.2. Наприклад, на нульовому наборі S-тригер здійснює перехід

00, тоді з табл. 6.2 випливає, що в рядку з нульовим набором у стовпці R^* треба записати \times , у стовпці S^* — 0 і т.д. З рис. 6.7 випливає, що

$$R^* = S_R \bar{S}_S, \tag{6.18}$$

$$S^* = S_S. \tag{6.19}$$

Вважатимемо, що S -тригер цілком виконується в базисі АБО–НЕ. Тоді за правилом де Моргана з формули (6.18) знайдемо

$$R^* = \overline{\bar{S}_R + S_S}. \tag{6.20}$$

Отже, вираз (6.19) і (6.20) відображають структуру S -тригера, зображену на рис. 6.8.

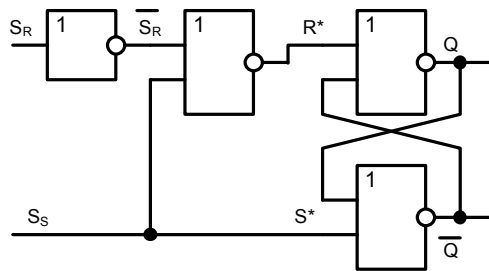


Рисунок 6.8-Схема S - тригера в базисі АБО–НІ

Іноді S -тригер називають RS -тригером із пріоритетним S -входом.

Структуру R - і E -тригерів можна одержати за методикою, наведеною для S -тригера. Аналогічно можна проаналізувати й основні характеристики швидкодії цих тригерів.

6.3 Асинхронні тригери з одним входом

Асинхронний D -тригер функціонує відповідно до табл. 6.5 (базис АБО–НЕ).

Закон функціонування D -тригера на рис. 6.9 поданий у вигляді графа.

Таблиця 6.5- Таблиця функціонування асинхронного D -тригера

Набір	D	Q_t	Q_{t+1}	R^*	S^*
0	0	0	(0)	\times	0
1	0	1	0	1	0
2	1	0	1	0	1
3	1	1	(1)	0	\times

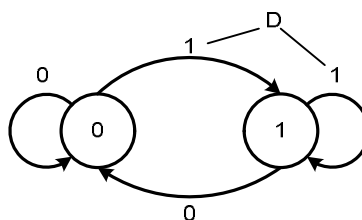


Рисунок 6.9- Граф асинхронного D - тригера

За аналогією з розглянутим вище S -тригером маємо (рис. 6.10):

$$Q_{t+1} = D ; \quad (6.21)$$

$$R^* = \bar{D} ; \quad (6.22)$$

$$S^* = D . \quad (6.23)$$

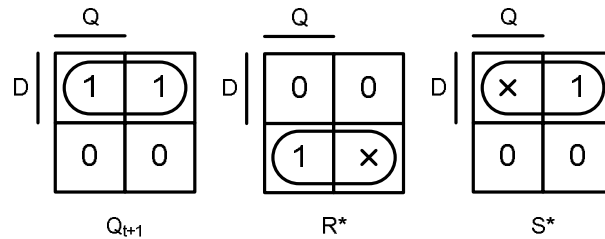


Рисунок 6.10- Карти Карно для D - тригера

Два останніх вирази визначають структуру тригера, здобуту на основі узагальненої схеми тригерного пристрою, однак з виразу (6.21) випливає, що отримана схема (рис. 6.11) є тривіальною, виродженою, оскільки D -тригер можна дістати з одного повторювача або двох послідовно ввімкнених інверторів, якщо потрібне парафазне подання вихідних сигналів. Схему, зображену на рис. 6.12, іноді називають RS -тригером із примусовим парафазним установленням.

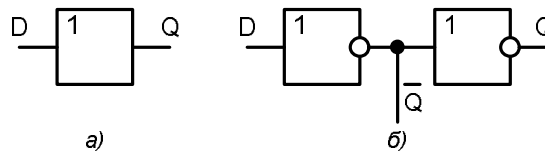


Рисунок 6.11- Тривіальна реалізація схеми D - тригера з однофазним та парафазним виходами

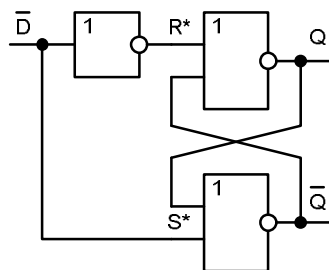


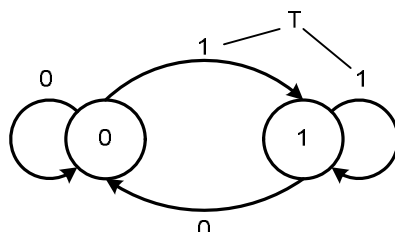
Рисунок 6.12- Схема D - тригера в базисі АБО–НІ.

Асинхронний T -тригер (лічильний тригер) функціонує відповідно до табл. 6.6 (базис АБО–НЕ).

Таблиця 6.6- Таблиця функціонування асинхронного T -тригера

Набір	T	Q_t	Q_{t+1}	R^*	S^*
0	0	0	(0)	\times	0
1	0	1	(1)	0	\times
2	1	0	1	0	1
3	1	1	0	1	0

Закон функціонування T -тригера на рис. 6.13 поданий у вигляді графа.

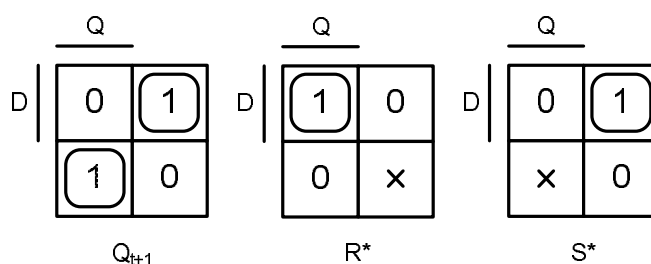
Рисунок 6.13- Граф асинхронного T - тригера з імпульсним керуванням

З табл. 6.6 видно, що при $T=1$ тригер має нестійкий стан, тобто перебуває в автоколивальному режимі. З цього випливає, що асинхронний T -тригер з імпульсним керуванням не може бути реалізований на одній елементарній запам'ятовувальній комірці. Аналіз роботи T -тригера з імпульсним керуванням викликає інтерес, через те що при $T=0$ тригер має стійкі стани. За аналогією з розглянутим вище S -тригером з рис. 6.14 впливає:

$$Q_{t+1} = T\bar{Q}_t + \bar{T}Q_t; \quad (6.24)$$

$$R^* = TQ_t = \overline{\bar{T} + \bar{Q}_t}; \quad (6.25)$$

$$S^* = T\bar{Q}_t = \overline{\bar{T} + Q_t}. \quad (6.26)$$

Рисунок 6.14- Карти Карно для T - тригера з імпульсним керуванням

Якщо схему виконано в базисі АБО–НЕ, а тригер керується перепадами 10 на вході T , дістанемо схему, зображену на рис. 6.15.

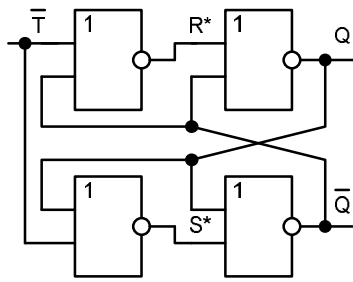


Рисунок 6.15- Схема T -тригера з імпульсним керуванням в базисі АБО–НІ

Якщо проаналізувати часові діаграми, то можна дійти висновку, що для усталеної роботи T -тригера необхідно, щоб $t_H \geq 2 \cdot t_{зп.р.ср}$, а для запобігання режиму генерації потрібно, щоб $t_H \leq 3 \cdot t_{зп.р.ср}$.

Труднощі забезпечення настільки жорстких вимог в інтегральній схемотехніці, елементи якої мають значний розкид затримок поширення, виключають реалізацію асинхронного T -тригера за цією схемою.

6.4 Синхронні тригери

Фактично синхронні тригери можна розглядати як особливий тип асинхронних тригерів, у яких існують певні обмеження на можливість дії інформаційних сигналів, що дає змогу істотно спростити їх синтез і аналіз. У синхронних тригерах допускається змінювати інформаційні сигнали тільки протягом періодів, коли тактові імпульси блокують входні ланцюги і запобігають зміні стану тригера (передбачено, що синхронний тригер має змінювати свій стан під впливом тактового імпульсу). Важлива перевага синхронних тригерів – маскування ефектів затримок, зумовлених затримками поширення логічних елементів та лінії передавання інформації. Остання обставина дає змогу вважати, що логічні елементи та лінії мають нульову затримку, а виходи і стани тригера можна розглядати тільки у фіксовані моменти часу. Ці припущення істотно спрощують аналіз і синтез будь-яких синхронних пристроїв.

Синхронний RS -тригер функціонує відповідно до табл. 6.7.

Припустімо, що синхронний RS -тригер має бути виконаний у базисі І-НЕ.

З табл. 6.7 видно, що цей тригер зберігає свій стан при $C=0$ і працює як асинхронний RS -тригер при $C=1$.

З карти Карно (рис. 6.16)

$$Q_{t+1} = SC + \bar{R}Q_t + Q_t\bar{C}, \quad (6.27)$$

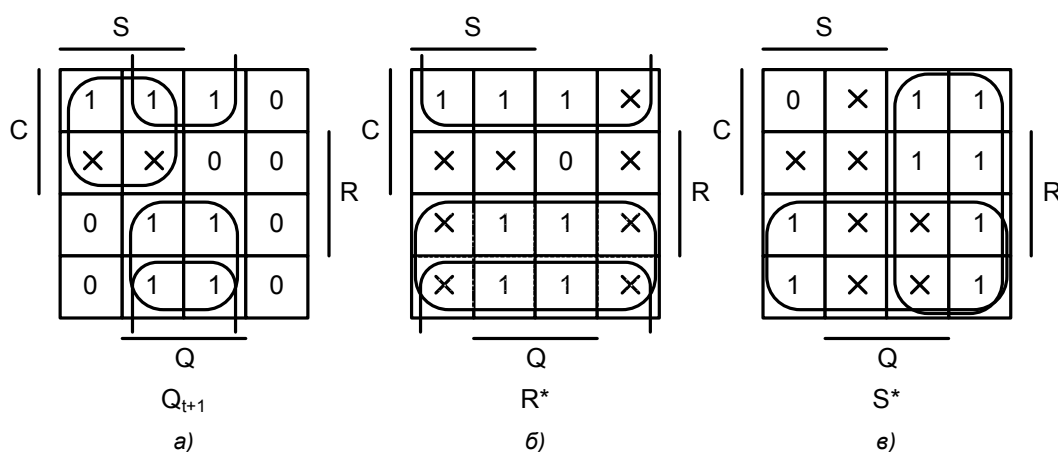
звідки при $C=1$ дістанемо (6.7), а при $C=0$ $Q_{t+1}=Q_t$.

$$R^* = \bar{R} + \bar{C} = \overline{RC}; \quad (6.28)$$

$$S^* = \bar{S} + \bar{C} = \overline{SC}. \quad (6.29)$$

Таблиця 6.7- Таблиця функціонування синхронного *RS*-тригера

Набір	C	R	S	Q _t	Q _{t+1}	R*	S*
0	0	0	0	0	0	×	1
1	0	0	0	1	1	1	×
2	0	0	1	0	0	×	1
3	0	0	1	1	1	1	×
4	0	1	0	0	0	×	1
5	0	1	0	1	1	1	×
6	0	1	1	0	0	×	1
7	0	1	1	1	1	1	×
8	1	0	0	0	0	×	1
9	1	0	0	1	1	1	×
10	1	0	1	0	0	1	0
11	1	0	1	1	1	1	×
12	1	1	0	0	0	×	1
13	1	1	0	1	1	0	1
14	1	1	1	0	0	×	×
15	1	1	1	1	1	×	×

Рисунок 6.16- Карти Карно для тактового *RS*- тригера

Вирази (6.28) та (6.29) визначають структуру тактового рівнем «1» *RS*-тригера, наведену на рис. 6.17, а. Синхронний *RS*-тригер, так само як і асинхронний *RS*-тригер, має заборонену комбінацію $RS = 11$. Її схему широко використовують при побудові регістрів.

Тактовані рівнем «1» *R*; *S*- та *E*-тригери при $C=0$ зберігають свій стан, а при $C=1$ працюють так само, як відповідно асинхронні *R*-, *S*- та *E*-тригери. Синтез цих тригерів аналогічний синтезу синхронного *RS*-тригера. Схеми цих тригерів зображено відповідно на рис. 6.17, б-г.

Тактові *R*-, *S*- і *E*-тригери, широко використовують у пристроях керування різних цифрових систем.

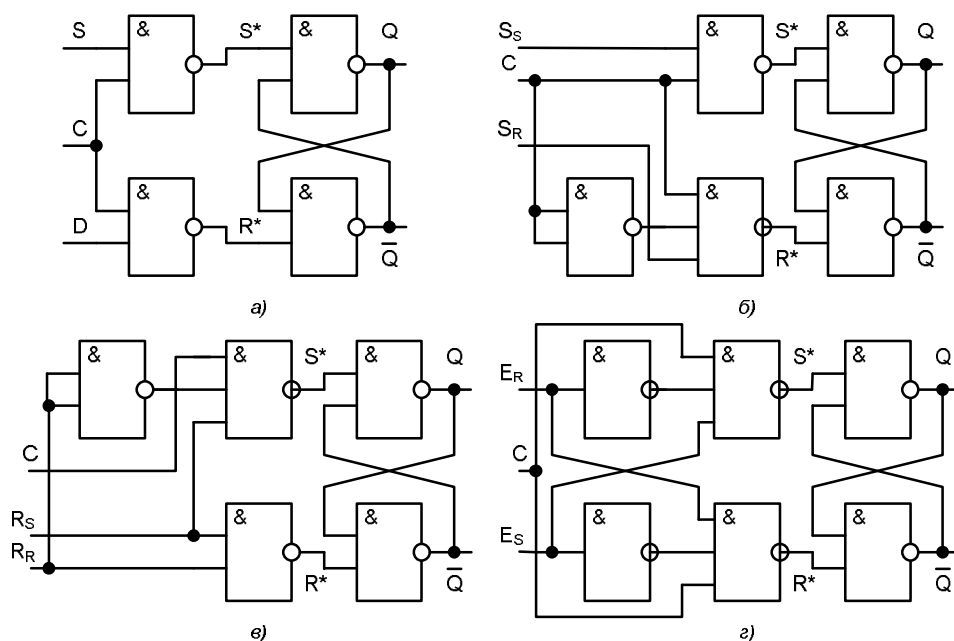


Рисунок 6.17- Схеми тактових тригерів

Синхронний D -тригер функціонує відповідно до табл.6.8. При $C=0$ він зберігає свій стан, а при $C=1$ працює як асинхронний D -тригер.

Таблиця 6.8- Таблиця функціонування синхронного D -тригера

Набір	C	D	Q_t	Q_{t+1}	R^*	S^*
0	0	0	0	0	×	1
1	0	0	1	1	1	×
2	0	1	0	0	×	1
3	0	1	1	1	1	×
4	1	0	0	0	×	1
5	1	0	1	0	0	1
6	1	1	0	1	1	0
7	1	1	1	1	1	×

З карти Карно (рис. 6.18)

$$Q_{t+1} = DC + Q_t \bar{C}, \quad (6.30)$$

звідки при $C=1$ дістанемо вираз (6.21), а при $C=0$ вираз $Q_{t+1} = Q_t$.

Якщо вхід D з'єднати з виходом Q тригера, то вираз для Q_{t+1} збігається з (6.24), тобто при $D = \bar{Q}$ D -тригер працює як лічильний тригер, однак, оскільки схема містить тільки одну запам'ятовувальну комірку, лічильний тригер на базі цього D -тригера може керуватися тільки імпульсом. Через це в такому режимі схему не використовують. З карт Карно (рис.6.18)

$$R^* = D + \bar{C} = \overline{\bar{D}C}; \quad (6.31)$$

$$S^* = \overline{D} + \overline{C} = \overline{DC}. \quad (6.32)$$

Щоб вилучити інвертор, необхідний для одержання змінної \overline{D} , вираз для R^* запишемо у вигляді

$$R^* = DC + \overline{C}. \quad (6.33)$$

Згідно з формулою (6.32), остаточно дістанемо

$$R^* = \overline{S^*} + \overline{C} = \overline{S^*C}. \quad (6.34)$$

Вирази (6.32) і (6.34) відображають структуру тактового D -тригера, зображеного на рис. 6.19. Цю схему використовують для побудови регістрів і в пристроях керування.

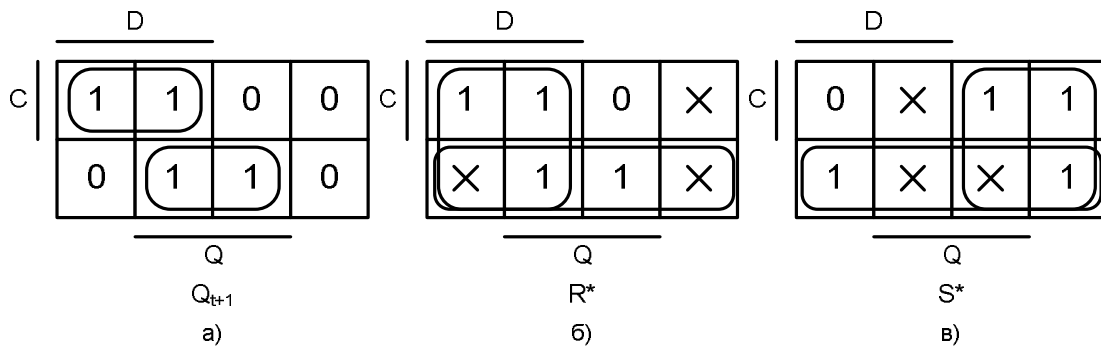


Рисунок 6.18 - Карти Карно для тактового D - тригера

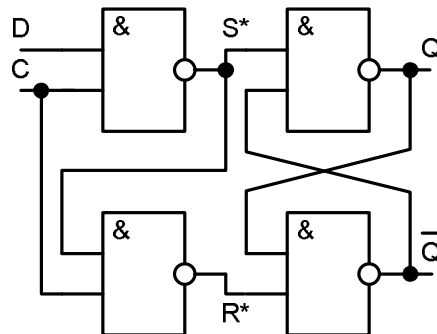


Рисунок 6.19- Схема тактового D - тригера в базисі І–НІ

У цифрових пристроях використовують RS -, RST -, DV -, D - та JK -тригери як основні типи тригерів, причому найпростіші тригери виконують на базових вентильних елементах (якщо їх немає в складі серії логічних елементів). Найчастіше використовують універсальні D - і JK -тригери.

Універсальні тригери можуть працювати в різних режимах і як різні типи тригерів. Позначення універсальних тригерів зображено на рис. 6.20. Характеристичні таблиці універсальних тригерів використовують при синтезі довільних цифрових пристроїв.

Таблиця 6.9 – це характеристична таблиця універсального D -тригера, що

працює в синхронному режимі. Універсальний D -тригер може працювати як асинхронний RS -тригер при використанні встановлювальних входів R і S , причому в цьому випадку на інформаційному і тактовому входах можуть діяти будь-які рівні «0» або «1».

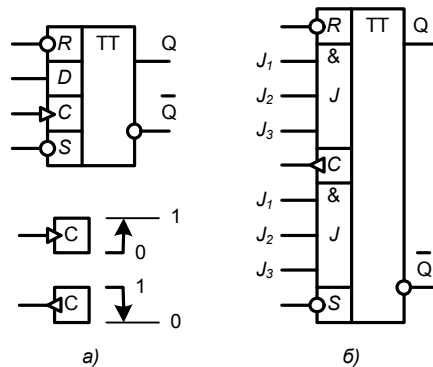


Рисунок 6.20 - Умовні позначки універсальних D - та JK -тригерів

Таблиця 6.10 – характеристична таблиця універсального JK -тригера, що працює в асинхронному режимі. У цьому режимі сигнал на тактовому вході C має постійний рівень «1». Ефективні сигнали J і K дорівнюють 1, якщо на відповідних входах має місце перехід 10, і дорівнюють 0 при переходах 01, 00, 11.

Таблиця 6.11 – характеристична таблиця універсального JK -тригера, що працює в синхронному режимі. У цьому режимі сигнали на входах J і K діють як рівні «0» і «1», а спрацювання тригера здійснюється за переходом 10 на тактовому вході C .

Таблиця 6.9- Характеристична таблиця універсального D -тригера

$Q_t \rightarrow Q_{t+1}$	D	C
00	0	1
01	1	
10	0	
11	1	0

Таблиця 6.10- Характеристична таблиця універсального JK -тригера в асинхронному режимі.

$Q_t \rightarrow Q_{t+1}$	J	K	C
00	0	×	1
01	1	×	1
10	×	1	1
11	×	0	1

Таблиця 6.11- Характеристична таблиця універсального JK -тригера в синхронному режимі.

$Q_t \rightarrow Q_{t+1}$	J	K	C
00	0	×	1
01	1	×	
10	×	1	
11	×	0	0

Наявність кон'юнкцій $J=J_1J_2J_3$ і $K=K_1K_2K_3$ в універсальних JK -тригерах не тільки дає змогу будувати різні типи тригерів (табл.6.12), але й істотно спрощує структуру довільних цифрових пристроїв (наприклад, лічильників, регістрів), а також будувати так названі безвентильні лічильники, тобто вимірювальні пристрої з похідним модулем рахунку тільки з використанням мікросхем JK -тригерів без яких-небудь додаткових логічних елементів. Універсальні D - і JK -тригери широко використовують при побудові лічильників, регістрів, суматорів, пристроїв керування, розподільників імпульсів, різних цифрових автоматів, при синтезі довільних тригерних структур тощо.

Таблиця 6.12- Характеристична таблиця різних типів універсального JK - тригера

Тип тригера	Функції входів універсального JK -тригера																	
	Асинхронний режим									Синхронний режим								
	R	J_1	J_2	J_3	C	K_1	K_2	K_3	S	R	J_1	J_2	J_3	C	K_1	K_2	K_3	S
\overline{RS}	\overline{R}	×	×	×	×	×	×	×	\overline{S}									
RS, JK	1	$S; J$			1	$R; K$			1									
RST									1	S			T	R				1
JK									1	J			C	K				1
D	1	D			1	\overline{D}			1	1	D		C	\overline{D}				1
DV	1	D		V	1	\overline{D}		V	1	1	D	V	C	\overline{D}	V			1
DV_1, V_2	1	D	V_1	V_2	1	\overline{D}	V_1	V_2	1	1	D	V_1	V_2	C	\overline{D}	V_1	V_2	1
T	1	T			1	T			1	1			T	1				1
TV	1	T		V	1	T		V	1	1	1	V	T	1		V		1

6.4 Приклади використання тригерів

Стартостопний пристрій у пристроях керування - сукупність будь-якого різновиду *RS*-тригера і керованого ним вентиля. На рис. 6.21, *а, б* наведено найпростішу реалізацію стартостопного пристрою на трьох вентилях з двома входами і часова діаграма його роботи. Тривалість τ_1 і τ_2 стартостопних імпульсів має бути достатньою для спрацьовування *RS*-тригера й одночасно менша за інтервал часу між стартостопними імпульсами, для того щоб виключити можливість появи на входах забороненої комбінації.

Якщо стартостопне керування формується за допомогою контактних перемикачів типу реле, кнопок тощо, то для поліпшення динамічних властивостей тригера і підвищення його завадостійкості «вільні» виводи мікросхем повинні слід зафіксувати на рівнях «0» та «1». Прикладом може бути схема, зображена на рис. 6.21, *в*. У цій схемі R_1 і R_2 вибирають зі співвідношення

$$R_1 = R_2 \leq U_{вих}^0 / I_{вих}^0. \quad (6.38)$$

Під час використання цієї схеми потрібно враховувати таке. Якщо сигнал «Старт» є одночасно сигналом устанавлення нуля (див. фрагмент схеми, що виконаний пунктиром), то схема неприйнятна. Після короткочасного замикання контактів «Старт» у колі устанавлення у стан «0» має бути рівень «1», а в цій схемі $U_{вих}^0 + R_1 I_{вих}^0$, де $U_{вих}^0$ — напруга на виході; $R_1 I_{вих}^0$ — спад напруги на резисторі від струму верхнього вентиля *RS*-тригера. Ця сума сприймається в колі устанавлення у стан «0» як рівень «0», що блокує роботу елементів, для яких призначене коло встанавлення у стан «0».

Зазначений недолік не можна усунути заміною резисторів R_1 і R_2 на резистори з високим опором, тому що схема буде практично не захищеною від завад. Як правило, цю схему використовують як генератор одиничних імпульсів (рис. 6.21, *г*), що усуває деренчання контактів перемикача.

До переваг схем, зображених на рис. 6.21, *в, г*, належить те, що резистори R_1 і R_2 не споживають потужності від джерела при розімкнених контактах (точніше, ця потужність мізерно мала). Недолік, зазначений для схеми, приведеній на рис. 6.21, *в*, усунутий у схемі, показаній на рис. 6.21, *д*, однак якщо за цією схемою виконувати генератор одиничних імпульсів, то резистор, у нормальному стані замкнутий на землю, буде споживати значну потужність від джерела живлення.

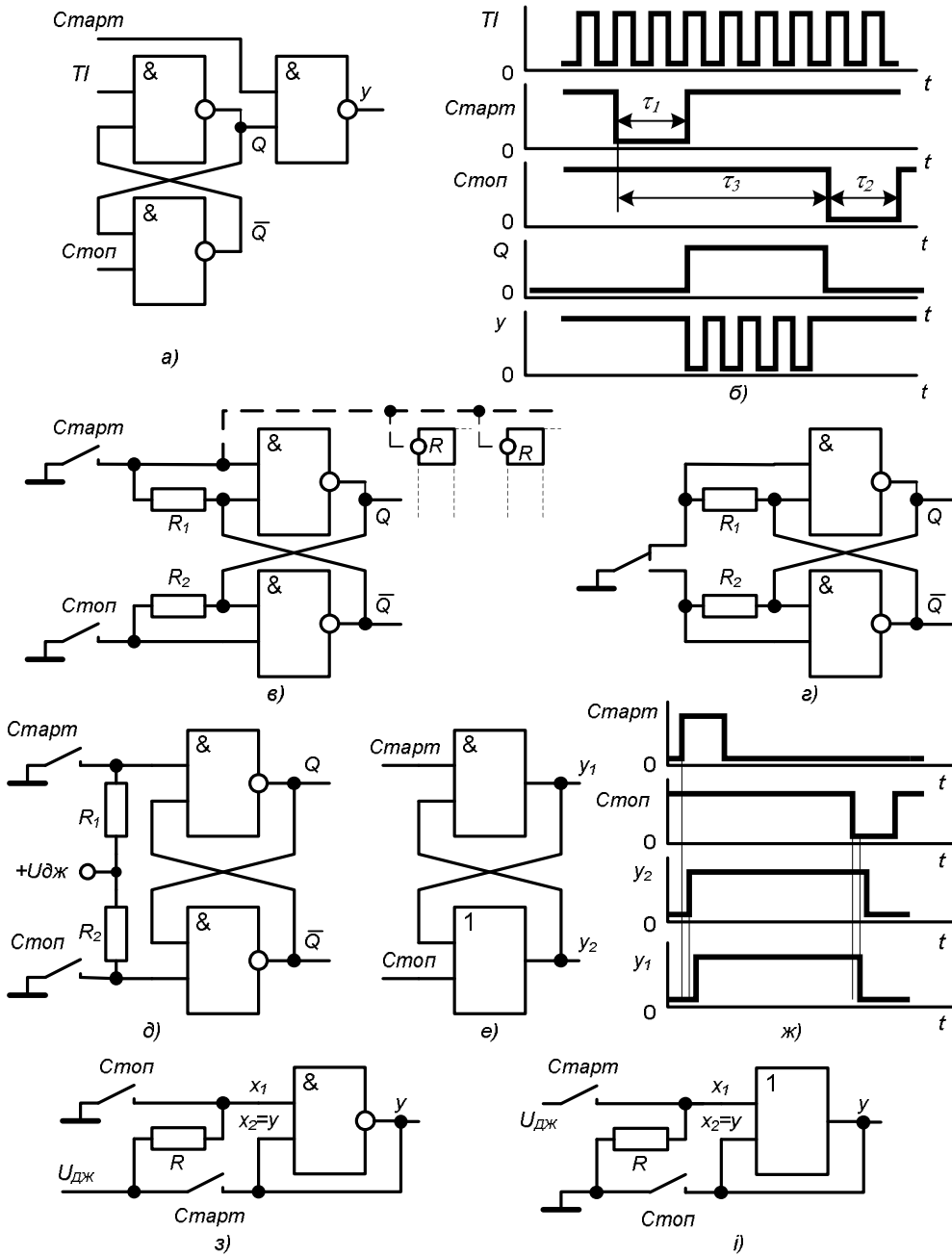


Рисунок 6.21- Варіанти схем стартостопних пристроїв з імпульсним керуванням

а — базова схема; *б–е, з, і* — реалізація структури *RS*- тригера;
б, ж — відповідні часові діаграми роботи схем *а* та *е*.

Можлива реалізація *RS*-тригера на одному вентилі І та одному вентилі АБО (рис. 6.23, *е*). У цього тригера на відміну від нормальних схем виходи не додаткові і керування на входах здійснюється перепадами різної полярності.

Як впливає з діаграми рис. 6.21, *ж*, на якій враховані затримки поширення сигналів, сигнал на виході y_1 цілком лежить усередині інтервалу часу,

що відповідає тривалості сигналу y_2 . Незавжно перекопатися, що на парах елементів І–НЕ, АБО–НЕ; АБО, І–НЕ не можна реалізувати тригерну структуру з використанням двох перехресних кіл зв'язку.

Реалізація *RS*-тригера на одному вентилі І або одному вентилі АБО наведено на рис. 6.21, ж, з. Припустімо, що керування схемою здійснюється контактами, які замикаються. На вході x_1 забезпечується рівень «1» через резистор R від джерела живлення; якщо короткочасно замкнути контакт «Старт», то на виході встановиться рівень «1» і буде утримуватися, тому що $x_2=y$. Короткочасне замикання контакту «Стоп» забезпечує появу «0» на виході й утримання його на вході $x_2=y$.

Схеми рис. 6.21, ж, з можна реалізувати тільки на вентилях, виконаних за структурою І=І–НЕ–НЕ, АБО=АБО–НЕ–НЕ, тобто з використанням пари елементів для одержання *RS*-тригера: І–НЕ, НЕ; АБО–НЕ, НЕ, але з одним перехресним зв'язком, хоча зовні вони виявляються як елементи І, АБО. Логічні операції І та АБО можна реалізувати монтажним способом. Схеми рис. 6.21, ж, з мають незвичайну властивість — між сигналом на одному з входів і сигналом на виході тут немає вентиляної затримки; однак у тригера є недолік — сигнал на одному з входів обов'язково збігається із сигналом на виході; при реалізації конкретної схеми її функціонування має забезпечуватися з передбаченням заходів захисту вентилів при одночасній дії сигналів «Старт» і «Стоп».

В усіх схемах на рис. 6.21, керування *RS*-тригерами здійснюється імпульсними сигналами для усунення заборонених комбінацій на їхніх входах. Однак іноді потрібно забезпечити комбіноване керування: на одному вході - імпульсне, а по іншому — перепадом потенціалів, причому будь-яке значення потенціалів, а також їхній протилежний перепад не повинні впливати на схему. Приклади схем, що задовольняють ці вимоги, наведено на рис. 6.22. Різними комбінаціями встановлювальних, інформаційних і тактових входів кількість схем можна істотно збільшити.

Розглянемо роботу схеми на рис. 6.22, а. Припустімо, що вихідний стан тригера - «0», а на входах R і S - «1» (рис. 6.22, б). Через те що на вході D постійно є рівень «0», переходи 01 підтверджують нульовий стан. Тригер можна встановити в стан «1» тільки імпульсним сигналом «Старт», а в стан «0» тригер перейде з приходом першого переходу 01 на вході «Стоп». Робота інших схем розглядають аналогічно.

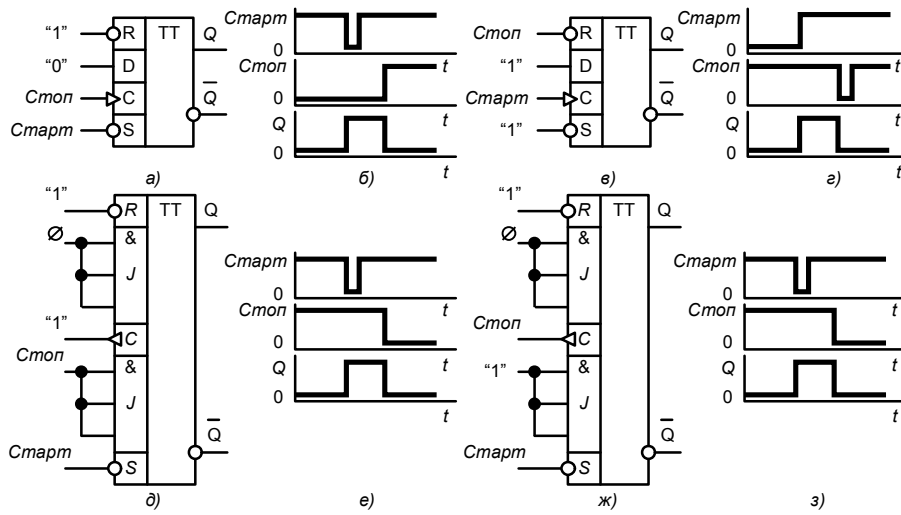


Рисунок 6.22 - Варіанти схем стартостопних пристроїв з комбінованим керуванням:

а, в — відповідно на *D*- тригері при $D=0$ та $D=1$;

б, г — відповідні часові діаграми роботи схем *а* та *в*;

д, ж — відповідно схеми на *JK*- тригері в асинхронному та тактовому режимах; *е, з* — відповідні часові діаграми роботи схем *д* та *ж*.

На рис. 6.23 приведені варіанти стартостопних пристроїв з керуванням переходами по обох входах.

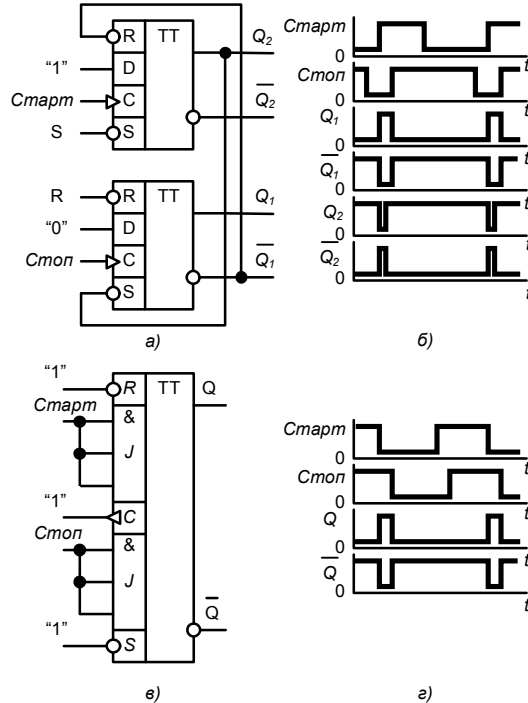


Рисунок 6.23- Варіанти схем стартостопних пристроїв з керуванням переходами:

а — схема на *D* — тригерах; *в* — схема на *JK*- тригері ;

б, г — відповідні часові діаграми роботи схем *а* та *в*.

Пристрої виділення та стробування (тактування) переходів 10 та 01.

У цифрових пристроях різного призначення часто виникає задача виділення переходів 10 і 01 асинхронних сигналів, що виникають у довільний момент часу, з одночасним прив'язуванням виділених переходів до моменту часу, зумовленого тактовими імпульсами. Приклади таких схем зображено на рис. 6.24. Розглянемо роботу схеми, наведеної на рис. 6.24, а. Завдання, що вирішує ця схема, можна сформулювати так: розробити цифровий пристрій, який виділяє перехід 10 асинхронного сигналу x та поміщує цей перехід у момент часу, що відповідає першому переходу 01 тактових імпульсів і виникає відразу після появи переходу 10 сигналу x , причому тривалість вихідного сигналу цифрового пристрою має дорівнювати тривалості тактового імпульсу.

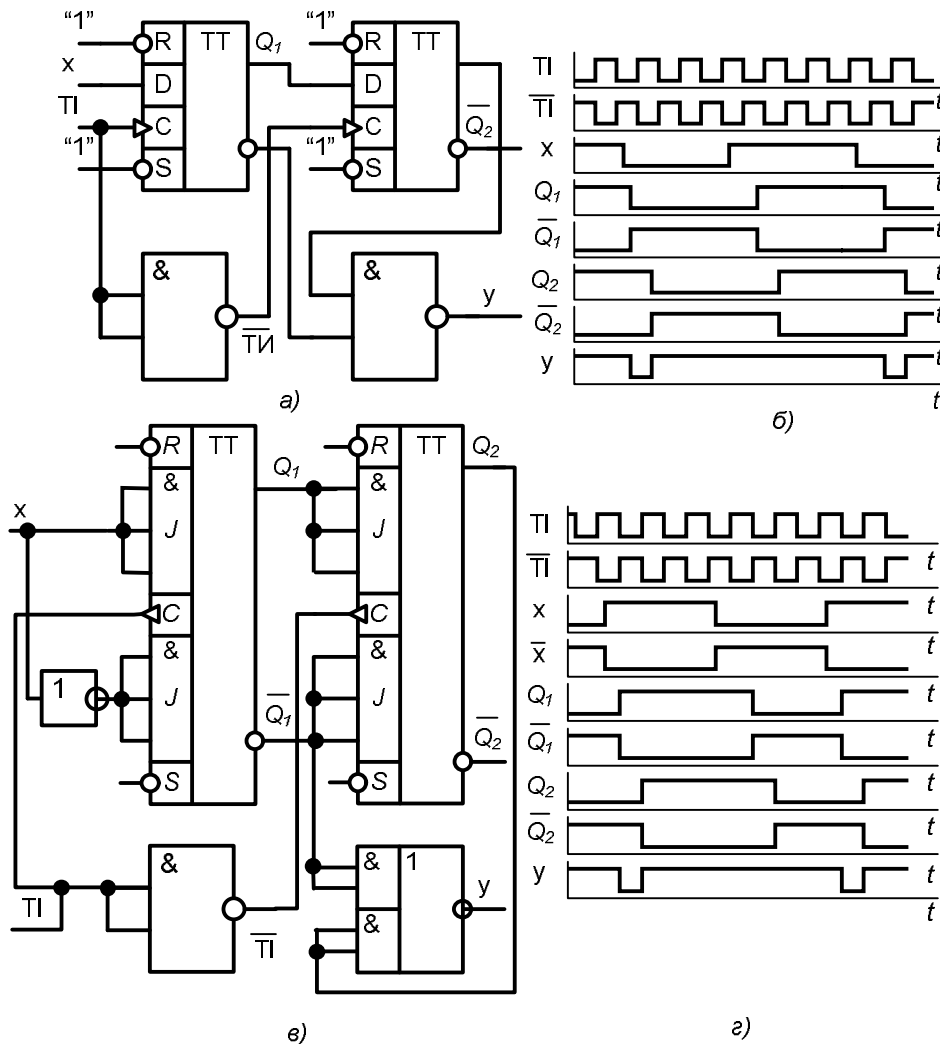


Рисунок 6.24- Схеми пристроїв виділення і тактування переходів 10 та 01

a — 10 на *D*-тригерах; *в* — 01 на *JK*-тригерах;

б, г — відповідні часові діаграми роботи схем *a* та *в*.

Подамо сигнал x на вхід D першого D -тригера; тоді кожен перехід 01 сигналу TI переводить тригер у стан $Q_1=x$. Вихід Q_1 з'єднаємо з входом D другого D -тригера; тоді кожен перехід 01 сигналу переводить тригер у стан $Q_2=Q_1=x$ зі зсувом на половину періоду тактових імпульсів (при шпаруватості 2). З часової діаграми (рис. 6.24, б) випливає, що вихідний сигнал y має вид

$$y = \overline{Q_1 Q_2}. \quad (6.39)$$

Зазначимо, що отриманий пристрій ніяк не реагує на перехід 01 сигналу x .

Роботу схеми, зображеної на рис. 6.24, в, що виділяє перехід 01 сигналу x та виконана на універсальних JK -тригерах пояснюють аналогічно.

Пристрій виділення сигналу запиту. У розглянутих вище схемах RS -тригерів не допускалася заборонена комбінація на входах. Однак, якщо не враховувати це правило, можна порівняно просто вирішити досить складні завдання з оброблення цифрових сигналів. Розглянемо пристрій виділення сигналів запиту переривання, зображено на рис. 6.25, а. Сигнали запиту переривання x_1 і x_2 приходять асинхронно й обробляються послідовно без пріоритету. Необхідно сформувати сигнал z наявності запиту та сигнали z_1 і z_2 , які вказують на те, що сигнал запиту обробляється. Передбачено, що наявність запиту (x_1 або x_2) кодується рівнем «1», а відсутність запиту — рівнем «0».

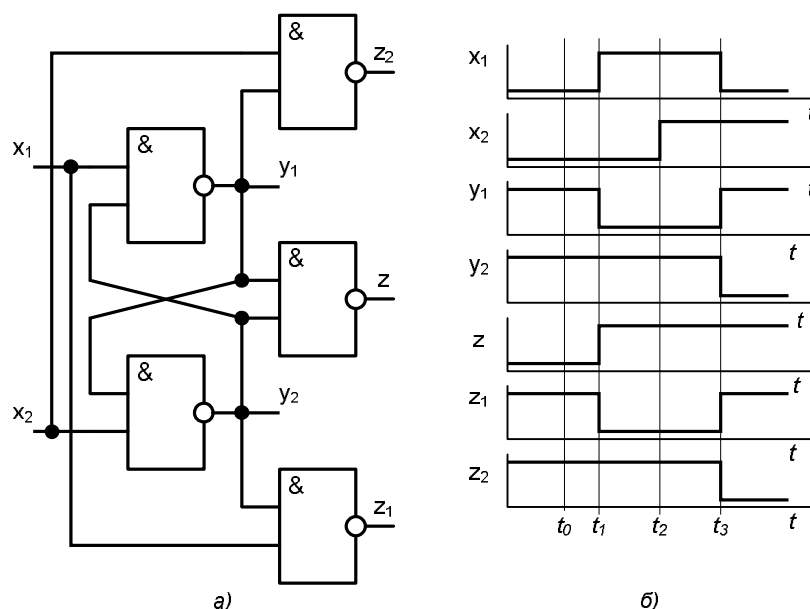


Рисунок 6.25- Схема пристрою виділення сигналів запиту та часова діаграма його роботи

Нехай у довільний момент часу t_0 $x_1=x_2=0$ (рис. 6.25, б), тобто немає жодного запиту. Комбінація $x_1x_2 = 00$ є забороненою для RS -тригера, тому $y_1 = y_2 = 1$ (тригер виродився в два незалежних інвертори), $z = 0$ (немає запиту), $z_1z_2 = 11$ (немає запиту).

Припустімо, в момент часу t_1 виник запит на вході x_1 , у цьому випадку RS -тригер устанавлюється в стан $y_1 = 0$, $y_2 = 1$, сигнал $z = 1$ (є запит), а $z_1z_2 = 01$ (запит на вході x_1). Якщо тепер у момент часу t_2 виникне запит x_2 , то він нічого не змінить у схемі, тому що RS -тригер перейде в режим збереження інформації доти, поки не зніметься запит x_1 . Якщо у момент часу t_3 знятий запит x_1 , але був запит x_2 , то в цьому випадку тригер перейде в стан ($y_1 = 1$, $y_2 = 0$, сигнал $z = 1$ (є запит), а $z_1z_2 = 10$ (запит на вході x_2). Якщо знову виникне запит на вході x_1 , то він нічого не змінить у схемі, тому що RS -тригер перебуває в режимі збереження інформації.

Цей принцип побудови схеми можна поширити на число входів більше ніж два. Уведенням елементів затримки на входах RS -тригера (або високостабільної схеми, якщо число входів більше ніж два) можна забезпечити пріоритет за швидкодією з одночасною появою сигналів запиту.

Пристрій виділення першого імпульсу потрібний при розробленні тактових генераторів одиничних імпульсів, пристроїв виділення переходів і т. ін.

Розглянемо схему, зображену на рис. 6.26, а, яка призначена для виділення одного тактового імпульсу після переходу 01 керуючого сигналу x .

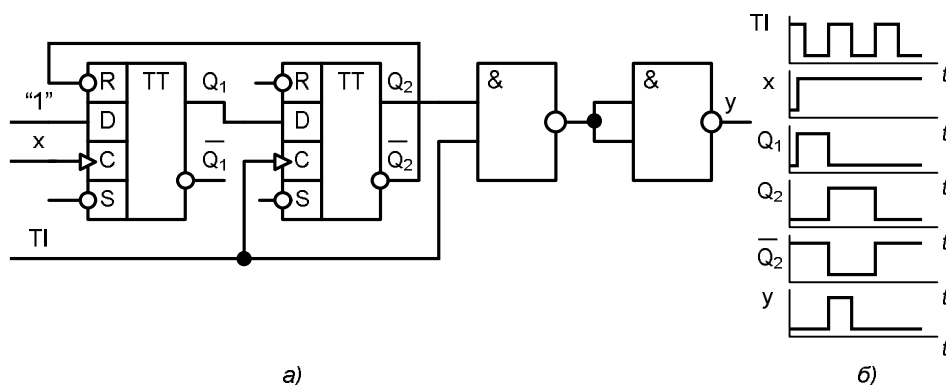


Рисунок 6.26- Схема пристрою виділення першого імпульсу та часові діаграми його роботи

На вході D першого тригера діє постійний рівень «1», на вході C другого тригера — безупинна послідовність TI . У вихідному стані обидва тригери перебувають у стані «0». Поява переходу 01 на вході x відразу встановлює перший

тригер у стан «1» (рис. 6.26, б), а перший після цього перехід 01 на вході C другого тригера встановлює другий тригер у стан «1», так як $D = Q_1$, при цьому з виходу Q_2 рівень «0» установлює перший тригер по асинхронному вході R у стан «0» і утримує в ньому доти, поки другий тригер перебуває в стані «1». Наступний перехід 01 TI установить у стан «0» і другий тригер, тобто схема повернеться до початкового стану. Як впливає з часової діаграми, зображеної на рис. 6.26, б, тривалість сигналу на виході Q_2 дорівнює періоду TI , а тривалість вихідного сигналу u — тривалості тактового імпульсу.

ПИТАННЯ ДО РОЗДІЛУ

1. Що таке тригерні пристрої (тригери)? Назвіть галузі їх застосування.
2. Наведіть класифікацію тригерів за визначальними ознаками.
3. Якими параметрами і характеристиками визначається робота тригера в статичному та динамічному режимах?
4. Чим розрізняються між собою одно- і двохступеневі тригери різних типів ?
5. Якими способами можна описати закон функціонування тригера?
6. Що розуміють під записом залежності для схем на тригерах? Приведіть приклад.
7. Перелічіть різновиди і RS-тригера.
8. Наведіть схему RS-тригера в базисі І-НЕ.
9. Наведіть схему RS-тригера в базисі АБО-НЕ.
10. Наведіть схему D-тригера в базисі АБО-НЕ.
11. Чим принципово відрізняється робота схеми Т- тригера від роботи RS - тригера?
12. Наведіть схему тактового D-тригера в базисі І-НЕ.
13. Що таке лічильний тригер? Що таке рахунковий режим роботи універсального тригера?
14. Що таке синхронні тригери?
15. Чим відрізняється тригер, керований по рівню сигналу від керованого по фронту тригера?
16. Намалюйте схему перетворення RS- тригера, керованого по зворотному фронту, в JK- тригер, керований по передньому фронту. Можна застосовувати будь-які додаткові логічні елементи.
17. Доведіть можливість перетворення синхронного RS- тригера в D- тригер; JK- тригера в D- і Т- тригери.

ЗАДАЧІ ДЛЯ САМОСТІЙНОГО ТА ІНДИВІДУАЛЬНОГО РОЗВ'ЯЗУВАННЯ

- Що відбудеться з JK- тригером, якщо подати на його вхід синхронізації серію активуючих тактових імпульсів, за умови, що значення на виході Q в початковий момент часу дорівнює 0, а вхідні функції мають вигляд:
 $J = 1 \quad K = \overline{Q}$
- Докресліть не показану часову діаграму для виходу JK- тригера з перемиканням по позитивному фронту (рис. 6.27).

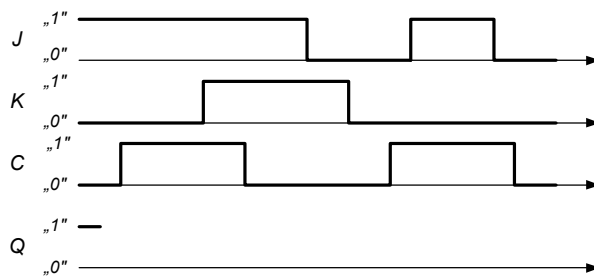


Рисунок 6.27- Часові діаграми до задачі 2

- Намалюйте вихідні сигнали Q_1 для часових діаграм на рис. 6.28, якщо:
 - тригер перемикається переднім фронтом синхроімпульса,
 - тригер перемикається заднім фронтом синхроімпульса.

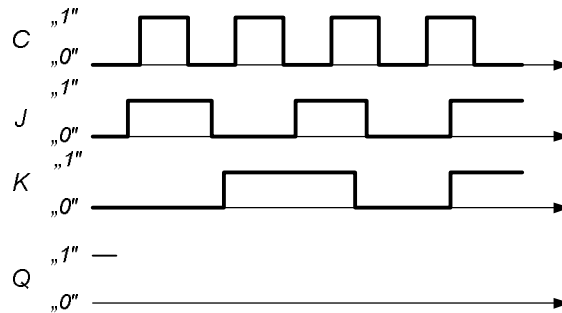


Рисунок 6.28 - Часові діаграми до задачі 3

- Провести аналіз роботи пристрою, зображеного на рисунку 6.29, табличним способом.

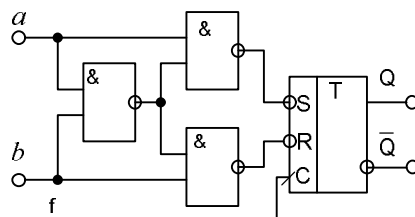


Рисунок 6.29 - Схема пристрою до задачі 3

ПІДСУМКИ

НЕОБХІДНО ЗРОЗУМІТИ

1. Особливістю послідовних логічних пристроїв є залежність вихідного сигналу не тільки від діючих в даний момент на вході логічних змінних, але і від тих значень змінних, які діяли на вході в попередні моменти часу.
2. Функцію запам'ятовування значень логічних змінних в цифрових схемах виконують так звані тригерні елементи або тригери, тобто вони є невід'ємною частиною будь-якого послідовного пристрою.
3. У загальному випадку тригер містить власне елемент пам'яті і деяку вхідну комбінаційну схему, що перетворює вхідні сигнали тригера в сигнали, які необхідні для управління елементом пам'яті.

СЛІД ЗАПАМ'ЯТАТИ

1. Тригером називається пристрій, здатний формувати два стійкі значення вихідного сигналу та стрибкоподібно змінювати ці значення під дією зовнішнього управляючого сигналу.
2. Як базові елементи на основі яких може бути побудований тригер, можуть використовуватися елементи І-НЕ або АБО-НЕ.
3. Принципові схеми RS- тригера в базисі І-НЕ та АБО-НЕ
4. Основні принципи побудови і функціонування найпоширеніших тригерів RS, S, D, T.
5. Асинхронний тригер змінює свій стан безпосередньо у момент зміни сигналу на його інформаційних входах, тобто його безпосередня реакція на зміну вхідного сигналу подібна реакції комбінаційного елемента.
6. Синхронний тригер змінює свій стан лише в певні (тактові) моменти часу, відповідні дії активного сигналу на його синхронізуючому вході та не реагує на будь-які зміни інформаційних сигналів при пасивному значенні сигналу на синхронізуючому вході.
7. Для опису роботи тригера використовують таблиці переходів, що визначають, які логічні сигнали необхідно подати на його інформаційні входи для переходу з одного заданого стану в інший заданий стан.

ТРЕБА ВМІТИ

1. Визначати призначення тригерів
2. Наводити принципові схеми тригерів та пояснювати принцип їх роботи

РОЗДІЛ 7. ПОСЛІДОВНІ ЦИФРОВІ ПРИСТРОЇ

7.1 Регістри зсуву

На рис. 7.1 зображено цифровий автомат, що складається з m послідовно з'єднаних D -тригерів, функції збудження яких мають вид

$$D_1 = x, D_r = Q_{r-1}, r = 2, 3, \dots, m. \quad (7.1)$$

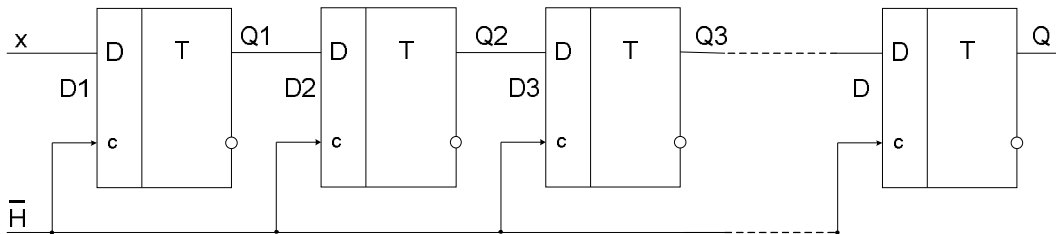


Рисунок 7.1- Регістр зсуву

Зі співвідношення (7.1) випливає, що інформація, яка зберігається у деякому такті в тригері Q_{r-1} , передається в наступному такті в тригер Q_r , тобто відбувається зсув інформації від тригера до тригера. Такі автомати називаються регістрами зсуву. Їх використовують для зсуву m -розрядних чисел в одному напрямку (значення вхідного сигналу x , що відповідає деякому такту, з'являється на виході регістра зсуву Q_m через m тактів).

Якщо Q_m — старший розряд, то відбувається зсув убік або ліворуч старших розрядів. Якщо Q_m вважати молодшим розрядом, то відбувається зсув убік або праворуч молодших розрядів. Крім основного призначення (зсув чисел) регістри зсуву, використовують і для зсуву нечислової інформації (наприклад, у разі побудови з них лічильників).

На рис. 7.2 зображено 8-розрядний регістр зсуву, що є здвоєним 4-розрядний регістром зсуву. Асинхронні входи R' призначені для установлення регістра зсуву у стані «0». Даний регістр зсуву можна використовувати для перетворення послідовного коду на паралельний (зчитування в цьому випадку проводиться з восьми виходів регістра за допомогою схем І після введення в нього 8-розрядного коду).

Регістр зсуву можна виконати і з RS -тригерів. Дійсно, підставивши у функцію переходів (7.1) значення $S=D$ і $R = \bar{D}$ ($R = \bar{S}$), одержимо функцію переходів $Q^+ = D$, тобто функції збудження S_r і R_r регістра зсуву, виконаного на RS -тригерах, на підставі функції (7.1) можна подати у такому вигляді:

$$S_1 = x, S_r = Q_{r-1}, R_1 = \bar{x}, R_r = \bar{Q}_{r-1}, r = 2, 3, \dots, m,$$

або $S_1 = x, S_r = Q_{r-1}, r = 2, 3, \dots, m, R_r = \bar{S}_r, r = 1, 2, \dots, m.$

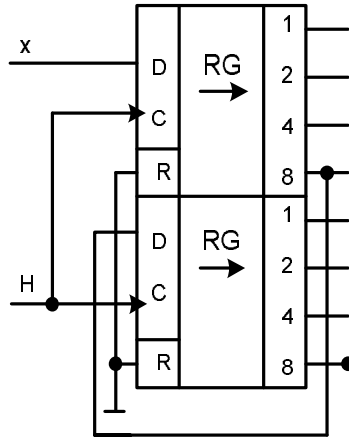


Рисунок 7.2 - Восьмирозрядний регістр зсуву

Часто потрібні більш складні регістри зсуву: з паралельним синхронним записом інформації, реверсивні, реверсивні з паралельним синхронним записом інформації. Такі регістри називаються універсальними.

Мікросхема К155ІР1 – це 4-хрозрядний регістр зсуву із синхронним записом інформації (рис. 7.3), виконаний на основі чотирьох RS -тригерів. Функції збудження S_r і R_r цих тригерів мають вигляд:

$$S_1 = D_1 V \vee D \bar{V},$$

$$S_r = D_r V \vee Q_{r-1} \bar{V}, r = 2, 3, 4, \quad (7.2)$$

а $R_r = \bar{S}_r$, де $r = 1, 2, 3, 4.$

Вхід D є входом послідовного введення інформації. Через H_r позначимо мемо сигнал, який надходить на тактовий вхід r -го тригера навіть у тому випадку, якщо H_r не залежить від r . Залежно від внутрішньої структури тригерів впливати на них можуть сигнали dH_r або $d\bar{H}_r$. У цьому випадку

$$H_r = VC_2 \vee \bar{V} \bar{C}_1 \text{ та}$$

$$dH_r = \bar{V} \bar{V} * dC_1 \vee V V * dC_2 \vee C_1^* \bar{C}_2 d\bar{V} \vee \bar{C}_1 C_2^* dV \quad (7.3)$$

З цього співвідношення випливає, що на тригери можуть впливати сигнали $dC_1, dC_2, d\bar{V}$ і dV .

Через те що сигнал V входить у функції збудження (7.2), то його зміни не повинні впливати на тригери. З виразу (7.3) випливає, що для цього сигнал V має змінюватися тільки при значеннях $C_1 = C_2 = 0$ або $C_1 = C_2 = 1$.

У цьому випадку

$$dH_r = \overline{V}\overline{V}^* dC_1 \vee VV^* dC_2 \quad (7.4)$$

(тут, наприклад, множник VV^* означає, що сигнал V не повинний змінюватися з 0 на 1 при $dC_2 = 1$).

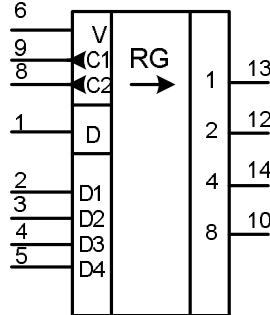


Рисунок 7.3- Регістр зсуву, з синхронним паралельним записом К155ИР1

З виразів (7.2) і (7.3) випливає, що при $V = 0$, функції збудження $S_l = D$, $S_r = Q_{r-1}$ та сигнал $dH_r = dC_1$, тобто схема працює як регістр зсуву за від'ємним перепадом (з 1 на 0) сигналу C_1 , а при $V = 1$, функції збудження $S_r = D_r$ і сигнал $dH_r = dC_2$, тобто схема працює в режимі синхронного запису в регістр значень сигналів D_r за від'ємним перепадом сигналу C_2 . Якщо у формулі (7.4) взяти $C_1 = C_2 = C$, то отримаємо, що сигнал $dH_r = dC$, тобто залежно від значення сигналу V буде вироблятися запис або зсув за від'ємним перепадом того самого сигналу C .

З виразів (7.2) і (7.3) випливає, що при $V = C_2$ функції збудження $S_1 = D_1 C_2 \vee D \overline{C_2}$, $S_r = D_r C_2 \vee Q_{r-1} C_2$ і сигнал $dH_r = \overline{C_2} dC_1 \vee \overline{C_1} dC_2$, тобто при $C_1 = 0$ відбувається запис інформації у регістр за від'ємним перепадом сигналу C_2 , а при $C_2 = 0$ — зсув її за від'ємним перепадом сигналу C_1 . На підставі формул (7.2) і (7.3) легко переконалися, що при $V = C_1$ можливий тільки запис інформації за від'ємним перепадом сигналу C_1 при значенні сигналу $C_2 = 1$.

Якщо в регістрі зсуву (див. рис. 7.1) змінити напрямок зсуву інформації, то функції збудження D -тригерів визначатимуться співвідношеннями

$$D_r = Q_{r+1}, r = 1, 2, \dots, m-1, D_m = y. \quad (7.5)$$

Якщо функції збудження (7.1) і (7.5) об'єднати в такий спосіб:

$$\left. \begin{aligned} D_1 &= Q_2 V \vee x \overline{V}, & D_r &= Q_{r+1} V \vee Q_{r-1} \overline{V}, \\ r &= 2, 3, \dots, m-1, & D_m &= y V \vee Q_{m-1} \overline{V}, \end{aligned} \right\} \quad (7.6)$$

то одержимо реверсивний регістр зсуву (при $V = 0$ — зсув ліворуч, а при $V = 1$

— праворуч). На мікросхемах К155ИР1 можна виконати реверсивний регістр зсуву, якщо для зсуву праворуч використовувати входи D_r , призначені для паралельного синхронного запису інформації. Ця можливість впливає з порівняння співвідношень (7.2) і (7.6). На рис. 7.4 зображено 8-розрядний реверсивний регістр зсуву, виконаний на двох мікросхемах К155ИР1. Можливості рівнозбіжного запису в даному регістрі відсутня. Для зсуву ліворуч можна було б використовувати тактовий вхід C_1 , а для зсуву праворуч — тактовий вхід C_2 . З виходів z_1 і z_2 знімається послідовний код при зсуві праворуч і ліворуч.

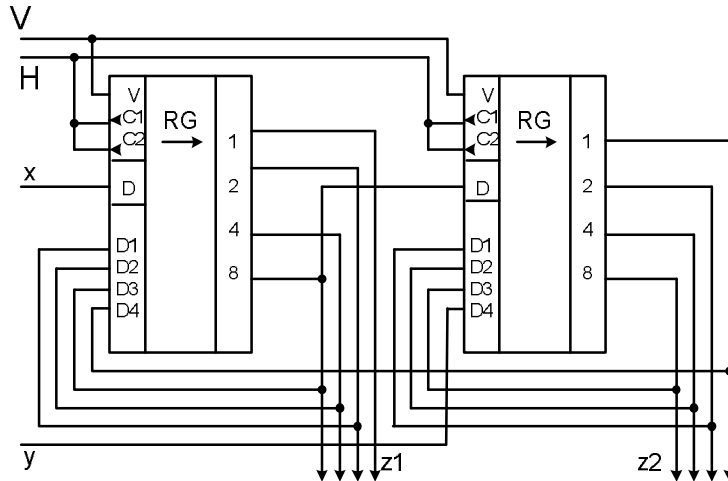


Рисунок 7.4- Восьмирозрядний реверсивний регістр зсуву.

Мікросхема К155ИР13 є 8-розрядним реверсивним регістром зсуву, з паралельним синхронним записом інформації (рис. 7.5), виконаний на основі RS-тригерів.

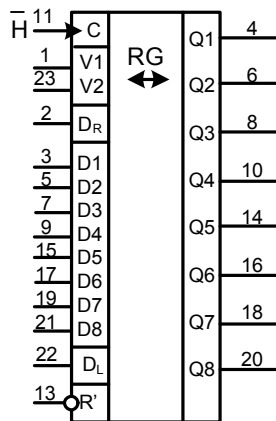


Рисунок 7.5- Восьмикорозрядний реверсивний регістр зсуву з синхронним паралельним записом

Функції збудження S_r і R_r цих тригерів описуються виразами :

$$\left. \begin{aligned} S_1 &= Q_2 \bar{V}_1 \vee D_R \bar{V}_2 \vee D_1 V_1 V_2 \\ S_r &= Q_{r+1} \bar{V}_1 \vee Q_{r-1} \bar{V}_2 \vee D_r V_1 V_2, r = 2, 3, \dots, 7, \\ S_8 &= D_L \bar{V}_1 \vee Q_7 \bar{V}_2 \vee D_8 V_1 V_2, R_r = S_r, r = 1, 2, \dots, 8, \end{aligned} \right\} \quad (7.7)$$

де D_R і D_L — вхідні сигнали у разі послідовного введення інформації при зсувах ліворуч і праворуч. Імпульсний тактовий сигнал dH_r , що впливає на тригери, визначається співвідношенням

$$\begin{aligned} dH_r &= d[(V_1 \vee V_2) \bar{C}] = \\ &= (V_1 \vee V_2)^* d\bar{C} \vee \bar{C}^* d(V_1 \vee V_2). \end{aligned} \quad (7.8)$$

З цього співвідношення випливає, що сигнали V_1 і V_2 , не повинні змінюватися при значенні сигналу $C = 0$, тому що вони входять у функції збудження (7.7), а зсув і запис інформації відбуваються за додатним перепадом (з 0 на 1) сигналу C при $V_1 \vee V_2 = 1$. З виразів (24.7) випливає, що при $V_1 = 0$ і $V_2 = 1$ відбувається зсув інформації праворуч, при $V_1 = 1$ і $V_2 = 0$ — ліворуч, а при $V_1 = V_2 = 1$ — запис інформації в регістр. Регістр має асинхронний потенційний вхід R' для встановлення нульового стану регістра.

7.2 Лічильники за mod M

Будь-який лічильник можна виконати у вигляді синхронного, асинхронного потенційного або асинхронного імпульсного автомата. Асинхронні потенційні лічильники через їхню складність використовувати недоцільно. Асинхронні імпульсні лічильники можна виконати із синхронних лічильників за допомогою деяких перетворень. Розглянемо в основному синхронні лічильники та лічильники змішаного типу (синхронні лічильники з асинхронним потенційним установленням деякого внутрішнього стану).

Синхронним лічильником за mod M називають цифровий синхронний автомат без входів, що має M різних внутрішніх станів, які циклічно змінюються під впливом змін тактового сигналу H з 1 на 0 (чи з 0 на 1). На відміну від реверсивних лічильників і лічильників зі змінним коефіцієнтом перерахування лічильники за mod M не мають вхідних сигналів x , які керують переходами між внутрішніми станами.

Один із M внутрішніх станів лічильника вибирають як початковий. Оскільки внутрішні стани лічильника змінюються циклічно, то після M змін тактового сигналу з 1 на 0 (або з 0 на 1) лічильник повертається в початковий стан, що свідчить про його переповнення. Якщо лічильник перебував в початковому

стані і тактовий сигнал H змінився N раз, то при $N > M$ за кінцевим станом лічильника можна визначити лише залишок від розподілу числа N на M , тобто рахунок здійснюють за модулем M . Число M називають коефіцієнтом перерахування лічильника. Найпростішим є лічильник за $\text{mod } 2$, що становить собою T -тригер при $T \equiv 1$. Дійсно, при $T = 1$ наступний стан тригера $Q^+ = Q \oplus dH$, а при $dH = 1$ стан $Q^+ = \bar{Q}$, тобто стан тригера 0 і 1 циклічно змінюється при кожній зміні тактового сигналу H з 1 на 0. Граф переходів лічильника за $\text{mod } 2$ зображено на рис. 7.6, а.

На рис. 7.6, б наведено граф переходів лічильника за $\text{mod } 7$, внутрішні стани якого позначені цифрами від 1 до 7. Для одержання семи різних внутрішніх станів потрібно використовувати не менше ніж три тригери.

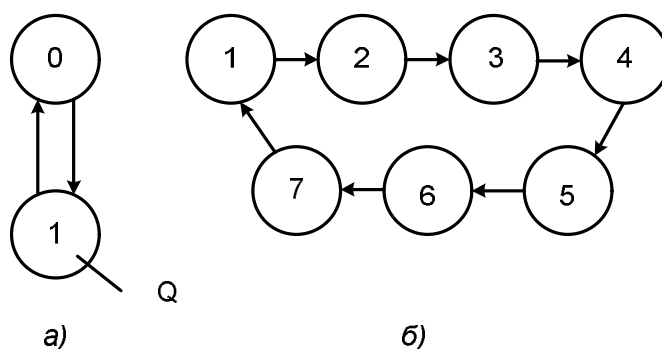
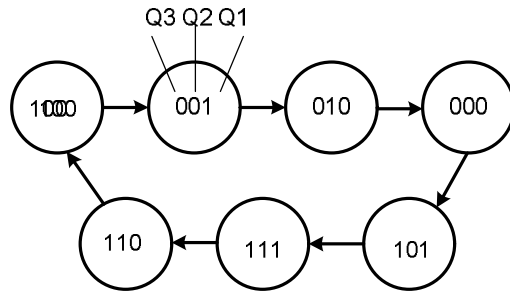


Рисунок 7.6 - Графи переходів лічильників за $\text{mod } 2$ та $\text{mod } 7$
а) $\text{mod } 2$; б) $\text{mod } 7$

Спосіб кодування внутрішніх станів лічильника може бути довільним (важливо тільки, щоб усі внутрішні стани були різні). У загальному випадку від обраного способу кодування внутрішніх станів автомата залежить його складність. Закодуємо внутрішні стани лічильника значеннями вихідних сигналів трьох тригерів Q_1 , Q_2 і Q_3 так, як показано на рис. 7.7.

На підставі рис. 7.7 можна укласти таблицю істинності (табл. 7.1) і діаграми Вейча для функцій Q_3^+ , Q_2^+ , Q_1^+ (рис. 7.8). Для синтезу лічильників, як і будь-яких цифрових автоматів, можна використовувати тригери типів: D , T та JK . Складність автомата в загальному випадку залежить від використаних типів тригерів. Слід мати на увазі, що в одному автоматі можна використовувати тригери різних типів. Зробимо синтез лічильника за $\text{mod } 7$ із тригерів типів D , T та JK . Для цього потрібно знайти їх функції збудження D_r , T_r , J_r і K_r ($r = 1, 2, 3$).

Рисунок 7.7 - Граф переходів лічильника за $\text{mod } 7$ Таблиця 7.1- Таблиця істинності лічильника за $\text{mod } 7$

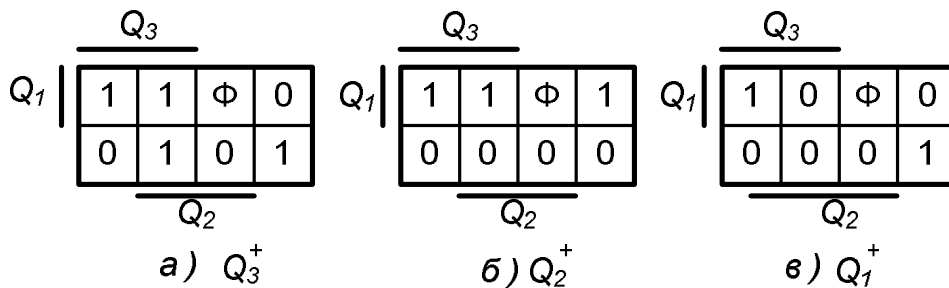
i	Q_3	Q_2	Q_1	Q_3^+	Q_2^+	Q_1^+
4	1	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	0	0
0	0	0	0	1	0	1
5	1	0	1	1	1	1
7	1	1	1	1	1	0
6	1	1	0	1	0	0

З функції переходів D -тригера (7.7) випливає, що функції збудження

$$D_r = Q_r^+, \quad (7.9)$$

тому функції збудження тригерів лічильника за $\text{mod } 7$ знаходять за діаграмами Вейча, зображених на рис. 7.8:

$$D_1 = \overline{Q_1} \overline{Q_2} \vee \overline{Q_2} Q_3, D_2 = Q_1, D_3 = Q_2 Q_3 \vee Q_1 Q_3 \vee \overline{Q_1} \overline{Q_2} \overline{Q_3}.$$

Рисунок 7.8- Діаграма Вейча для функції переходів лічильника за $\text{mod } 7$

З функції переходів T -тригера і властивостей операції «сума за модулем два» випливає, що функції збудження $T_r = Q_r^+ \oplus Q_r$, тобто

$$T_r = \begin{cases} Q_r^+, & \text{якщо } Q_r = 0 \\ Q_r^+, & \text{якщо } Q_r = 1 \end{cases} \quad (7.10).$$

За цим співвідношенням заповнюються діаграми Вейча для функцій збудження T_1, T_2 і T_3 (рис. 7.9) — у половину діаграми Вейча, позначену Q_r , заносяться значення \bar{Q}_r^+ , а в іншу половину — значення Q_r^+ з діаграм Вейча для функцій Q_r^+ (див. рис. 7.8).

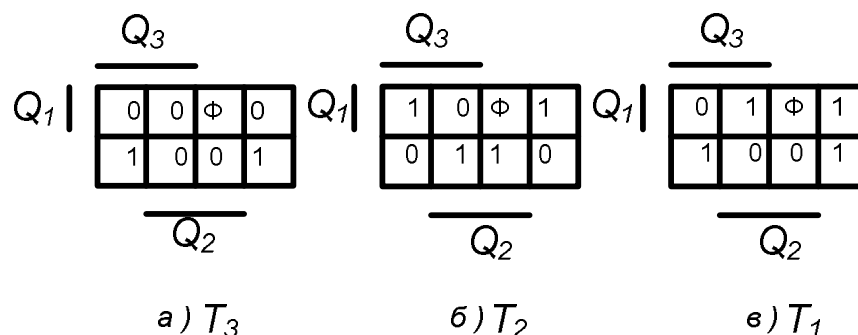


Рисунок 7.9 - Синтез лічильника за mod 7 на тригерах типу T

З рис. 7.9 випливає, що функції збудження T -тригерів лічильника за mod 7

$$T_1 = Q_1 \oplus \bar{Q}_2 \vee \bar{Q}_2 \bar{Q}_3, T_2 = Q_1 \oplus Q_2, T_3 = \bar{Q}_1 \bar{Q}_2.$$

З функції переходів JK -тригера випливає, що $Q_r^+ = \bar{Q}_r J_r \vee Q_r \bar{K}_r$ — логічне рівняння з двома невідомими J_r і K_r , які потрібно розв'язати щодо цих невідомих. Через те що для функцій збудження J_r і K_r необхідно складати тільки діаграми Вейча, то для функцій Q_r^+ , можна скористатися наступним методом. Нехай $Q_r = 0$, тоді $Q_r^+ = \bar{0} \cdot J_r \vee 0 \cdot \bar{K}_r$. З останнього рівняння випливає, що $J_r = Q_r^+$, а $K_r = \Phi$ — довільні значення. Нехай тепер $Q_r = 1$, тоді $Q_r^+ = \bar{1} \cdot J_r \vee 1 \cdot \bar{K}_r$. З цього рівняння випливає, що $J_r = \Phi$, а $K_r = \bar{Q}_r^+$.

Об'єднавши обидва розв'язки при $Q_r = 0$ і $Q_r = 1$, отримаємо

$$J_r = \bar{Q}_r Q_r^+ \vee \Phi Q_r, K_r = Q_r \cdot \bar{Q}_r^+ \vee \Phi \bar{Q}_r.$$

Дійсно, з даних виражень випливає, що

$$J_r = \begin{cases} Q_r^+, & \text{якщо } Q_r = 0, \\ \Phi, & \text{якщо } Q_r = 1, \end{cases} \quad K_r = \begin{cases} \bar{Q}_r^+, & \text{якщо } Q_r = 1, \\ \Phi, & \text{якщо } Q_r = 0. \end{cases} \quad (7.11)$$

Діаграми Вейча для функцій збудження J_r і K_r (рис. 7.10) заповнюються за аналогією із заповненням діаграм Вейча для функцій збудження T_r .

З рис. 7.10 випливає, що функції збудження JK -тригерів лічильника за mod 7: $J_1 = \bar{Q}_2$,

$$K_1 = Q_2 \vee \bar{Q}_3, J_2 = Q_1, K_2 = \bar{Q}_1, J_3 = K_3 = \bar{Q}_1 \bar{Q}_2.$$

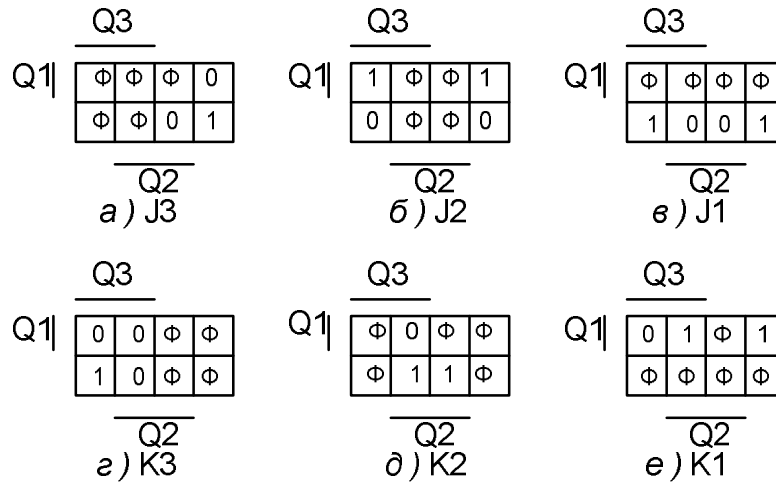


Рисунок 7.10- Синтез лічильника за mod 7 на тригерах типу JK

Побудуємо принципову схему лічильника за функціями збудження D_1, D_2 і T_3 . Для цього перетворимо функцію збудження D_1 до вигляду: $\bar{D}_1 = \bar{Q}_2 \bar{Q}_1 \bar{Q}_3$. Якщо замість прямого входу D використати інверсний вхід, то виходи тригера Q і \bar{Q} поміняються місцями. На рис. 7.11 зображено принципову схему лічильника за mod 7, виконану на мікросхемах серії K155 відповідно до отриманих функцій збудження \bar{D}_1, D_2 і T_3 (якщо на вхід елемента серії K155 не надходить ніякого сигналу, то це еквівалентно надходженню на цей вхід сигналу 1). Слід мати на увазі, що при зміні функції збудження D на \bar{D} асинхронні потенційні входи R' і S' також поміняються місцями.

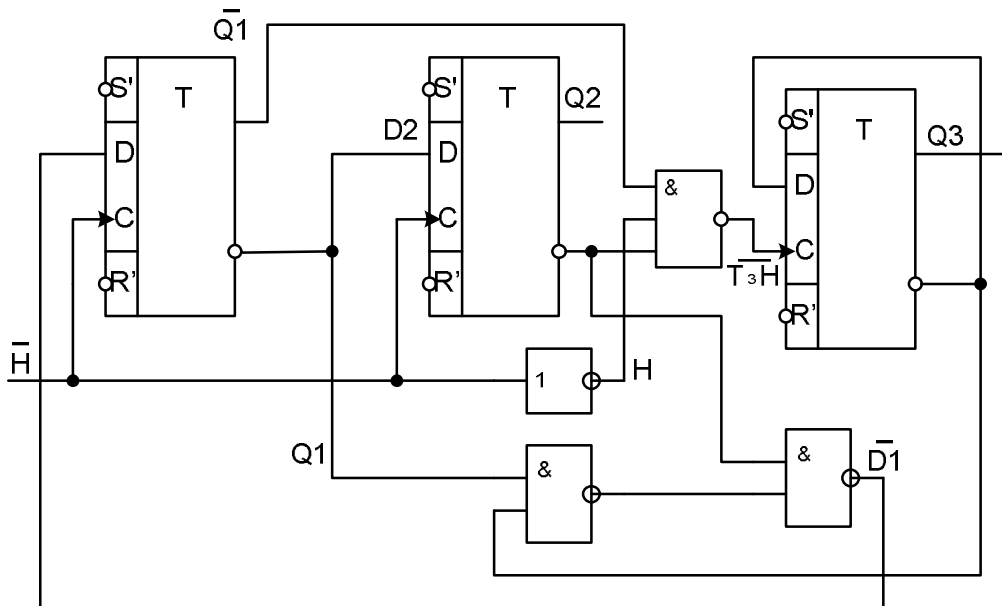


Рисунок 7.11- Схема лічильника за mod 7 на тригерах типів D та T

Побудуємо принципову схему лічильника за mod 7, використовуючи функції збудження J_1, K_1, D_2, J_3 і K_3 на мікросхемах серії К155 (рис. 7.12). Так як JK -тригери спрацьовують при значенні сигналу $dH = 1$, а D -тригер — при значенні сигналу $d\bar{H} = 1$, то моменти спрацьовування тригерів необхідно погоджувати за допомогою логічного елемента НЕ.

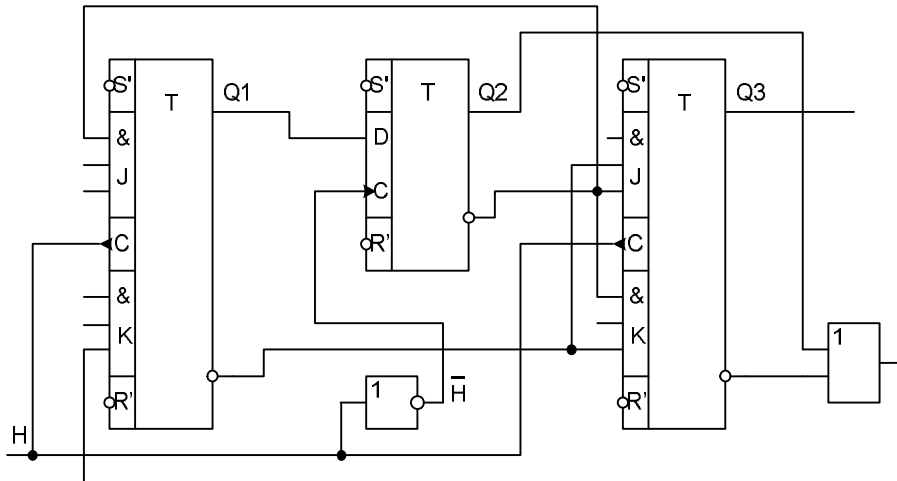


Рисунок 7.12- Схема лічильника за mod 7 на тригерах типів D та JK

Під час проектування цифрових пристроїв особливе значення мають двійкові та двійково-десяткові лічильники, кодування внутрішніх станів яких виконано за допомогою двійкових і двійково-десяткових чисел. Двійковий лічильник, побудований з m тригерів, має 2^m внутрішніх станів, тобто є лічильником по mod 2^m . Кодування внутрішніх станів двійково-десяткових лічильників виконується кодом 8—4—2—1, тобто ці лічильники синтезуються з чотирьох тригерів і є лічильниками за mod 10.

На рис. 7.13 наведено граф переходів двійкового лічильника за mod 2^3 . Зробимо синтез цього лічильника на T -тригерах. Уклавши за графом переходів таблицю істинності (табл. 7.2), а потім діаграми Вейча для функцій Q_r^+ і T_r (рис.7.14), можна одержати

$$T_1 = 1, T_2 = Q_1, T_3 = Q_1 Q_2 \dots \quad (7.12)$$

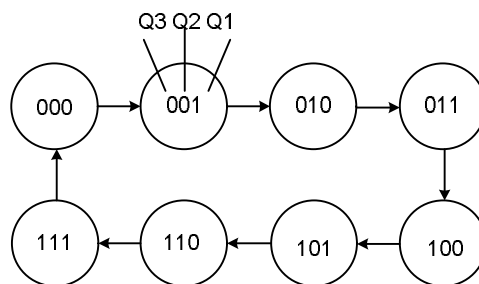
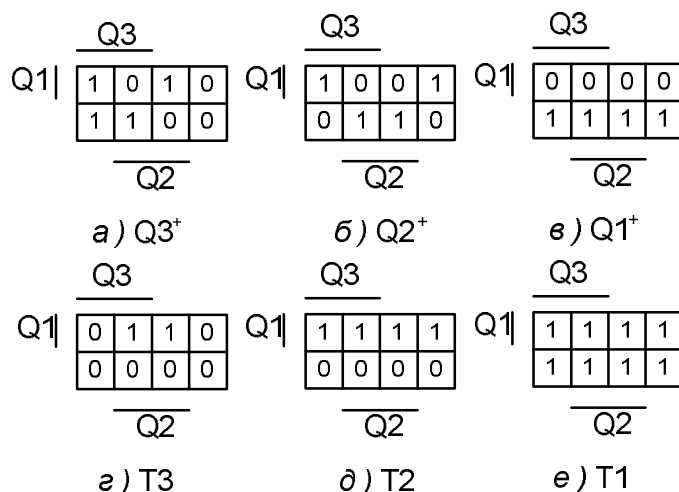


Рисунок 7.13- Граф переходів двійкового лічильника за mod 8

Таблиця 7.2- Таблицю істинності двійкового лічильника за mod 8

i	Q_3	Q_2	Q_1	Q_3^+	Q_2^+	Q_1^+
0	0	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	1	0	1
5	1	0	1	1	1	0
6	1	1	0	1	1	1
7	1	1	1	0	0	0

Рисунок 7.14- Синтез двійкового лічильника за mod 8 на тригерах типу T

Якщо зробити синтез лічильника за mod 2^4 , то функції збудження T -тригерів матимуть вигляд:

$$T_1 = 1, T_2 = Q_1, T_3 = Q_1 Q_2, T_4 = Q_1 Q_2 Q_3. \quad (7.13)$$

Порівнявши вирази (7.12) і (7.13), можна зазначити, що функції збудження перших трьох тригерів не змінилися. З цього можна дійти висновку, що функції збудження лічильника за mod 2^m повинні описуватися виразами

$$T_1 = 1, T_r = \prod_{j=1}^{r-1} Q_j, r = 2, 3, \dots, m. \quad (7.14)$$

Відповідно до цих функцій збудження, виконаний 6-розрядний двійковий лічильник на мікросхемі К155ІЕ8.

Виразення (7.14) можна надати вигляду

$$T_1 = 1, T_r = Q_{r-1} \prod_{j=1}^{r-2} Q_j = Q_{r-1} T_{r-1}, r = 2, 3, \dots, m. \quad (7.15)$$

Схема двійкового лічильника, що відповідає цим функціям збудження, значно простіша, ніж схема лічильника, що відповідає функціям збудження (7.14), однак швидкодія менше через послідовне вмикання логічного елемента І

(максимально допустиме значення частоти тактового сигналу H буде менше). На рис. 7.15 показано частину двійкового лічильника, виконану до функцій збудження (7.15).

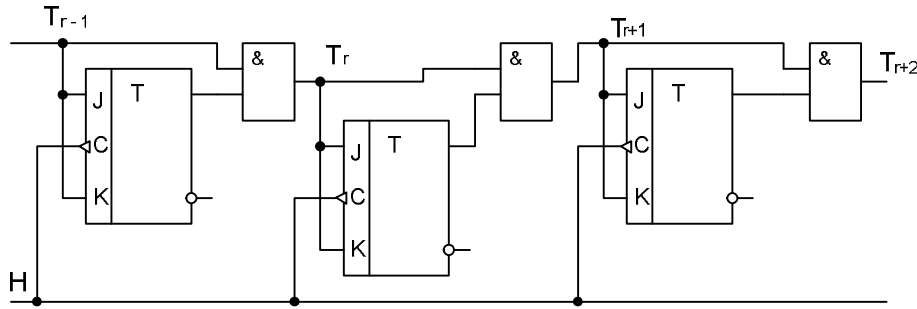


Рисунок 7.15- Схема двійкового лічильника за $\text{mod } 2^m$

На рис.7.16 наведено граф переходів двійково– десятичного лічильника за $\text{mod } 10$. Якщо за цим графом переходів зробити синтез синхронного лічильника на тригерах типів JK та T , то можна одержати

$$\begin{aligned} J_1 &= K_1 = 1, & J_2 &= Q_1 \bar{Q}_4, & K_2 &= Q_1, \\ K_3 &= J_3 = Q_1 Q_2, & J_4 &= Q_1 Q_2 Q_3, & K_4 &= Q_1, \\ T_1 &= 1, & T_2 &= Q_1 \bar{Q}_4, & T_3 &= Q_1 Q_2, & T_4 &= Q_1 Q_4 \vee Q_1 Q_2 Q_3. \end{aligned} \quad (7.16)$$

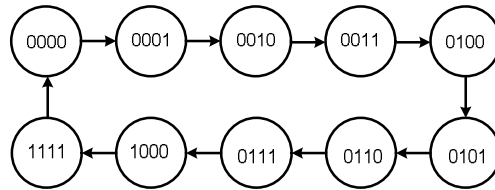


Рисунок 7.16- Граф переходів двійково- десятичного лічильника

За отриманими функціями збудження можна побудувати принципові схеми двійково- десятичних лічильників. На рис. 7.17 зображено схему такого лічильника, виконана на JK -тригерах.

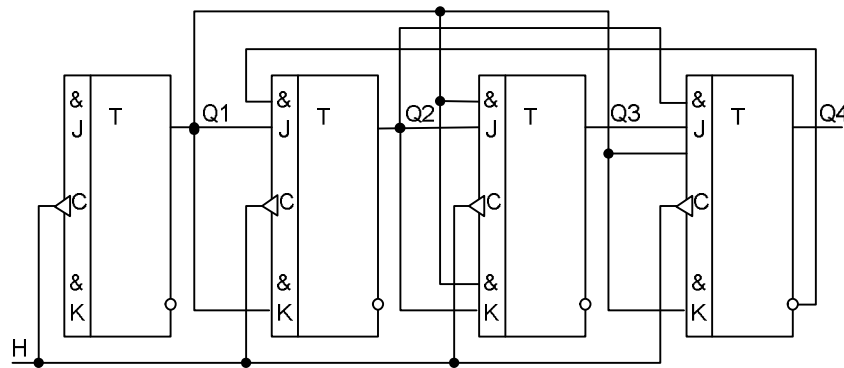


Рисунок 7.17- Схема двійково- десятичного лічильника

Звичайно лічильники за $\text{mod } M$ виконують так, що в них є тригер (або ЛЕ), вихідний сигнал якого змінюється з 1 на 0 (або з 0 на 1) тільки в момент

повернення лічильника в початковий (нульовий) стан. Цей сигнал свідчить про переповнення лічильника при надходженні на його вхід M імпульсів ($dH=1$) і може бути використаний як вхідний сигнал іншого лічильника. Лічильники за $\text{mod } M_j$ ($j = 1, 2, \dots, k$) можна з'єднувати послідовно (рис. 7.18) для одержання лічильників за $\text{mod } (M_1 M_2 \dots M_k)$. Якщо послідовно з'єднати m лічильників за $\text{mod } 2$, то вийде двійковий лічильник за $\text{mod } 2^m$. У такий спосіб виконаний лічильник за $\text{mod } 2^3$ на мікросхемі К155ІЕ5 (у цій мікросхемі є ще лічильник за $\text{mod } 2$, що дає змогу одержати лічильник за $\text{mod } 2^4$). Ця мікросхема — 4-розрядний двійковий лічильник, виконаний на двоступінчастих JK -тригерах (рис. 7.19). Лічильник має два рахункових входи $C1, C2$ і два входи установлення нуля $R01, R02$. Вхід $Q1$ внутрішньо не з'єднаний з іншими тригерами схеми. Це дає можливість використовувати схему в двох незалежних режимах роботи :

- як 4-розрядний двійковий лічильник, коли вхідні лічильні імпульси надходять на вхід $C1$. Виводи здійснюють операцію розподілу на 2, 4, 8 і 16;
- як 3-розрядний двійковий лічильник, коли вхідні лічильні імпульси надходять на вхід $C2$. Перший тригер, не з'єднаний з іншими тригерами схеми, можна використовувати як елемент для функції розподілу на два. Встановлювальні входи мікросхеми забезпечують припинення лічення і повертають усі чотири тригери в стан низького рівня, якщо на входи $R01$ та $R02$ одночасно надходить високий рівень напруги. При операції лічення на одному з входів установки $R01$ або $R02$ має бути потенціал низького рівня.

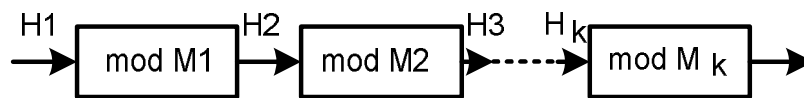


Рисунок 7.18- Структурна схема асинхронного лічильника

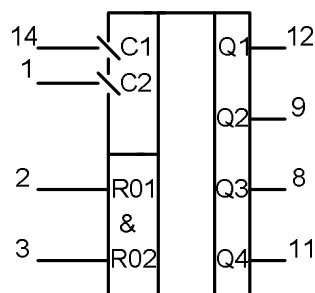


Рисунок 7.19- Умовне позначення лічильника К155ІЕ5

Хоча кожний з лічильників за $\text{mod } M_j$ є синхронним, однак лічильник за $\text{mod } (M_1 M_2 \dots M_k)$ буде вже асинхронним, тому що відсутній єдиний тактовий сигнал для всього лічильника (у кожному лічильнику за $\text{mod } M_j$ використовується свій тактовий сигнал H_j). Недоліком таких лічильників є їх послідовне спрацьовування, що спричиняє запізнювання спрацьовування останнього лічильника щодо тактового сигналу першого.

Мікросхема К155ИЕ2 (рис. 7.20) містить лічильник за $\text{mod } 2$ і лічильник за $\text{mod } 5$, послідовне з'єднання яких (пунктир на рис. 7.20) дає двійково-десятковий лічильник (код 8-4-2-1). Лічильник за $\text{mod } 5$ виконаний у виді асинхронного імпульсного лічильника. Лічильник має асинхронні потенційні входи R' і S'_9 для встановлення стану «0» (0000) і «9» (1001).

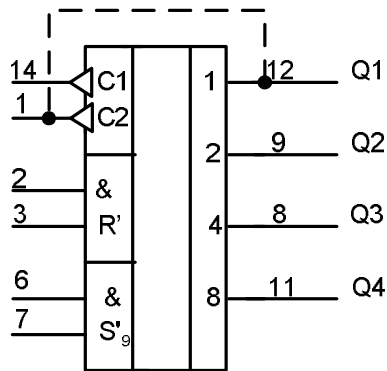


Рисунок 7.20- Двійково- десятиковий лічильник

На рис. 7.21 зображено часові діаграми вихідних сигналів лічильника за $\text{mod } 10$.

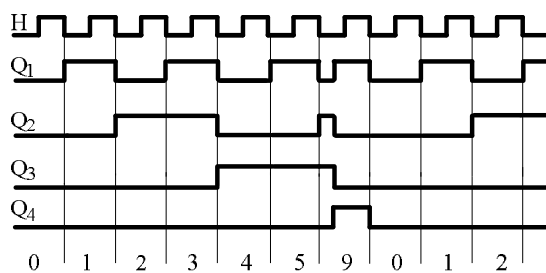


Рисунок 7.21- Часові діаграми двійково- десятикового лічильника

Використовуючи асинхронні входи R' і S'_9 , на основі мікросхеми К155ИЕ2 можна зробити лічильники за $\text{mod } M$, де $M < 10$. На рис. 7.22 показано лічильник за $\text{mod } 7$, робота якого пояснюється графом переходів (рис. 7.23) та часовими діаграмами (рис. 7.24).

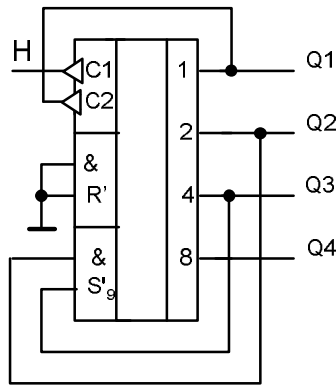


Рисунок 7.22- Лічильник за mod 7 з асинхронними потенційними зворотними зв'язками

Як тільки лічильник установиться в стан «6» (0110), на виходах Q_2 і Q_3 з'являться значення сигналів 1, що по входах S'_9 переведуть лічильник у стан «9» (1001). Тривалість перебування лічильника в стані «6» визначається швидкістю тригерів Q_2 і Q_3 , що на входах S'_9 установлюються в стан 0.

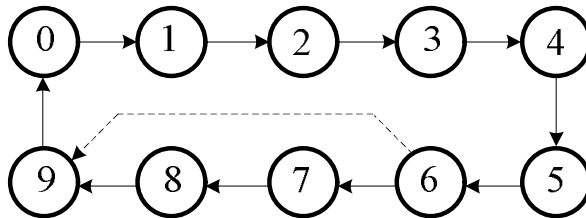


Рисунок 7.23- Граф переходів лічильника за mod 7 з асинхронними потенційними зворотними зв'язками

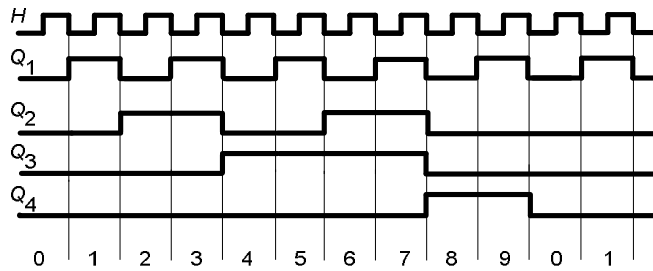


Рисунок 7.24- Часові діаграми лічильника за mod7 з асинхронними потенційними зворотними зв'язками

Недоліком цього способу побудови лічильників є критичність їхньої роботи — у разі великого розкиду часу спрацьовування тригерів деякі з них можуть не встановитися в необхідний стан. Якщо зворотні зв'язки (див. рис. 7.22) завести на входи R' , а не на S'_9 , то вийде лічильник за mod 6. Аналогічно можливо одержати й інші коефіцієнти перерахування.

Мікросхема К564ИЕ10 є здвоєним лічильником за mod 16, у якому тригери спрацьовують по сигналу $d(\bar{C}_1 C_2) = \bar{C}_1^* dC_2 \vee C_2^* d\bar{C}_1 = 1$ (якщо $C_2=1$, то лічи-

льник запускається додатними перепадами сигналу C_1 , а якщо $C_1=0$, то від'ємними перепадами сигналу C_2).

На рис. 7.25 зображено лічильник за $\text{mod } 10^2$ з використанням асинхронного встановлення лічильника в нульовий стан на вході R' .

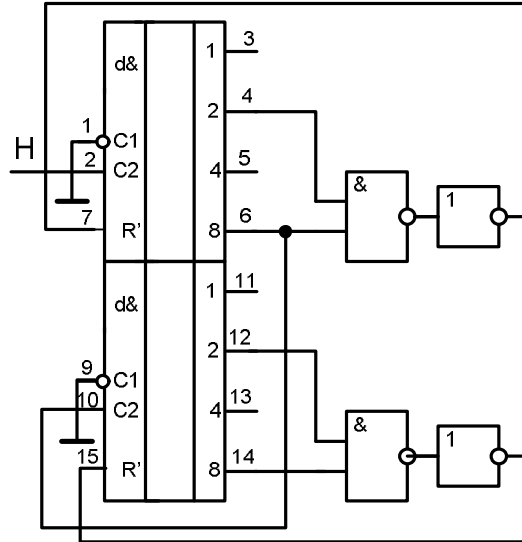


Рисунок 7.25- Лічильник за $\text{mod } 10^2$

Надійність роботи даного лічильника досить висока, тому що ЛЕ І - НЕ та НЕ вносять запізнювання в коло асинхронного зворотного зв'язку.

7.3 Лічильники на регістрах зсуву

Для побудови лічильників на регістрах зсуву потрібно використовувати спеціальне кодування їх внутрішніх станів. Якщо на вхід x (див. рис. 7.1) подати деяку періодичну послідовність символів 0 і 1, то внутрішні стани регістра зсуву (комбінації значень сигналів Q_r) будуть також періодично повторюватися, тобто регістр зсуву буде лічильником за $\text{mod } M$, якщо зазначена періодична послідовність сформована самим регістром зсуву. З цього випливає, що кодування внутрішніх станів, наприклад, лічильника за $\text{mod } 5$ може бути задано

схемою $\leftarrow \begin{matrix} Q_3 & Q_2 & Q_1 \\ 0 & 0 & 0 \end{matrix} 11.00011$.

Просуваючи через регістр, що складається з трьох тригерів Q_1 , Q_2 та Q_3 , певну періодичну послідовність символів 0 і 1, одержимо п'ять різних кодових комбінацій (внутрішніх станів): 000, 001, 011, 110, 100. При подальшому зсуві виходять ті самі кодові комбінації, тому що послідовність символів 0 і 1 періодична.

На рис. 7.26 показаний граф переходів лічильника за $\text{mod } 5$ з отриманим способом кодування внутрішніх станів. Склавши за графом переходів діаграму

Вейча для функції Q_1^+ (рис. 7.27), одержимо $D_1 = \overline{Q_2}\overline{Q_3}$. Діаграму Вейча можна скласти за графом переходів без укладання таблиці істинності. Наприклад, розглянемо перехід між внутрішніми станами 000 і 001. Стан 000 є вихідним ($Q_3=0, Q_2=0, Q_1=0$), тому відповідне йому двійкове число визначає номер клітини в діаграмі Вейча $i = 0$. Стан 001 для цього переходу є наступним, тому функції $Q_3^+ = 0, Q_2^+ = 0, Q_1^+ = 1$. З цього випливає, що в клітину діаграми Вейча для функції Q_1^+ з номером $i = 0$ слід записати значення функції $Q_1^+ = 1$. У такий спосіб записують усі п'ять значень функції $Q_1^+ = 1$. У клітини, що залишилися незаповненими, записують довільні значення Φ , тому що три внутрішніх стани не використовуються.

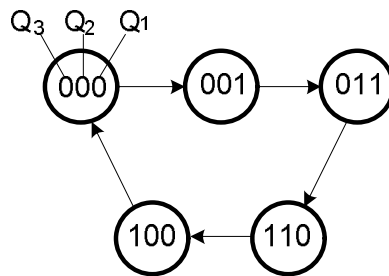


Рисунок 7.26- Граф переходів лічильника за mod 5

Q_1^+

	Q_3			
	Φ	Φ	0	1
Q_1	0	0	Φ	1
	Q_2			

Рисунок 7.27 - Синтез лічильника за mod 5 на регістрі зсуву

Функції збудження $D_2=Q_1$ і $D_3=Q_2$ (на підставі використаного методу кодування внутрішніх станів), у чому легко переконатися, склавши діаграми Вейча для функцій Q_2^+ та Q_3^+ . Якщо при побудові принципової схеми використовувати функцію збудження $\overline{D_1} = \overline{Q_2}\overline{Q_3}$, то одержимо схему, показану на рис. 7.28.

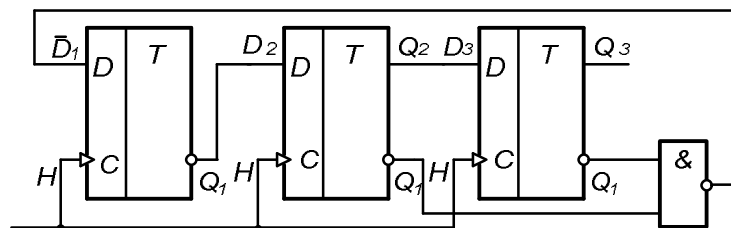


Рисунок 7.28 - Схема за mod 5 на регістрі зсуву

У разі кодування внутрішніх станів лічильників за допомогою періодичної послідовності символів 0 і 1 слід дотримуватися таких правил:

- 1) число символів M в одному періоді послідовності визначає коефіцієнт перерахування лічильника;
- 2) мінімальне число тригерів m знаходять з умови одержання при зсуві періодичної послідовності символів 0 і 1 M різних кодових комбінацій.

7.4 Реверсивні лічильники

Реверсивні синхронні лічильники мають один інформаційний вхід, на який подається сигнал x , що задає напрямок лічення (додавання чи віднімання) числа змін тактового сигналу з 1 на 0 (або з 0 на 1). Надалі вважатимемо, що при $x = 0$ виконується додавання, а при $x = 1$ — віднімання. Найбільший практичний інтерес становлять двійкові і двійково-десяткові (код 8–4–2–1) реверсивні лічильники.

На рис. 7.29 зображено граф переходів 3 - розрядного реверсивного лічильника. Гілки цього графа позначено значеннями сигналів x/z_1z_2 , де x — вхідний інформаційний сигнал; z_1 — вихідний сигнал, що свідчить про додатне переповнення лічильника; z_2 — вихідний сигнал, що свідчить про від'ємне переповнення лічильника.

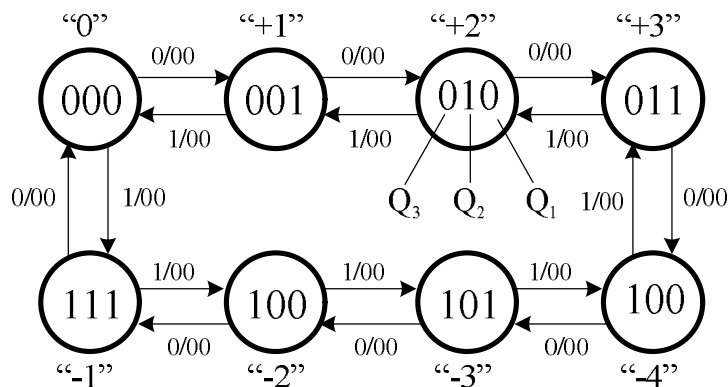


Рисунок 7.29- Граф переходів двійкового реверсивного лічильника з чотирма розрядами

Поряд з вузлами зазначене число полічених лічильником з урахуванням знака значень сигналів $dH = 1$ (лічильник переповняється при переході зі стану 011 у стан 100 — додатне переповнення та при переході зі стану 100 у стан 011 — від'ємне). Можна помітити, що реверсивний двійковий лічильник підраховує значення сигналів $dH=1$ у додатковому коді. Значення сигналу Q_3 визначає

знак числа ($Q_3 = 0$ — додатне число, $Q_3 = 1$ — від’ємне).

Уклавши за графом переходів (див. рис. 7.29) таблицю істинності (табл. 7.3) для функцій Q_r^+ ($r = 1, 2, 3$), z_1 і z_2 та склавши діаграми Вейча для функцій Q_r^+ і функцій збудження T_r , T -тригерів (рис. 7.30), отримаємо

$$T_1 = 1, T_2 = \bar{x}Q_1 \vee x\bar{Q}_1, T_3 = x\bar{Q}_1Q_2 \vee x\bar{Q}_1\bar{Q}_2. \tag{7.17}$$

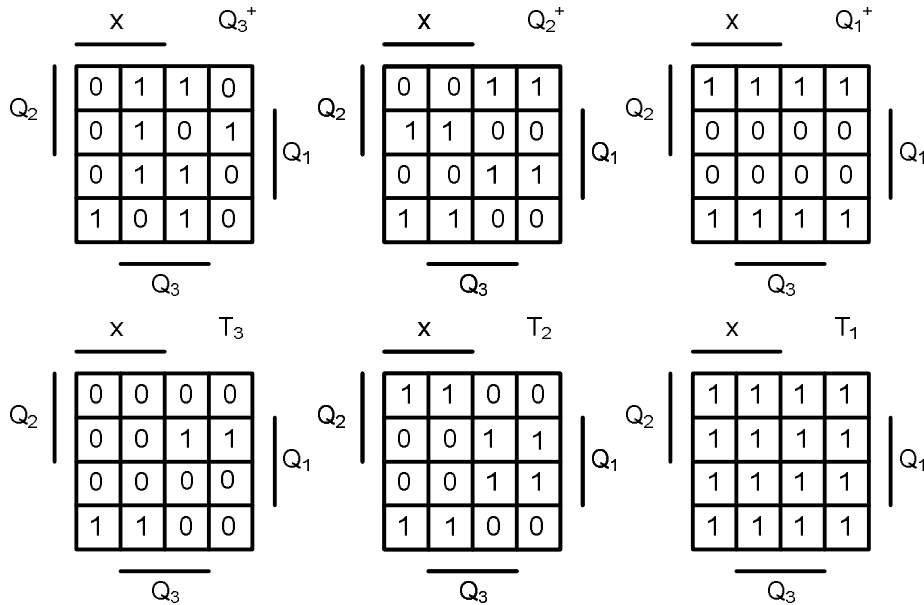


Рисунок 7.30 - Синтез двійкового реверсивного лічильника

Таблиця 7.3 - Таблиця істинності для функцій Q_r^+

i	x	Q_3	Q_2	Q_1	Q_3^+	Q_2^+	Q_1^+	Z_1	Z_2
0	0	0	0	0	0	0	1	0	0
1	0	0	0	1	0	1	0	0	0
2	0	0	1	0	0	1	1	0	0
3	0	0	1	1	1	0	0	1	0
4	0	1	0	0	1	0	1	0	0
5	0	1	0	1	1	1	0	0	0
6	0	1	1	0	1	1	1	0	0
7	0	1	1	1	0	0	0	0	0
8	1	0	0	0	1	1	1	0	0
9	1	0	0	1	0	0	0	0	0
10	1	0	1	0	0	0	1	0	0
11	1	0	1	1	0	1	0	0	0
12	1	1	0	0	0	1	1	0	1
13	1	1	0	1	1	0	0	0	0
14	1	1	1	0	1	0	1	0	0
15	1	1	1	1	1	1	0	0	0

З табл. 7.3 випливає, що

$$z_1 = \bar{x}Q_1Q_2\bar{Q}_3, z_2 = x\bar{Q}_1\bar{Q}_2Q_3. \tag{7.18}$$

Якщо у виразах (7.18) сигнал Q_3 замінити на інверсний \bar{Q}_3 , то вийдуть функції P і W , які є перенесенням у наступний двійковий розряд та позику перенесення з наступного двійкового розряду: $P = \bar{x}Q_1Q_2Q_3$, $W = x\bar{Q}_1\bar{Q}_2\bar{Q}_3$. Сигнали P і W використовують для послідовного вмикання двійкових реверсивних лічильників з метою збільшення їхньої розрядності.

Якщо виконати синтез двійкового реверсивного лічильника, який має 2^4 внутрішніх станів, то функції збудження T_r ($r = 1, 2, 3, 4$) і функції виходу лічильника z_1 та z_2 матимуть вигляд:

$$\left. \begin{aligned} T_1 = 1, \quad T_2 = \bar{x}Q_1 \vee x\bar{Q}_1, \quad T_3 = \bar{x}Q_1Q_2 \vee x\bar{Q}_1\bar{Q}_2, \\ T_4 = \bar{x}Q_1Q_2Q_3 \vee x\bar{Q}_1\bar{Q}_2\bar{Q}_3, \quad z_1 = \bar{x}Q_1Q_2Q_3Q_4, \quad z_2 = x\bar{Q}_1\bar{Q}_2\bar{Q}_3Q_4. \end{aligned} \right\} \quad (7.19)$$

Порівнявши вирази (7.19) з (7.18) і (7.17), можна дійти висновку: якщо двійковий реверсивний лічильник складається з m T -тригерів, то функції збудження T_r і функції z_1 та z_2 визначатимуться співвідношеннями:

$$\left. \begin{aligned} T_1 = 1, \quad T_r = \bar{x} \prod_{j=1}^{r-1} Q_j \vee x \prod_{j=1}^{r-1} \bar{Q}_j, \quad r = 2, 3, \dots, m, \\ z_1 = \bar{x} \bar{Q}_m \prod_{j=1}^{m-1} Q_j, \quad z_2 = x Q_m \prod_{j=1}^{m-1} \bar{Q}_j, \end{aligned} \right\} \quad (7.20)$$

де Q_m — сигнал, що визначає значення знакового розряду.

Функції збудження T -тригерів (7.20) можна перетворити так: $T_1 = 1$, $T_r = \bar{x}Q_{r-1} \vee x\bar{Q}_{r-1}$, $r = 2, 3, \dots, m$. Отримані функції збудження можна подати також у вигляді: $T_1 = 1$, $T_r = (x \oplus Q_{r-1}) \cdot T_{r-1}$.

На рис. 7.31 зображено схему 3-розрядного двійкового реверсивного лічильника, виконану на підставі останніх виражень з T -тригерів. У разі збільшенні числа розрядів лічильника структура кожного розряду буде такою самою, як і структура третього розряду.

З виразів (7.21) випливає, що

$$T_1 \cdot H = H = H_1 \vee H_2, \quad T_r \cdot H = H_1 \prod_{j=1}^{r-1} Q_j \vee H_2 \prod_{j=1}^{r-1} \bar{Q}_j,$$

де $H_1 = \bar{x}H$, $H_2 = xH$ та $H_1H_2 = 0$, тобто в двійковому реверсивному лічильнику можна використовувати два тактових сигнали H_1 і H_2 , що в сукупності із сигналами перенесення P і позики перенесення W дозволяє збільшувати розрядність лічильника.

Мікросхема К155ИЕ7 є 4-розрядним двійковим реверсивним лічильником, виконаний за цим принципом. На рис. 7.32 зображено схему, побудовану за двома мікросхемами К155ИЕ7 (Q_8 — знаковий розряд)

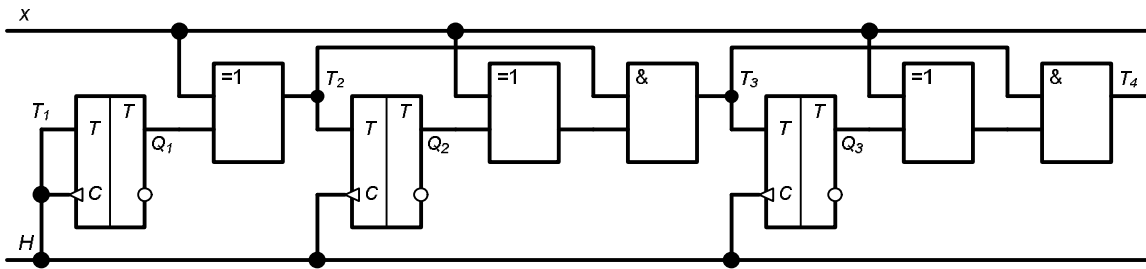


Рисунок 7.31- Схема двійкового реверсивного лічильника

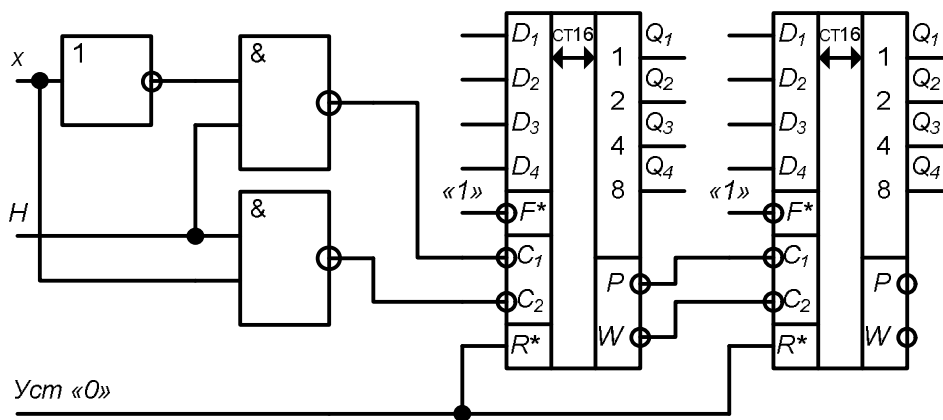


Рисунок 7.32- Схема двійкового реверсивного лічильника з вісьма розрядами на мікросхемах К155ИЕ7

T -тригери мікросхеми К155ИЕ7 також мають асинхронні потенційні входи D_r' ($r = 1, 2, 3, 4$) та F' , які використовують для запису будь-якого числа від 0 до 15, а також асинхронний потенційний вхід R' для встановлення стану «0» лічильника. Тригери на входах D_r' , і F' - це $D'-F'$ - тригери. Сигнали перенесення P і позикперенесення W описуються вираженнями: $P = H_1 Q_1 Q_2 Q_3 Q_4$, $W = H_2 \bar{Q}_1 \bar{Q}_2 \bar{Q}_3 \bar{Q}_4$ та використовуються для запуску наступного лічильника.

Розглянемо принцип побудови двійково-десятькового реверсивного лічильника, граф переходів якого показаний на рис. 7.33 (гілки графу переходів позначені сигналами x/PW , де x — сигнал, що задає напрямок лічення; P — перенесення у наступну декаду; W — позика перенесення з наступної декади). Якщо за графом переходів виконати синтез лічильника з T -тригерів, то функції збудження T_r і функцій P та W з урахуванням тактового сигналу H матимуть вигляд:

$$\begin{aligned}
 T_1 &= H = H_1 \vee H_2, \quad T_2 = H_1 Q_1 \bar{Q}_4 \vee H_2 \bar{Q}_1 (Q_2 \vee Q_3 \vee Q_4), \\
 T_3 &= H_1 Q_1 Q_2 \vee H_2 \bar{Q}_1 \bar{Q}_2 (Q_2 \vee Q_3 \vee Q_4), \\
 T_4 &= H_1 (Q_1 Q_4 \vee Q_1 Q_2 Q_3) \vee H_2 \bar{Q}_1 \bar{Q}_2 Q_3, \\
 P &= H_1 Q_1 Q_4, \quad W = H_2 \bar{Q}_1 \bar{Q}_2 Q_3 Q_4,
 \end{aligned}$$

де $H_1 = \bar{x}H$, $H_2 = xH$.

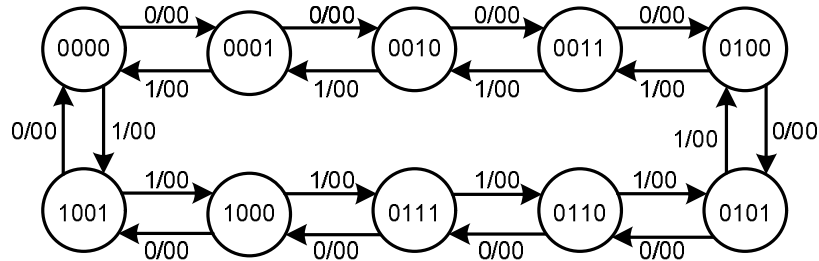


Рисунок 7.33 - Граф переходів реверсивного двійково - десяткового лічильника

На рис. 7.34 зображену схему реверсивного лічильника, що складається з двох десяткових розрядів і знакового тригера, виконаного на D-тригері. Тактові сигнали \bar{H}_1 і \bar{H}_2 можуть бути сформовані так, як показано на рис. 7.32.

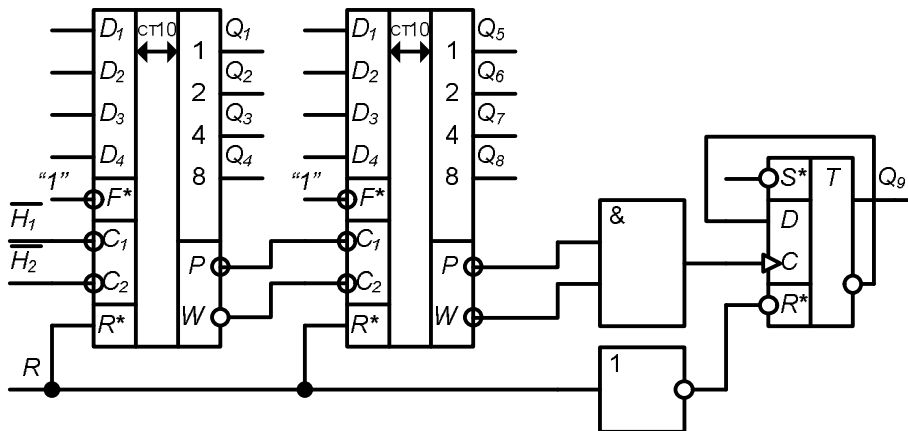


Рисунок 7.34- Схема реверсивного двійково - десяткового лічильника на мікросхемах К155ІЕ6

Якщо лічильник працює без переповнення (максимальні додатне та від'ємне числа рівні +99 і -100), то значення сигналу $Q_9 = 0$ свказує на додатне число, а $Q_9 = 1$ — на від'ємне, записане в лічильнику. Модуль від'ємного числа (при $Q_9 = 1$) визначається як доповнення числа, записаного в двох десяткових розрядах, до числа 10^2 .

Наявність у мікросхем К155ІЕ6 та К155ІЕ7 входів D_r' і F' для рівнобіж-

ного запису коду дає змогу використовувати їх у режимі програмувальних лічильників. На рис. 7.35 зображено схему лічильника за $\text{mod } M$, коефіцієнт перерахування якого визначається співвідношенням

$$M = a + 2b + 4c + 8d + 10(e + 2f + 4g + 8h).$$

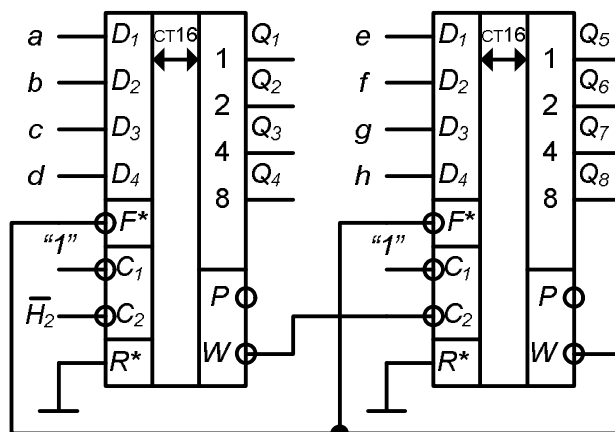


Рисунок 7.35- Схема лічильника з програмованим коефіцієнтом перерахунку

ПИТАННЯ ДО РОЗДІЛУ

1. Що таке регістр зсуву та які операції можна виконувати за допомогою регістрів?
2. За якими ознаками можна класифікувати регістри?
3. Поясніть принцип роботи послідовного регістру.
4. Поясніть принцип роботи паралельного регістру.
5. Наведіть принципову схему регістру зсуву побудовану на RS- тригерах та поясніть принцип її роботи
6. Наведіть основні параметри і ознаки класифікації лічильників.
7. Що таке модуль M ?
8. Яким чином досягається підвищення швидкодії лічильників?
9. Наведіть схему лічильника за $\text{mod } 7$ на D - і T – тригерах.
10. Наведіть схему лічильника за $\text{mod } 7$ на D - і JK – тригерах.
11. Наведіть схему двійкового лічильника за $\text{mod } 2^m$.
12. Поясніть принципи побудови лічильників за $\text{mod } M$ на регістрах зсуву
13. Наведіть схему лічильника за $\text{mod } 5$ на регістрі зсуву.
14. Наведіть основні параметри і ознаки класифікації лічильників.
15. Поясніть принципи роботи реверсивного лічильника.
16. У реверсивному лічильнику записано число 1100. В режимі віднімання визначить наступні два числа після надходження вхідних імпульсів.

17. Як здійснюється попереднє встановлення лічильників?

18. Поясніть принципи роботи лічильника зі змінним коефіцієнтом перерахування.

ЗАДАЧІ ДЛЯ САМОСТІЙНОГО ТА ІНДИВІДУАЛЬНОГО РОЗВ'ЯЗУВАННЯ

1. Побудуйте синхронний лічильник з $M=5$ на JK-тригерах

Рішення

Таблиця входів для JK-тригера має вигляд:

Таблиця 7.4- Таблиця входів для JK-тригера

Q_{n-1}	Q_n	J	K
0	0	0	-
0	1	1	-
1	0	-	1
1	1	-	0

Для синтезу лічильника побудуємо суміщену таблицю станів і входів лічильника. При переході з 0-го стану в 1-ий тригер 1-го розряду переходить із стану 0 в стан 1. Для здійснення цього переходу по таблиці входів для JK-тригера визначаємо що повинні бути подані $J_1=1$, $K_1=-$, тобто рівень сигналу K, не впливає на виконання переходу з 0 в 1.

Для 2-го і 3-го розрядів перехід з 0-го стану в 1-ий вимагає перекладу тригерів 2-го і 3-го розрядів із стану 0 в стан 0, що відповідає $J_2K_2 = J_3K_3 = 0-$. Аналогічно заповнюються рядки таблиці для 1-го, 2-го до 3-го станів.

Таблиця 7.5- Суміщена таблиця лічильника з $M=5$

N	Q_3	Q_2	Q_1	J_3	K_3	J_2	K_2	J_1	K_1
0	0	0	0	0	-	0	-	1	-
1	0	0	1	0	-	1	-	-	1
2	0	1	0	0	-	-	0	1	-
3	0	1	1	1	-	-	1	-	1
4	1	0	0	-	1	0	-	0	-

Для переходу з 4-го стану в початковий (нульовий) необхідно, щоб 1-й і 2-й тригери зберегли на своїх виходах 0, а 3-й перейшов із стану 1 в стан 0 Для цього необхідно забезпечити $J_1K_1 = J_2K_2 = 0-$, а $J_3K_3 = -1$.

4. Побудуйте синхронний лічильник з $M=12$ на JK-тригерах.
5. Побудуйте лічильник з $M=5$ на JK-тригерах для незваженого кодування станів ($0 \rightarrow 1 \rightarrow 5 \rightarrow 7 \rightarrow 6 \leftarrow \dots$).

Рішення

Для синтезу лічильника побудуємо суміщену таблицю станів і входів лічильника.

Таблиця 7.6 - Суміщена таблиця лічильника з $M=5$

Q_3	Q_2	Q_1	J_3	K_3	J_2	K_2	J_1	K_1
0	0	0	0	-	0	-	1	-
0	0	1	1	-	0	-	-	0
1	0	1	-	0	1	-	-	0
1	1	1	-	0	-	0	-	1
1	1	0	-	1	-	1	0	-

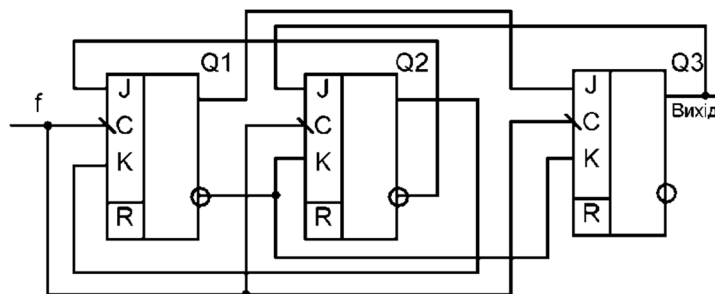
Після мінімізації функцій збудження одержуємо результат:

$$J_3 = Q_1; \quad J_2 = \overline{Q_3};$$

$$J_1 = \overline{Q_2}; \quad K_1 = Q_2;$$

$$K_3 = K_2 = Q_1$$

Відповідно до цього результату будуємо лічильник.

Рисунок 7.38 - Схема лічильника з $M=5$ для незваженого кодування станів

6. Побудувати лічильник з $M=5$ на RS-тригерах для незваженого кодування станів ($0 \rightarrow 1 \rightarrow 5 \rightarrow 7 \rightarrow 6 \leftarrow \dots$).
7. Побудувати лічильник з $M=5$ на D-тригерах для незваженого кодування станів ($0 \rightarrow 1 \rightarrow 5 \rightarrow 7 \rightarrow 6 \leftarrow \dots$).
8. Лічильник (рис. 7.39) знаходився в 7 стані, після чого на його вхід поступило 125 імпульсів. У якому стані знаходитиметься лічильник?

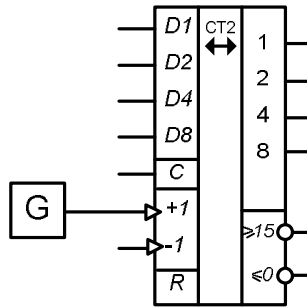


Рисунок 7.39 - Схема лічильника

Рішення

На схемі зображений чотирирозрядний двійковий лічильник, що підсумовує, з коефіцієнтом перерахунку 16 (мінєє стани з 0 по 15). Після надходження 16 імпульсів на вхід лічильника він знову опиниться в 7 стані. У цьому ж стані він буде через 112 імпульсів (найближче ціле число до 125, яке ділиться на 16). Ще через 13 імпульсів він опиниться в стані 4.

9. Визначить коефіцієнт перерахунку лічильника (рис. 7. 40).

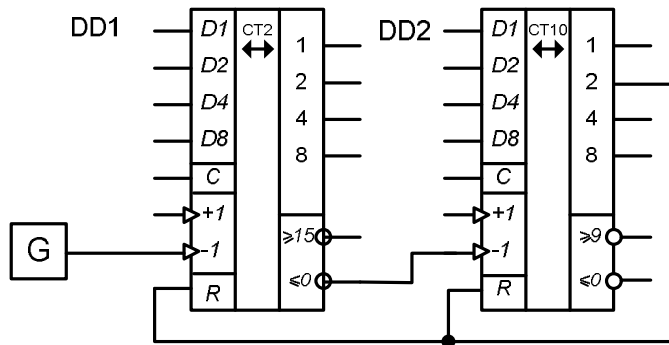


Рисунок - 7.40 Схема лічильника

Рішення

Проведемо аналіз роботи пристрою під час надходження імпульсів на вхід заздалегідь обнуленого лічильника. Перший імпульс, який поступає на рахунковий вхід, повторюється на виході позики (≤ 0) DD1. По його позитивному фронту мікросхема DD1 переходить в 15-й стан, мікросхема DD2 - в 9-ий. Подальші 15 імпульсів мінятимуть стан DD1, не міняючи режим DD2. Після закінчення 17-го імпульсу DD1 перейде в 15-й стан, DD2 - у восьмий. Ще через 16 імпульсов DD2 перейде в сьомий стан і з'явиться логічна 1 на виході 2, яка скине лічильник в нульовий стан. Таким чином, коефіцієнт перерахунку лічильника дорівнює 33.

ПІДСУМКИ

НЕОБХІДНО ЗРОЗУМІТИ

1. Послідовний логічний пристрій або цифровий автомат складається з N - тригерів і тому його стан характеризується N – розрядним двійковим кодом.
2. У загальному випадку будь-який цифровий автомат може бути представлений сукупністю двох підсистем: перша тригерна підсистема, яка зберігає інформацію про передісторію роботи пристрою; друга комбінаційна підсистема, яка служить для перетворення вхідних сигналів і інформації про стан пристрою у вихідні сигнали та сигнали, необхідні для зміни стану автомата.
3. Регістр це послідовний пристрій, призначений для запису, зберігання і (або) зсуву інформації, представленої у вигляді багаторозрядного двійкового коду.
4. Любий лічильник можна виконати у виді синхронного, асинхронного потенційного або асинхронного імпульсного автомата.
5. У цифрових схемах лічильники можуть виконувати наступні мікрооперації над кодовими словами:
 - установка в початковий стан (запис нульового коду);
 - запис вхідної інформації в паралельній формі;
 - зберігання інформації;
 - видача інформації, що зберігається, в паралельній формі;
 - інкремент — збільшення кодового слова, що зберігається, на одиницю;
 - декремент — зменшення кодового слова, що зберігається, на одиницю.
6. Для побудови лічильників на регістрах зсуву необхідно використовувати спеціальне кодування їхніх внутрішніх станів.
7. Якщо на вхід регістру подати деяку періодичну послідовність символів 0 і 1, то внутрішні стани регістра зсуву будуть також періодично повторюватися, тобто регістр зсуву буде являти собою лічильник по деякому $\text{mod } M$, якщо зазначена періодична послідовність сформована самим регістром зсуву.
8. Реверсивні лічильники можуть виконувати як складання, так і віднімання імпульсів, що поступають на їх вхід, залежно від управляючого сигналу, який перемикає лічильник або в режим складання, або в режим віднімання.

СЛІД ЗАПАМ'ЯТАТИ

1. В загальному випадку регістр може виконувати наступні операції над кодовими словами:
 - установка у початковий стан (запис нульового коду);
 - запис вхідної інформації в послідовній формі;
 - запис вхідної інформації в паралельній формі;
 - зберігання інформації;
 - зсув інформації, що зберігається, вправо або вліво;
 - видача інформації, що зберігається, в послідовній формі;
 - видача інформації, що зберігається, в паралельній формі.
2. У паралельних регістрах прийом і видача слів проводиться по всіх розрядах одночасно, їх основна функція — зберігання слова.
3. У послідовних регістрах слова приймаються і видаються розряд за розрядом, їх називають регістрами зсуву, оскільки тактові сигнали переміщують слово в розрядній сітці.
4. Основним статичним параметром лічильника є модуль рахунку M , який характеризує максимальне число імпульсів, після приходу якого лічильник встановлюється в початковий стан.
5. Синхронним лічильником за модулем M називають цифровий синхронний автомат без входів, що має M різних внутрішніх станів, які циклічно змінюються під впливом змін тактового сигналу з 1 на 0 (або з 0 на 1).
6. Принципи побудови лічильників за $mod M$
7. Принципи побудови лічильників за $mod M$ на регістрах зсуву
8. Принципи побудови реверсивних лічильників

ТРЕБА ВМІТИ

1. Наводити схеми регістрів зсуву і пояснювати принцип їх роботи.
2. Наводити схеми лічильників і пояснювати принцип їх роботи.

РОЗДІЛ 8. СПЕЦІАЛЬНІ ЕЛЕМЕНТИ ЦИФРОВИХ ПРИСТРОЇВ

8.1 Логічні розширники

Логічні розширники — спеціальні елементи цифрових пристроїв, призначені для збільшення кількості логічних входів у логічних елементів, розширення класу реалізованих цими елементами логічних функцій і побудови нетипових схем. Оскільки перші дві функції основні, розширники виконуються в складі кожної конкретної серії на основі базової схеми або її частини.

Так як в елементах ТТЛ- типу операція І реалізується за допомогою багатомітерного транзистора, то збільшити кількість відповідних входів зовнішнім монтажем неможливо. В елементах ТТЛ- типу розширювачі призначені для розширення класу реалізованих функцій, тобто для реалізації функції АБО (рис.8.1). Виводи К і Е розширника з'єднуються із відповідними виводами К і Е базових логічних елементів.

На рис. 8.2 показане нетипове застосування розширника для одержання логічного елемента І-НЕ з підвищеною заводо захищеністю. Останнє в даній схемі забезпечується збільшенням граничної напруги елемента за рахунок включення резистора R_2 . Резистори R_1 і R_2 обмежують струм бази транзистора T_2 , а резистор R_3 забезпечує на виході типове значення $U^1=3.6$ В. Резистори R_1 і R_2 розраховуються для кожного конкретного застосування схеми з урахуванням необхідного $K_{раз}$ цієї схеми.

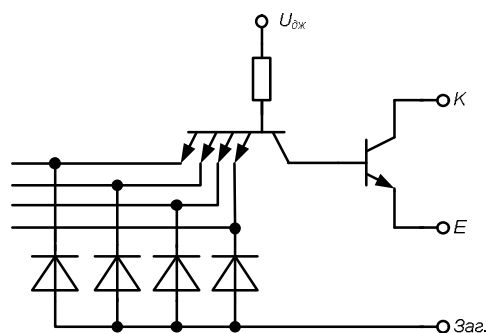


Рисунок 8.1- Схема розширника за АБО на чотири входи для елемента ТТЛ- типу.

Розширення логічних можливостей базових вентилів забезпечується різною їхньою комбінацією. На рис. 8.3 приведена схема елемента ТТЛ- типу з трьома стійкими станами, виконана на елементі 155ЛР4, що має входи для підключення розширників, та елемента 155ЛА7 з відкритим колектором.

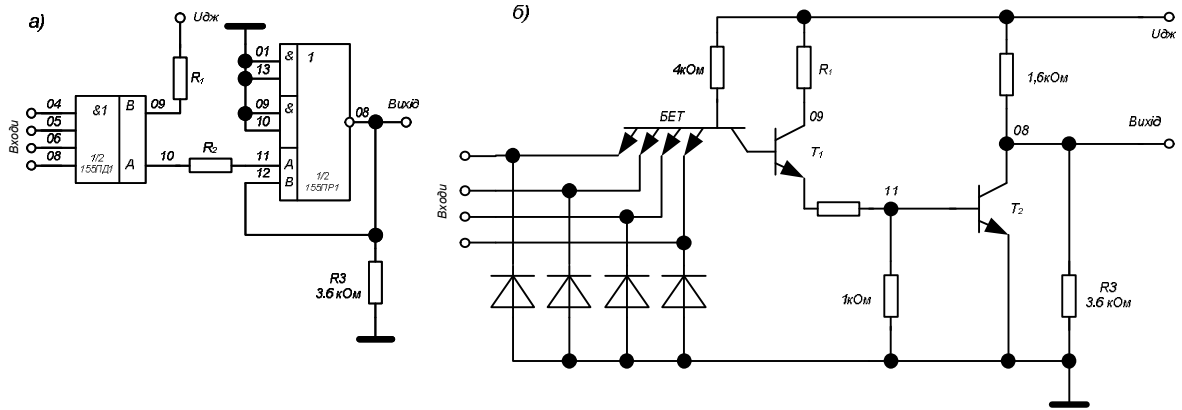


Рисунок 8.2- Функціональна та принципова схеми з підвищеною заводозахисністю на елементах ТТЛ- типу.

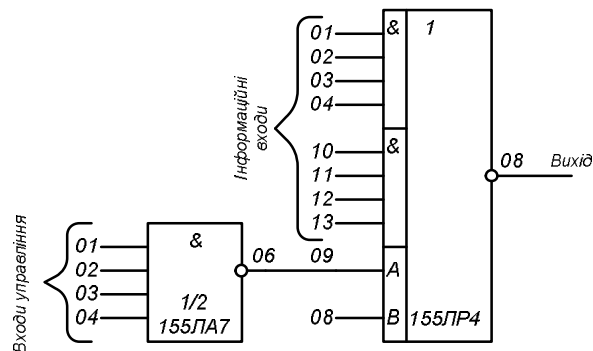


Рисунок 8.3- Схема елемента 4I-4I-2АБО–III з трьома стійкими станами

Типовий розширник за АБО для елементів ЕЗЛ- типу представлений на рис. 8.4, а. Якщо розширник має окремий вивід підкладки, то його необхідно приєднати до точки з найменшим потенціалом, для того щоб діоди колектор-підкладка були закриті. Так як в більшості серій елементів ЕЗЛ- типу виходи вільні і підключаються до вбудованих опорів зовнішнім монтажем, то можливе застосування «монтажного АБО», схема реалізації якого приведена на рис. 8.4, б. У цьому випадку всі емітери вихідних кіл поєднуються і підключаються до одного з резисторів у будь-якому елементі ЕЗЛ- типу, а інші резистори не використовуються.

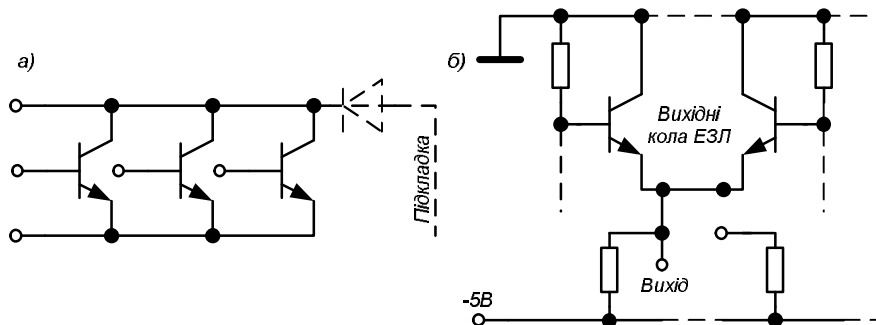


Рисунок 8.4- Розширення логічних можливостей елементів ЕЗЛ- типу за допомогою розширника (а) та «монтажне АБО»(б)

8.2. Перетворювачі рівнів

Крім частин керуючої системи, добре реалізованих засобами на основі типових комплектів БІС мікропроцесора, у типовій апаратурі керуючої системи мається велика кількість засобів сполучення з об'єктом керування, індикації, документування і под.

У більшості керуючих систем широко використовується вся номенклатура радіоелектронних елементів: дискретні (транзистори, діоди, резистори, конденсатори, індуктивності), інтегральні (ІС, СІС, БІС, набори компонентів), конструктивні настановні деталі (клавіатура, кнопки, індикатори, тумблери).

Перетворювачами рівнів (адаптерами, драйверами, трансляторами) називають спеціальні елементи цифрових пристроїв, призначені для забезпечення сумісності логічних рівнів різних сімейств цифрових елементів. В даний час логічні рівні, представлені електричними сигналами ТТЛ- елементів, та їхні навантажувальні характеристики стали фактично стандартними для цифрових пристроїв, мікропроцесорів, мікро-ЕОМ тощо незалежно від їхньої технології і схемотехніки елементної бази.

Крім забезпечення сумісності рівнів сигналів перетворювачі рівнів повинні задовольняти спеціальним вимогам, наприклад таким, як збереження перетворювачем граничного рівня керуючого елемента, рівнів струмів, способу кодування двійкових змінних (чи навпаки, зміна способу кодування); забезпечення заданих вимог по навантажувальній спроможності і параметрам швидкодії; необхідність виконання логічних операцій перетворювачем рівня; забезпечення парафазних виходів і т. ін.

Більшість інтегральних схем з високим рівнем інтеграції виконано на основі p -, n -, або КМДН- технології, у той час як схеми малого і середнього рівня інтеграції — на основі ТТЛ-, ЕЗЛ- і КМДН- технології. Є велике число схем інших типів. Загальні правила їхньої побудови для більшості випадків:

- перетворювачі рівнів проектуються для конкретних схем з обов'язковим обліком вихідних характеристик і параметрів керуючого елемента і вхідних характеристик і параметрів керованого елемента;
- перепад логічних рівнів керуючого елемента повинен бути достатнім для надійного функціонування перетворювачів рівнів;
- перетворювач рівнів повинний забезпечувати необхідні динамічні параметри з обліком ємнісних і активних навантажень.

У складі схем малого і середнього ступеня інтеграції ТТЛ-, ЕЗЛ- і КМДН-типу маються спеціально розроблені перетворювачі рівнів. Серед них можна виділити перетворювачі ЕЗЛ–ТТЛ К500ПУ125, перетворювач ТТЛ–ЕЗЛ К500ПУ124; перетворювачі КМДН–ТТЛ, 176ПУ1, 176ПУ2, 176ПУ3, 564ПУ4, 564ЛН1, 564ЛН2, перетворювачі ТТЛ–КМДЛ 133ЛН3, 133ЛН5 і ін. (рис. 8.5).

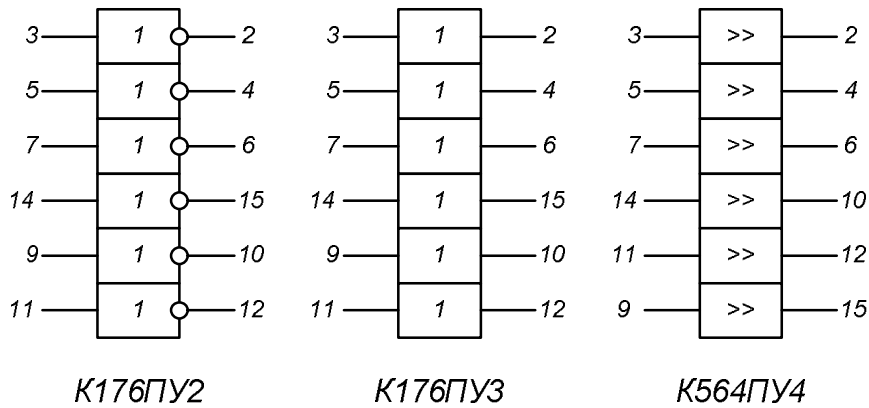


Рисунок 8.5- Перетворювачі рівнів

У тих випадках, коли необхідно розробити спеціальний перетворювач рівнів, можна використати одну з наступних схем: дільники напруги; фіксатори рівнів; зсування рівнів; ключові транзисторні схеми; схеми, що працюють на принципі переключення струму; перемикачі на оптоелектронних приладах; трансформаторні схеми.

На рис. 8.6, а показаний приклад стикування КМДН-схем, що працюють при високому рівні напруги джерела живлення, із КМДН-схемами, що працюють з низьким рівнем напруги джерела живлення. Для рис. 8.6, а можна рекомендувати $R_1=20$ кОм, $R_2=10$ кОм. Для поліпшення динамічних властивостей перетворювача рівнів використовуються компенсовані дільники.

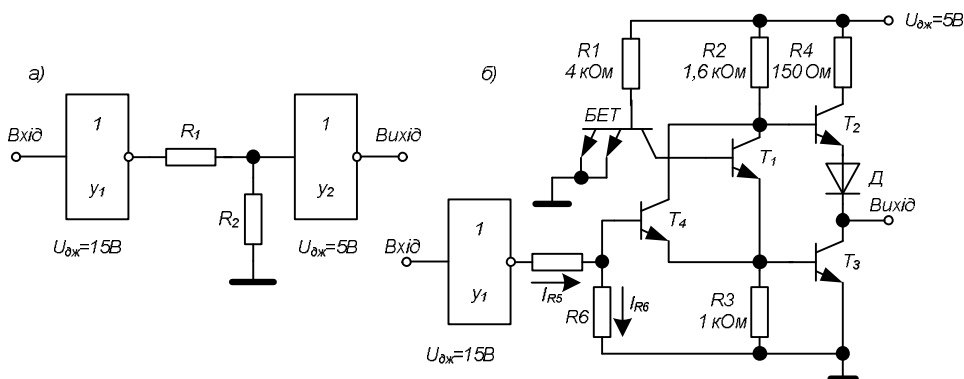


Рисунок 8.6- Приклади схем перетворення високого рівня в низький для схем КМДН-типу (а) та ТТЛ-типу (б)

Більш складну схему дільника зображено на рис. 8.6, б, де показана схема перетворювача рівня КМДН–ТТЛ для випадку, коли КМДН- схеми живляться напругами, більш ніж 5 В. У якості «активного» елемента перетворювача рівнів у даній схемі використовується будь-яка ТТЛ- схема, яка має входи розширення по АБО. Інформаційні входи ТТЛ- схеми заземлюються, у результаті чого транзистор T_1 завжди закритий. Зовнішній транзистор T_4 приєднується до розширювальних входів ТТЛ- схеми. Керування транзистором T_4 здійснюється дільником R_5 , R_6 , підключеним до виходу керуючої КМДН- схеми Y_1 . Коли на виході Y_1 низький потенціал, транзистор T_4 закритий і на виході формується рівень «1» ТТЛ- схем. Коли на виході Y_1 високий потенціал, транзистори T_4 і T_3 насичені і на виході формується рівень «0» ТТЛ- схем. Розглянемо порядок розрахунку величин R_5 і R_6 для типової ТТЛ- схеми серії 155, що забезпечує коефіцієнт розгалуження по виходу, рівний десяти:

$$I_{KнасT_4} = (U_{дж} - U_{KEнасT_4} - U_{BEнасT_3}) / R_2 = (5 - 0.3 - 0.7) / 1.6 \approx 2.5 \text{ мА} \quad (8.1)$$

Прийнявши для T_4 $\beta = 30$ і $K_{нас} = 1.5$, визначимо:

$$I_{BнасT_4} = I_{KнасT_4} \cdot K_{нас} / \beta = 2.5 \cdot 1.5 / 30 \approx 0.13 \text{ мА} \quad (8.2)$$

Струм через резистор R_6

$$I_{R_6} = (U_{BEнасT_4} + U_{BEнасT_3}) / R_6 \quad (8.3)$$

Прийнявши числове значення $I_{R_6} \leq I_{BнасT_4}$, визначимо величину R_6 . При

$I_{R_6} = I_{BнасT_4}$, одержуємо $R_6 = 10 \text{ кОм}$.

Визначимо струм через резистор R_5 :

$$I_{R_5} = I_{R_6} + I_{BнасT_4} \approx 0.26 \text{ мА} \quad (8.4)$$

По вихідних характеристиках КМДН- схеми Y_1 визначимо $U_{вих}^1$ при струмі, рівному I_{R_5} . Обчислимо R_5 по співвідношенню

$$R_5 = (U_{вих}^1 - U_{BEнасT_4} - U_{BEнасT_3}) / I_{R_5} = (14.9 - 0.7 - 0.7) / 0.26 \approx 51 \text{ кОм} \quad (8.5)$$

Для поліпшення динамічних властивостей розглянутого перетворювача рівнів необхідно або зменшити величини R_5 і R_6 , або застосувати компенсований дільник.

Ключові транзисторні схеми як перетворювачі рівнів використовують у тому випадку, коли потрібно погодити схеми, напруги живлення в яких різного знака при великій величині логічного перепаду в кожній зі схем.

Схеми, що працюють на принципі переключення струму, використовують як перетворювачі рівнів у тих випадках, коли логічний перепад може складати частки вольтів (рис. 8.7).

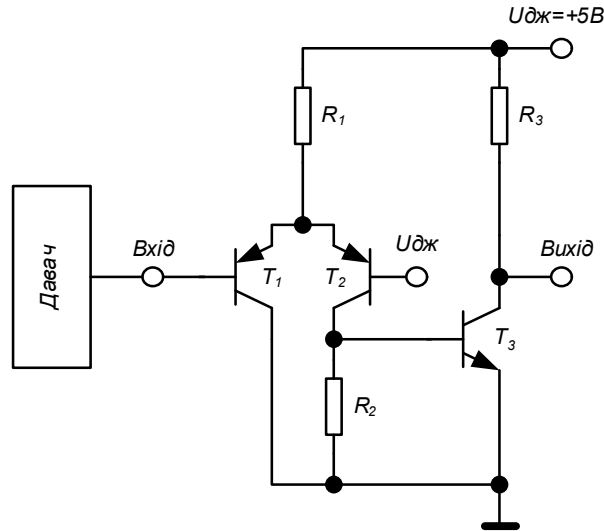


Рисунок 8.7 - Схема перетворювача рівнів на принципі переключення струму

Оптоелектронні перемикачі і трансформатори використовують для гальванічної розв'язки електричних кіл при одночасному перетворенні рівнів. На рис. 8.8, а приведена схема перетворювачів рівнів струму в рівні ТТЛ-схем. На рис. 8.8, б приведена трансформаторна схема для перетворення рівнів.

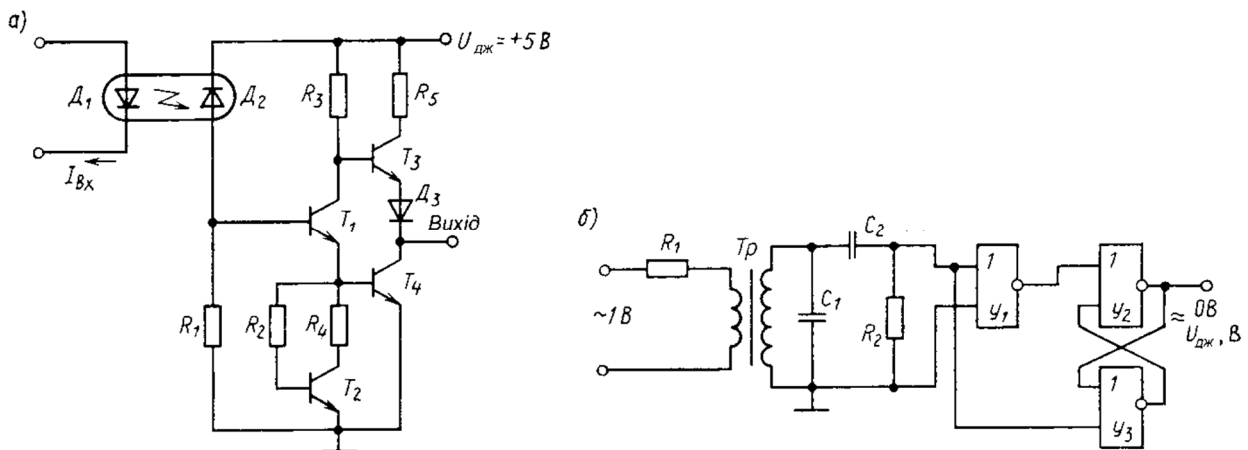


Рисунок 8.8 - Схема перетворювача струму в рівні схеми ТТЛ-типу (а) та трансформаторного перетворювача рівнів (б)

8.3 Генератори та одновібратори

Генератори — спеціальні елементи цифрових пристроїв, призначені для формування послідовності електричних сигналів різної форми. Послідовність сигналів може бути регулярною або з перериваннями, у тому числі зі зміною параметрів і форми електричних сигналів. Генератори забезпечують роботу цифрового пристрою в часі за законом, зумовленим внутрішньою структурою пристрою, і характеризуються частотою сигналу, стабільністю частоти, можливістю керування частотою, формою сигналу, шпаруватістю, видом послідовності сигналу і т.п. Таким чином, генератори за структурою можуть змінюватися від найпростішого автоколивального мультівібратора до складного цифрового пристрою.

На рис. 8.9, а представлена схема генератора, у якому конденсатор C забезпечує час затримки, необхідний для створення позитивного зворотного зв'язку, і від його ємності залежить частота генерації. Звичайно розроблювачі визначають необхідну ємність C методом проб і помилок.

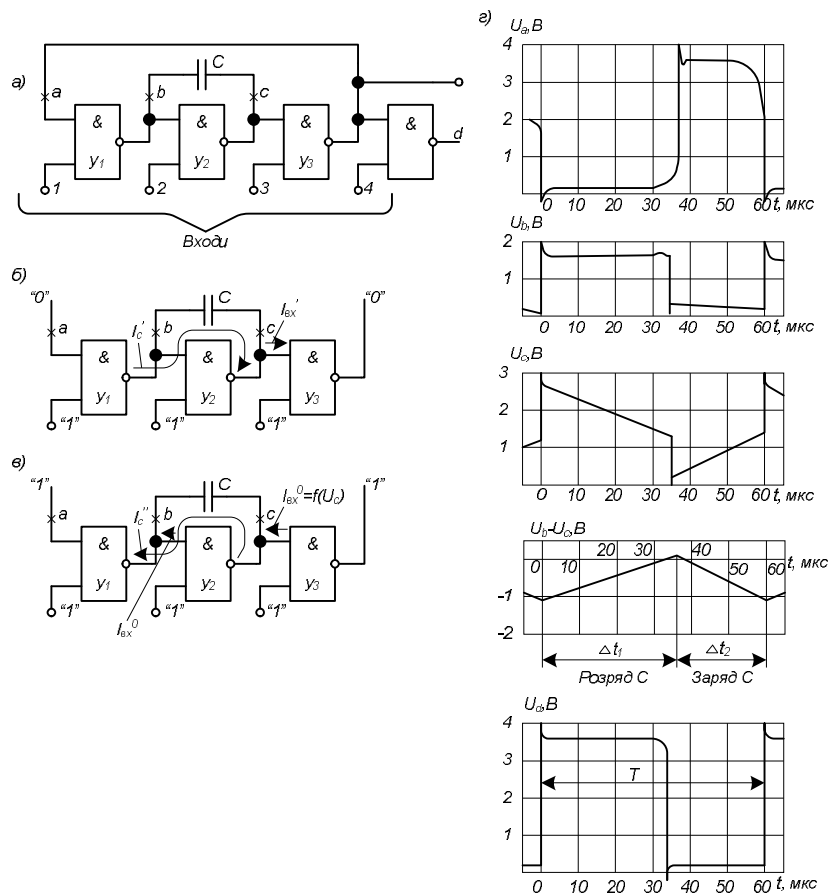


Рисунок 8.9- Схема генератора на трьох елементах І–НЕ

Проаналізуємо роботу конкретної схеми, яка виконана на мікросхемах серії К155 при $C = 0,47$ мкФ, що дасть змогу прискорити вибір необхідної величини C .

Генератор виконаний на трьох вентилях Y_1 - Y_3 . Вентиль Y_4 використовується для поліпшення форми вихідного сигналу і може керуватися входом 4. При роботі генератора на входи 1-3 необхідно подати рівень «1» (при подачі на кожний з цих трьох входів рівня «0» генерація зривається і на виході d фіксується постійний логічний рівень). Якщо рівень «0» подається на входи 1 або 3, то на виході d установлюється рівень «0»; якщо рівень «0» подається на вхід 2, то на виході d рівень «1».

На рис. 8.9, б, в представлені процеси розряду і заряду конденсатора C , а на рис. 8.9, г — часові діаграми роботи схеми.

Зі схеми, показаної на рис. 8.9, б, видно, що розрядний струм I_C' забезпечується вихідним колом вентиля Y_1 і сприймається вихідним колом вентиля Y_2 (впливом малого струму I'_{ex} вентиля Y_3 зневажаємо). У процесі розряду конденсатора C установлюється своєрідний режим, при якому вихідний струм закритого вентиля Y_1 дорівнює вихідному струму відкритого вентиля Y_2 , причому $U_{вихY1}=U_{вихY2}=U_B$. Цей режим роботи виконується при $U_B \approx 1,5В$, $I_{вихY1} \approx 19mA$. Робота вентиля Y_2 при такому струмі забезпечується відповідним розподілом струму, що тече через резистор у колі бази БЕТ між вхідним колом і колом колектора БЕТ.

Величина $U_B \approx 1,5В$ підтверджується реальною часовою діаграмою. Перевіримо, чи підтверджується висновок про струм $I_{вихY1} \approx 19mA$. З рис. 8.9, г випливає, що на етапі розряду конденсатора (мкФ) напруга на ньому змінюється на величину $\Delta U_C \approx 1,3 В$ за час $\Delta t_1 \approx 35$ мкс майже по лінійному законі, тобто розряд здійснюється постійним струмом

$$I_C' = C \cdot \Delta U_C / \Delta t_1 = 17.5 mA \quad (8.19)$$

Збіг значень $I_{вихY1}$ і I_C' з урахуванням розкиду параметрів елементів ТТЛ-типу і допуску на номінал конденсатора (у мкФ) говорить про правильність проведеного аналізу роботи схеми. Отже, тривалість Δt_1 (мкс) складової періоду коливаний генератора можна оцінити з формули

$$\Delta t_1 = C \cdot \Delta U_C / I_C' \approx 72C \quad (8.20)$$

Співвідношення (8.20) отримане з (8.19), оскільки при зміні величини C рівні струмів і напруг не міняються, а міняється тільки тривалість Δt_1 .

З рис. 8.9, в випливає, що зарядний струм I_C'' забезпечується вихідним колом вентиля Y_2 і вхідним колом вентиля Y_3 , а сприймається цей струм вихідним

колом вентиля Y_1 . Оцінимо значення цього струму. Відразу після початку заряду конденсатора C потенціал $U_C \approx 0,2$ В, тому з вихідних характеристик випливає, що струм $I_{\text{вих}Y_2} \approx 28$ мА (майже струм короткого замикання), а струм $I_C''(0) = I_{\text{вих}Y_2} + I_{\text{ех}Y_3}^0 \approx 30$ мА. Наприкінці заряду конденсатора C потенціал $U_B = U_{\text{пор}} \approx 1,4$ В, тому з вихідних характеристик випливає, що $I_{\text{вих}Y_2} \approx 20$ мА, а струм $I_C'' \approx I_{\text{вих}Y_2} \approx 20$ мА, тому що $U_C = U_{\text{пор}} \cdot I_{\text{ех}Y_3}^0 = 0$.

Для спрощення аналізу приймемо, що в процесі заряду конденсатора C зарядний струм постійний і дорівнює 25 мА, тоді для складової Δt_2 періоду коливань генератора можна записати

$$\Delta t_2 = C \cdot \Delta U_C / I_C'' \approx 52C \quad (8.21)$$

Підставивши числове значення $C = 0,47 \cdot 10^{-6}$ Ф, одержимо $\Delta t_2 = 24,4$ мкс. Ця тривалість складової періоду коливань генератора добре збігається з реальною тривалістю $\Delta t_2 = 25$ мкс, визначеною експериментально (рис. 8.9, *з*).

Отже, для генератора, зібраного за схемою, показаній на рис. 8.9, *а* на елементах ТТЛ-типу серій К133 і К155, частоту генерації (мГц) можна визначити з формули

$$f = 1/T = 1/(\Delta t_1 + \Delta t_2) = 1/(124C) \quad (8.22)$$

Проаналізуємо отримані результати з погляду переваг і недоліків даної схеми. Перевага схеми — її простота, тому що потрібен лише один зовнішній компонент-конденсатор C . Недоліки схеми:

- 1) шпаруватість даного генератора не дорівнює двом (несуттєвий недолік);
- 2) вентиля Y_1 і Y_2 безупинно працюють практично в критичному режимі (істотний недолік, через який забороняється використовувати дану схему в апаратурі, що працює в складних умовах експлуатації);
- 3) у жодній точці схеми, за винятком, може бути, точки *а*, немає добре сформованого сигналу чітко фіксуючого напруги U^0 і U^1 , що задовольняють вимогам технічних умов.

Усі відзначені недоліки порівняно просто усуваються в схемі, показаній на рис. 8.11, *а*, шляхом включення на вихід «критичних» вентилів Y_1 і Y_2 резисторів R (не обов'язково однакових). Для забезпечення умов генерації ці резистори повинні вибиратися такої величини, щоб для ізолюваного вентиля при заземленому резисторі на його вході забезпечувався рівень, менший $U_{\text{пор}}$ для най-

гірших умов експлуатації. Порівнюючи часові діаграми, показані на рис. 8.9, *з* і 8.10, *б*, можна зробити висновок що підбором резисторів R неважко забезпечити шпаруватість, рівну двом. Для схеми з номіналами, зазначеними на рис. 8.10, *а*, струми заряду і розряду конденсатора C знижені приблизно в п'ять разів; у точках *b* и *d* схеми формуються сигнали, що добре фіксують рівні U^0 і U^1 .

Аналіз роботи схеми на рис. 8.10, *а* виконується аналогічно аналізу роботи схеми на рис. 8.9.

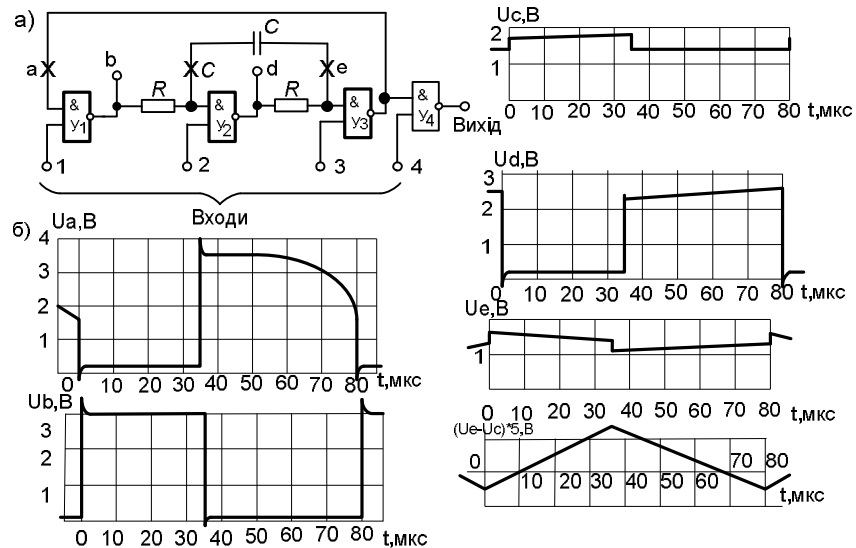


Рисунок 8.10- Схема генератора на трьох вентилях І–НЕ серії 155, що працює у полегшеному режимі ($R=300$ Ом; $C=0.47$ мкФ)

На рис. 8.11, *а*, в наведені варіанти генераторів, виконані на двох вентилях ТТЛ серії К155, а на рис. 8.11, *б*, *з* — часові діаграми при $R=300$ Ом, $C=0,47$ мкФ.

Схема генератора на рис. 8.12. побудована на базі мультивібратора з зв'язком за емітером, у якій транзистори T_1 і T_2 утворюють підсилювальний каскад з позитивним зворотним зв'язком. У будь-який момент часу насичений транзистор T_1 або T_2 і конденсатор C поперемінно то заряджається, то розряджається струмом постійного значення I_0 , що визначається керованим джерелом струму на транзисторах T_3 і T_4 .

Проведемо аналіз роботи схеми на рис. 8.12. Розглянемо процеси, що відбуваються в схемі, показаній на рис. 8.12, *б*, відразу після, насичення транзистора T_2 . Позитивний потенціал на конденсаторі C , що існував перед моментом переключення, надійно закриває транзистор T_1 , і конденсатор починає розряджати постійним струмом I_0 . Як тільки потенціал емітера транзистора T_1 чи лівої обкладки конденсатора C стане рівним $U_{K_2} - U_{BEнас}$, транзистор T_1 , стриб-

ком входить у стан насичення, а транзистор T_2 закривається. Далі відбувається аналогічний процес.

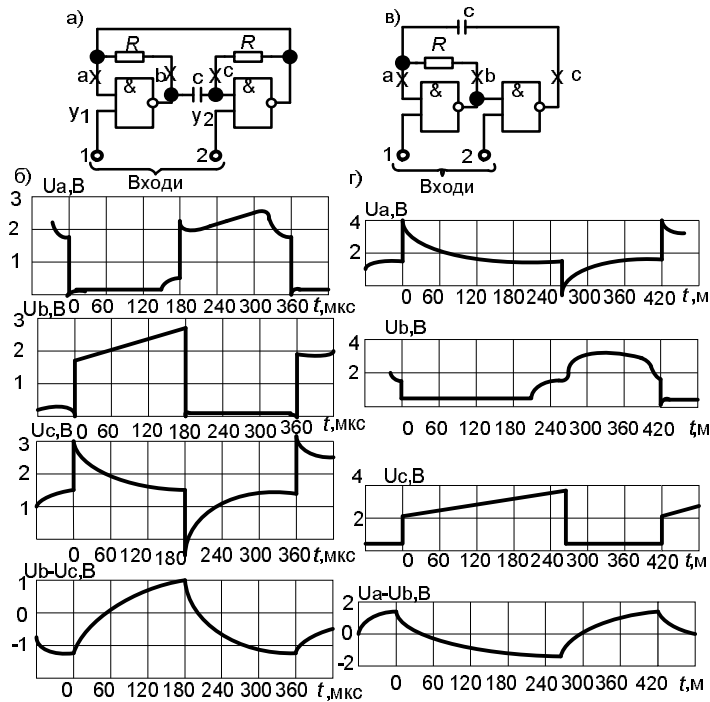


Рисунок 8.11- Схеми генераторів на двох вентилях I–HE (а, б) та часові діаграми їх роботи (в, г) ($R=300 \text{ Ом}$; $C=0.47 \text{ мкФ}$)

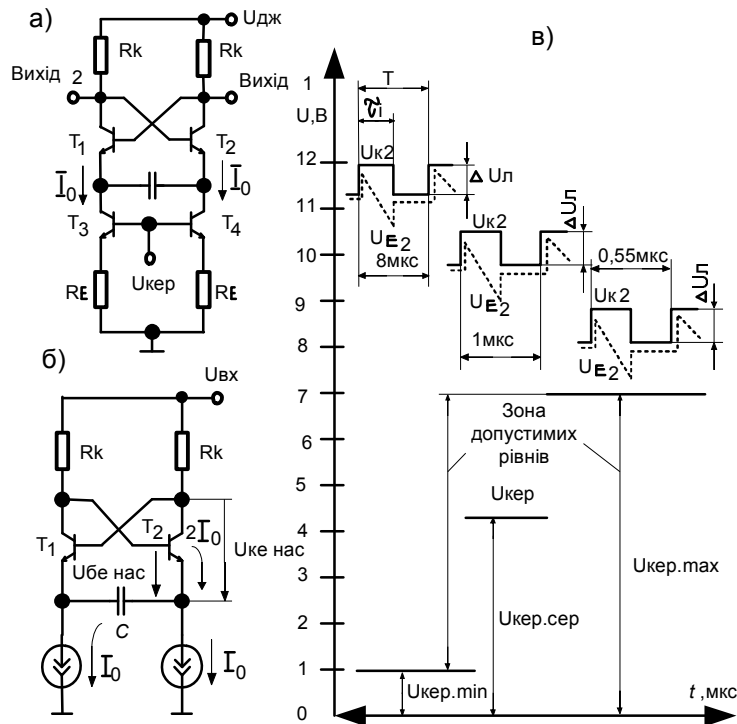


Рисунок 8.12 - Схема керованого генератор на базі мультиплексора зі зв'язком за емітером:
 а — принципова схема; б — розрахункова схема; в — часові діаграми роботи у допустимій зоні рівнів $U_{кер}$

З рис. 8.12, в видно, що логічний перепад на виходах генератора дорівнює $U_{BEнас} - U_{KEнас} \approx 0,6$ В і не залежить від величин R_K і I_0 , а конденсатор C змінює свій потенціал на величину $2 \cdot U_{BE} \approx 1,2$ В. Так як конденсатор перезаряджається постійним струмом I_0 , то

$$\tau_i = \Delta U_C \cdot C / I_0 = 2 \cdot U_{BE} \cdot C / I_0 \quad (8.23)$$

і, отже,

$$f = 1/T = 1/(2 \cdot \tau_i) = I_0 / (4 \cdot U_{BE} \cdot C). \quad (8.24)$$

Якщо зневажити незначною залежністю U_{BE} від I_0 , то можна вважати, що частота генерації строго лінійно залежить від струму I_0 . Умовами нормальної роботи схеми треба вважати: 1) насичений режим роботи транзисторів T_1 і T_2 , що забезпечує незмінність логічного перепаду на виходах; 2) активний режим роботи транзисторів T_2 і T_4 , що забезпечує незмінність величини струмів I_0 .

Першу умову запишемо у виді вираження, що визначає технічне насичення транзисторів T_1 і T_2 :

$$U_B - U_K = 0,6 \text{ В}, \quad (8.25)$$

де

$$U_B = U_{дж} - R_K \cdot I_B = U_{дж} - R_K \cdot (1 - \alpha) \cdot 2 \cdot I_0; \quad (8.26)$$

$$U_K = U_{дж} - R_K \cdot I_K = U_{дж} - R_K \cdot \alpha \cdot 2 \cdot I_0. \quad (8.27)$$

Підставивши (8.26) і (8.27) у (8.25), одержимо мінімальне значення струму, при якому транзистори T_1 і T_2 ще працюють у режимі насичення:

$$I_{0\min} = 0,6 / (2 \cdot R_K \cdot (2 \cdot \alpha - 1)) \approx 0,3 / R_K \quad (8.28)$$

Так як

$$I_0 = (U_{кер} - U_{BE}) \cdot \alpha / R_E, \quad (8.29)$$

то з (8.28) і (8.29) випливає, що

$$U_{кер\min} = 0,6 \cdot R_E / (2 \cdot \alpha \cdot (2 \cdot \alpha - 1) \cdot R_K) + U_{BE} \approx 0,3 / R_K + U_{BE}. \quad (8.30)$$

Другу умову запишемо у виді вираження, що визначає теоретичне насичення транзисторів T_3 і T_4 . Тут обране теоретичне, а не технічне насичення з розумінь надійної роботи генератора. У першій умові технічне насичення відбиває суть справи. Як видно з рис. 8.14, в, мінімальний потенціал колекторів T_3 і T_4 визначається як різниця потенціалу емітера насиченого транзистора T_1 або T_2 і напруги U_{BE} . Використовуючи теорему про вузлову напругу, можна записати

$$U_K = \frac{(U_{дж} - U_{КЕнас})/R_K + (U_{дж} - U_{БЕнас})/R_K - 2 \cdot I_0}{1/R_K + 1/R_K} - U_{БЕ} = \frac{(2 \cdot U_{дж} - U_{КЕнас} - U_{БЕнас})/R_K - (2 \cdot (U_{кер} - U_{БЕ}) \cdot \alpha) \cdot R_E}{2/R_K} - U_{БЕ} \quad (8.31)$$

На теоретичній межі насичення виконується умова $U_{K_3} = U_{B_3}$, тоді, підставивши в (8.31) замість U_K і $U_{кер}$ значення $U_{кер\max}$ і прийнявши $U_{БЕ}$ у всіх транзисторів однаковими, одержимо

$$U_{кер\max} = (2 \cdot U_{дж} - U_{КЕнас} - U_{БЕнас}) \cdot \frac{R_E}{2 \cdot (R_E + \alpha \cdot R_K)} - U_{БЕ} \cdot \frac{R_E - \alpha \cdot R_K}{R_E + \alpha \cdot R_K}, \quad (8.32)$$

а для максимального струму I_0

$$I_{0\max} = \frac{(2 \cdot U_{дж} - U_{КЕнас} - U_{БЕнас}) \cdot \alpha}{2 \cdot (R_E + \alpha \cdot R_K)} - \frac{2 \cdot U_{БЕ} \cdot \alpha}{R_E + \alpha \cdot R_K}. \quad (8.33)$$

Динамічний діапазон зміни частоти $K_{пер}$ визначимо як відношення максимального і мінімального струмів I_0 , вважаючи в (8.33) $\alpha \approx 1$:

$$K_{пер} = \frac{I_{0\max}}{I_{0\min}} \approx \frac{(2 \cdot U_{дж} - U_{КЕнас} - U_{БЕнас}) \cdot R_K}{0.6 \cdot (R_E + R_K)} - \frac{2 \cdot U_{БЕ} \cdot R_K}{0.3 \cdot (R_E + R_K)} \quad (8.34)$$

Нагадаємо, що співмножники 0,6 і 0,3 у знаменниках вираження (8.34) мають розмірність вольт.

Граничне значення $K_{пер}$ при $U_{дж} \gg U_{КЕнас}$, $U_{БЕнас}$, $U_{БЕнас}$ і $R_K \gg R_E$ можна оцінити по співвідношенню

$$(K_{пер})_{гр} \approx U_{дж} / 0.3. \quad (8.35)$$

При $U_{дж} = 12$ В одержуємо $(K_{пер})_{гр} \approx 40$, фактично вдається реалізувати $(K_{пер})_{гр} \approx 30 \div 32$.

Недолік розглянутої схеми — в процесі регулювання значно змінюється потенціал на виходах, а логічний перепад малий (лише 0,6 В). Однак, з огляду на те, що виходи 1 і 2 — інверсні, цей недолік легко можна усунути використовуючи швидкодіючий компаратор, виконаний, наприклад, на операційному підсилювачі. Необхідно тільки звернути увагу на припустимий рівень синфазної складової на вході компаратора.

Зазначений недолік можна усунути також використанням замість резисторів R_K діодів, увімкнених у прямому напрямку. Це забезпечує, по-перше, активний режим роботи транзисторів T_1 і T_2 і, як наслідок, поліпшення частотних властивостей генератора; по-друге, забезпечує прив'язку вихідних сигналів до рівня $U_{дж}$; по-третє, істотно збільшує коефіцієнт перекриття по частоті, тому що

транзистори T_1 і T_2 будуть працювати в активному режимі у великому діапазоні зміни струмів. Однак у схемі з діодами значно зменшується рівень логічного перепаду на виходах.

Оцінимо цей рівень. Так як транзистори T_1 і T_2 працюють в активному режимі, через діод у колі колектора відкритого транзистора буде текти струм $I_{ДК} = \alpha \cdot 2 \cdot I_0$, а через діод у колі бази того ж транзистора — струм $I_{ДБ} = (1 - \alpha) \cdot 2 \cdot I_0$.

Нехай вольт-амперна характеристика діодів у прямому включенні визначається вираженням (при $r_D \approx 0$)

$$U_D = U_D^* + m \cdot \varphi_T \cdot \ln(I_D / I_D^*). \quad (8.36)$$

Підставивши в це вираження значення струму $I_{ДК}$ і $I_{ДБ}$ і взявши різницю відповідних напруг, одержимо

$$\begin{aligned} \Delta U_L &= U_{ДК} - U_{ДБ} = m \cdot \varphi_T \cdot \ln \frac{I_{ДК}}{I_{ДБ}} = \\ &= m \cdot \varphi_T \cdot \ln \frac{\alpha}{1 - \alpha} = m \cdot \varphi_T \cdot \ln \beta \end{aligned} \quad (8.37)$$

Якщо $m \cdot \varphi_T = 0.03$ В, а $\beta = 50$, то $\Delta U_L \approx 0.15$ В. І в цьому випадку ΔU_L не залежить від величини струму I_0 . Утруднення, зв'язані з низьким рівнем ΔU_L у схемі з діодами, так само як і в схемі з резисторами, легко усуваються використанням компаратора.

При необхідності побудови генераторів, частота яких порівнянна з граничною частотою БЕ, застосовують схеми, принцип дії яких заснований на використанні власних інерційних властивостей ЛЕ. У таких схемах відсутні зовнішні елементи, що задають час, і частота вихідних коливань визначається часом затримки поширення імпульсу $t_{з,р}$ ЛЕ. Подібні схеми складаються з N послідовно включених ЛЕ, охоплених колом одиничної ООЗ (рис. 8.13, а). Число послідовно включених елементів повинно бути непарним.

Роботу схеми пояснимо за допомогою часових діаграм, приведених на рис. 8.13,б. У вихідному стані перемикач S замкнутий і схема знаходиться в стійкому стані, при якому вихідні напруги всіх непарних елементів рівні U^1 , а парних U^0 . Розмикання в момент t_0 ключа S рівносильне подачі на вхід першого ЛЕ двох одиничних вхідних сигналів. Тому через час, рівне $t_{з,р}^{1,0}$, відбудеться зміна його вихідної напруги. Сигнал U^0 з виходу $DD1$ потрапляє на вхід другого ЛЕ,

що, у свою чергу, через часовий інтервал $t_{з.р.}^{0,1}$ змінить і його вихідну напругу з U^0 до U^1 , і т.д. Переключення елементів буде відбуватися послідовно друг за другом.

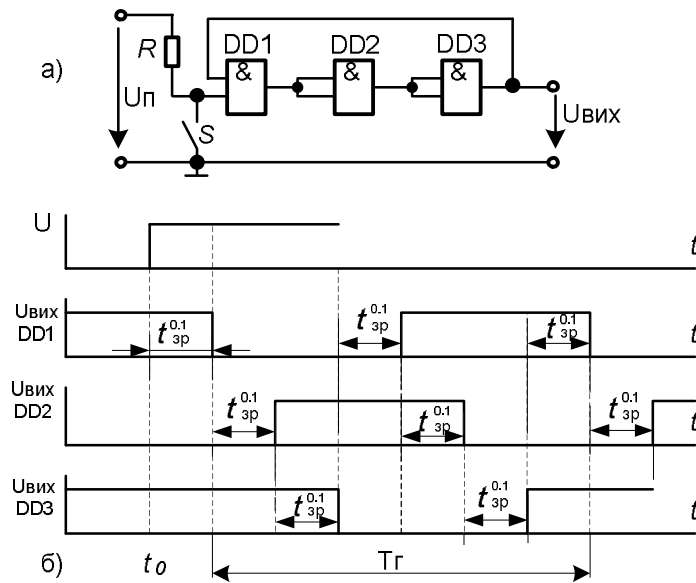


Рисунок 8.13- Швидкодіючий автогенератор (а) та часові діаграми (б), пояснюючі його роботу

Період коливань у таких схемах визначається вираженням

$$T_c = N(t_{з.р.}^{1,0} + t_{з.р.}^{0,1}).$$

Частота коливань такого генератора для ІС серії 555 лежить у діапазоні десятків мегагерц.

У таблиці 8.1. представлено кілька схемних рішень генератора прямокутних імпульсів, побудованого на різних мікросхемах серії К561. Для кожного генератора зазначена формула, що дозволяє обчислювати значення частоти генератора в залежності від номіналів елементів (у герцах, опір — в омах, ємність — у фарадах, індуктивність — у генрі; більш зручно, до для RC-генераторів: частота — у кілогерцах, опір — у кілоомах, ємність — у мікрофарадах; для LC-генераторів: частота — у мегагерцах, ємність — у нанофарадах, індуктивність — у мілігенрі). Усі розрахункові формули і характеристики, розглянутих генераторів отримані в результаті експериментів з конкретними зразками мікросхем.

Таблиця 8.1- Варіанти схемних рішень генератора прямокутних імпульсів

Схема	Експериментальна формула	Нижня межа $R1, \text{кОм}$	Найвища частота генерації, мГц	Шпаруватість вихідних імпульсів
	$F = \frac{0.52}{R1 \cdot C1}$	1	2	2
	$F = \frac{0.44}{R1 \cdot C1}$	1	2	2
	$F = \frac{0.48}{R1 \cdot C1}$	0,56	2	>2
	$F = \frac{0.54}{R1 \cdot C1}$	0,56	2	<2
	$F = \frac{1}{2\pi\sqrt{L1 \cdot C1}}$	-	1,3	<2
	$F = \frac{1.78}{R1 \cdot C1}$	1	1	>2

На практиці існує багато способів стабілізації частоти вихідної напруги генераторів. Але найбільш простим і ефективною з них є застосування кварцової стабілізації. Суть даного способу полягає в тому, що в якості елемента який задає час в генераторі використовують кварцовий резонатор. Типова схема такого генератора, побудованого на основі мультівібратора, приведена на рис. 8.14.

Розглянемо призначення окремих елементів схеми. Частота вихідної напруги визначається параметрами кварцового резонатора G . Резистор R вибирається з умови надійного виникнення коливань. Зміною ємності конденсатора можна в незначному ступені підбудувати частоту вихідних коливань. Логічний елемент DD3 є буферним і призначений для поліпшення форми вихідних коливань.

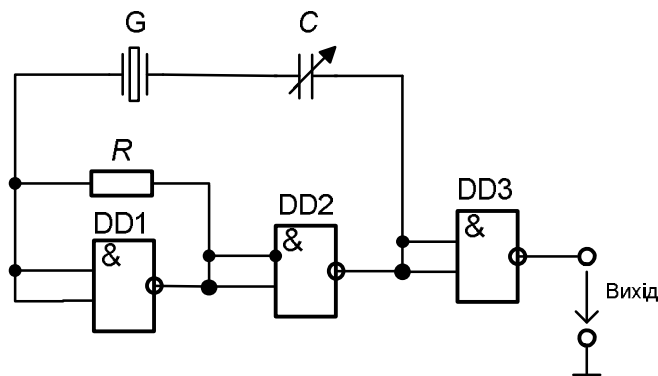


Рисунок 8.14- Принципова електрична схема кварцового автогенератора

У генераторах, виконаних на типових логічних вентилях і розглянутих вище, використовувалося два чи три вентиля, причому в кожному вентилі використовувався для створення власне генератора тільки один інформаційний вхід. Якщо використовувати другі входи і четвертий вентиль розповсюдженої інтегральної схеми, функціональні можливості генератора можна істотно розширити. Реалізація таких можливостей ілюструється схемою, наведеною на рис. 8.15. Ця схема може працювати в трьох режимах. При рівні "0" на вході 1 схема генерує на частоті кварцового резонатора А. При рівні "0" на вході 2 схема генерує на частоті кварцового резонатора В. При рівні "0" на вході 3 схема блокується. Генератор видає прямокутні імпульси з коефіцієнтом заповнення $\approx 40\%$, що сумісні з рівнями ТТЛ.

У генераторі застосовуються малопотужні елементи ТТЛ- типу, що дозволяє одержати вихідні імпульси з частотою не більш одиниць мегагерц [8].

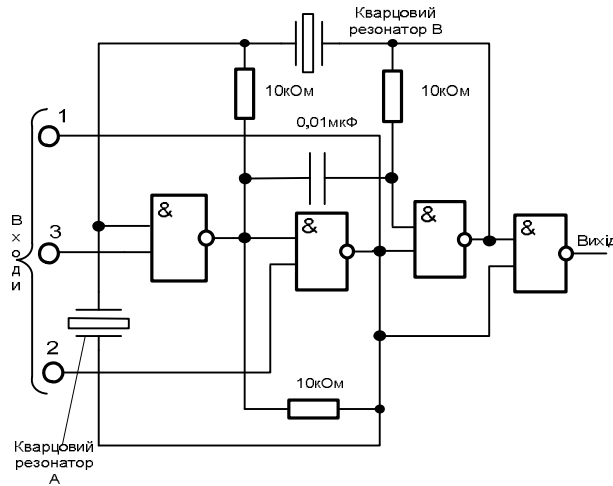


Рисунок 8.15- Схема генератора на дві частоти

Хоча стабільність частоти RC-генераторів на мікросхемах КМОП досить висока (особливо в порівнянні з генераторами на мікросхемах ТТЛ), але часто буває необхідна ще більш висока стабільність. У цих випадках зручно застосувати генератор із кварцовим резонатором на більш високу частоту з наступним її діленням до необхідного значення (рис.8.16). Такий варіант забезпечить не тільки високу стабільність частоти але і виключить необхідність у підстроювальних елементах.

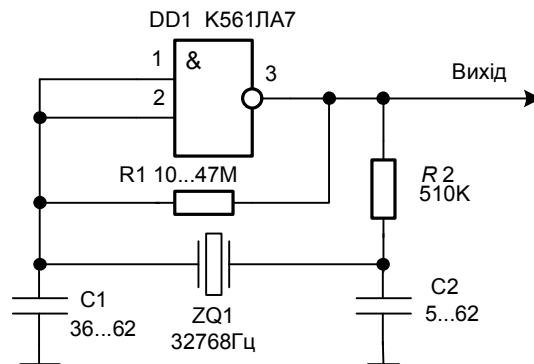


Рисунок 8.16- Генератор із кварцовим резонатором на мікросхемі КМОН

Одновібратором називається пристрій, що виробляє вихідний імпульс по одиночному перепаду вхідного сигналу. Тривалість вихідного імпульсу визначається постійною часу RC вбудованих або зовнішніх компонентів і, отже, не залежить від часових обмежень, що накладаються системними тактовими імпульсами.

У складі деяких серій сучасних інтегральних мікросхем є одновібратори двох типів: без повторного запуску і з повторним запуском. На рис. 8.17 показана функціональна схема одновібратора без повторного запуску К155АГ1, на

рис. 8.18 наведені варіанти включення зовнішніх R, C компонентів для цієї мікросхеми, а на рис. 8.19— часові діаграми, що пояснюють процес формування вихідного імпульсу.

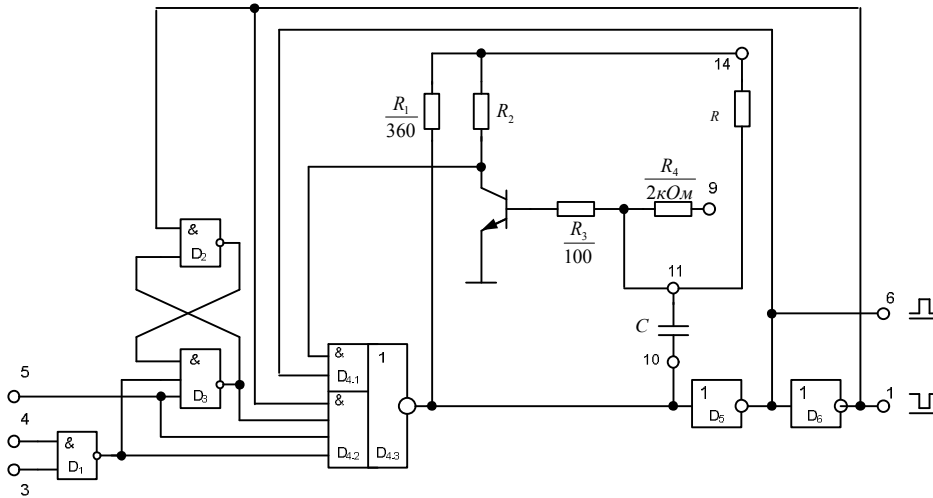


Рисунок 8.17- Функціональна схема одновібратора К155АГ1

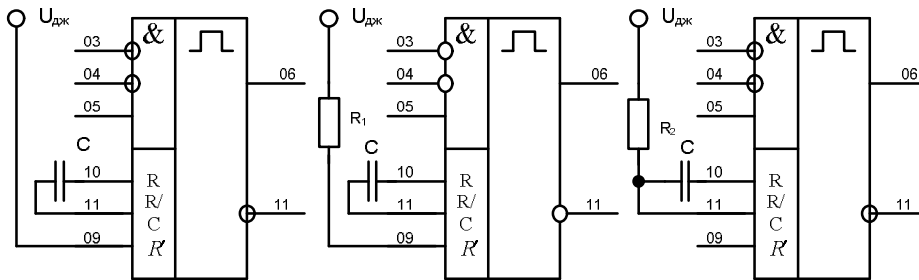


Рисунок 8.18 - Варіанти включення К155АГ1

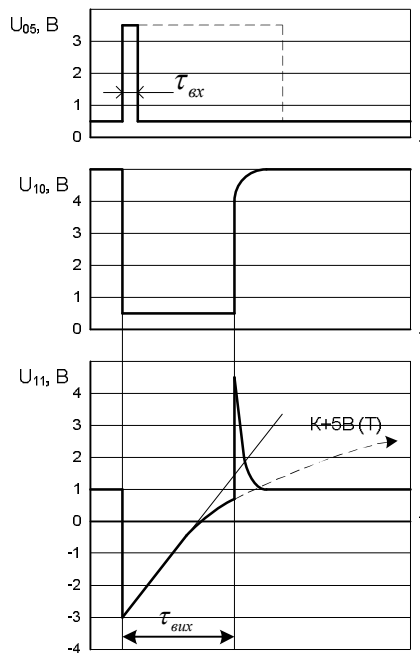
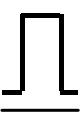



Рисунок 8.19 - Процес формування імпульсу

Варіанти запуску даного одновібратора наведені в табл. 8.2. При будь-яких комбінаціях статичних сигналів на входах 3, 4 і 5 одновібратор знаходиться в стабільному стані, при якому $Q = "0"$, $\bar{Q} = "1"$.

Розглянемо обмеження, що накладаються на зовнішні R, C компоненти. R_{\min} знизу обмежується максимально припустимим струмом бази транзистора VT₁. У технічних умовах зазначене $R_{\min} = 1,4$ кОм, що відповідає току бази I_{BVT1} приблизно дорівнює 2.7 мА. R_{\max} зверху обмежується вимогою забезпечення насиченого режиму транзистора VT₁. У технічних умовах зазначено, що $R_{\max} = 30$ кОм. Ємність конденсатора С повинна бути менше чи дорівнювати 1000 мкФ, причому допускається застосування електролітичних конденсаторів. Полярність включення останніх: вивід «+» — на контакт 11 мікросхеми (рис. 8.22), а вивід «—» — на контакт 10. Значення $C = 10 \div 1000$ мкФ повинні застосовуватися тільки в тих випадках, коли до стабільності вихідних імпульсів немає високих вимог. Перед запуском сигналу напруга U_{11} на контакті 11 (рис. 8.22) дорівнює $U_{BEнас} + I_{Bнас} \cdot R_3 = 0.8 - 1.1$ В.

Таблиця 8.2 - Варіанти запуску К155АГ1

Входи			Виходи	
3	4	5	6	1
0	X	\uparrow		
X	0	\uparrow		
1	\downarrow	1		
\downarrow	1	1		
Одночасний перехід \downarrow		1		

На рис. 8.23, в показаний рівень $U_{11} = 0,95$ В. З приходом сигналу запуску, тривалість якого повинна бути не менш 50 нс, на виході елемента D4.3 (див. рис. 8.21) формується рівень $U_{10} = 0,85$ В. Ця величина зумовлена тим, що елемент D4.3 виконаний з ненасиченим вихідним каскадом. Негативний перепад $-4,15$ В у точці 10 через конденсатор С передається в точку 11, у результаті чого відразу після запуску в точці 11 формується рівень $0,95 - 4,15 = -3,2$ В. Ця напруга встановлює транзистор VT₁ у режим відсічення. Рівень "1" з колектора VT₁ і з виводу 06 мікросхеми надходять на входи елемента D4.1 і підтверджують рівень "0" на виході D4.3 доти, поки закритий транзистор VT₁, тим самим блокується можливість повторного запуску одновібратора протягом часу фор-

мування вихідного імпульсу, тому що зміна станів входів елемента D4.2 не зробить впливу на рівень “0” на виході елемента D4.3.

Потенціал у точці 11 починає змінюватися від рівня -3.2 В, прагнучи до значення $U_{дж}$ з постійною часу $T=RC$. Однак, як тільки потенціал у точці 11 стане рівним приблизно 0.75 В, транзистор VT_1 відкривається і рівень “0” на колекторі VT_1 забезпечує формування логічної одиниці “1” на виході D4.3. Таким чином, тривалість $\tau_{вих}$ вихідного імпульсу можна визначити по загальній формулі, де $U_1 = -3.2$ В; $U_2 = +0.75$ В; $U_\infty = +5$ В:

$$\tau_{вих} = T \cdot \ln \frac{U(\infty) - U_1}{U(\infty) - U_2} = RC \cdot \ln \frac{5 + 3.2}{5 - 0.75} = 0.66RC \approx RC \cdot \ln 2 \quad (8.38)$$

Значення R у (8.38) визначається одним з варіантів включення зовнішніх компонентів, представлених на рис. 8.18. На рис. 8.18, *а* як резистор R використовується вбудований резистор R_4 , тобто $R=R_4=2$ кОм. На рис. 8.18, *б* як резистор R використовується зовнішній резистор R_1 , включений послідовно з вбудованим резистором $R_4=2$ кОм, тобто $R=R_1+R_4$. Очевидно, що з урахуванням сформульованих вище обмежень для даного варіанта одержимо $R_{1min}=0$ і $R_{1max}=28$ кОм. На рис. 8.18, *в* як резистор R використовується зовнішній резистор R_2 , тобто $R=R_2$. У даному випадку контакт 09 мікросхеми залишається вільним, а $R_{2min}=1,4$ кОм і $R_{2max}=30$ кОм. Відзначимо також, що у всіх трьох варіантах може бути відсутній зовнішній конденсатор C . У цьому випадку його роль виконує паразитна ємність і реалізується імпульс мінімальної тривалості. При використанні вбудованого резистора R_4 її величина складає 30 – 40 нс.

Позитивний стрибок на виході елемента D4.3 спочатку складає близько 3 В через низький динамічний опір навантаження, зумовленого в основному резистором R_3 . В міру заряду конденсатора C напругу в точці 10 швидко досягає рівня 4,3 В, після досягнення якого транзистор вихідного каскаду елемента D4.3 закривається і конденсатор C починає перезаряджатися в схемі, представленій на рис. 8.20.

Позитивний стрибок на виході елемента D4.3 викликає позитивний перепад у точці 11 приблизно до рівня 3,6 В. Отже, у схемі, представленій рис. 8.20, напруга в точці 10 змінюється від +4,3 до +5 В, а в точці 11 — від +3,6 до +0,95 В з постійною часу $T_B = (R_1+R_3)C$. Впливом опору R можна зневажати, тому що $R \gg R_3$ і R_1 .

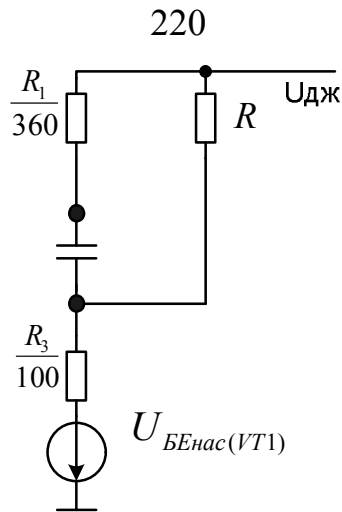


Рисунок 8.20 - Еквівалентна схема розряду конденсатора

Вважаючи, що перехідний процес закінчується через час $(3 \div 6)T_B$, визначимо час відновлення одновібратора:

$$t_{\text{восс}} = (3 \div 6) T_B = (3 \div 6) \cdot 460 \text{ нс} = (1,4 \div 2,8) \text{ нс}. \quad (8.39)$$

В (8.39) коефіцієнт $(1,4 \div 2,8)$ має розмірність кОм, C — пкФ, $t_{\text{восс}}$ — нс.

Запущений одновібратор нечутливий до тривалості вхідного сигналу. Розглянемо запуск одновібратора позитивним перепадом на вході 05. Відзначимо, що вихід елемента D1 еквівалентний входу 05. Нечутливість одновібратора до тривалості вхідного сигналу забезпечується наявністю RS-тригера, виконаного на елементах D2 і D3. Напруги порогів включення і вимикання даного тригера складають відповідно приблизно 1,55 і 1,35 В, тобто він має властивість тригера Шмітта. Це забезпечує можливість запуску одновібратора по входу 05 сигналом з пологим фронтом.

Початковий стан одновібратор приймає в тому випадку, коли на виході елемента D4.3 буде сформований рівень „1”, що забезпечується хоча б одним рівнем „0” на вході елемента D4.1 і хоча б одним рівнем „0” на вході елемента D4.2. Рівень „0” на одному з входів елемента D4.1 забезпечується насиченим транзистором VT1, а потім на іншому вході виходом 06 одновібратора. Рівень «0» на одному з входів елемента D4.2 забезпечується або вхідним сигналом на контакті 05, якщо $\tau_{\text{вх}} < \tau_{\text{вих}}$, або виходом RS-тригера, якщо $\tau_{\text{вх}} > \tau_{\text{вих}}$.

Вхід 05 можна використовувати як вхід дозволу, якщо запуск здійснюється по входу 03 або 04, тому що при рівні «0» на вході 05 одновібратор не запускається. Рівень «0» на вході 03 блокує запуск по входу 04 (і навпаки) навіть при наявності рівня «1» на вході 05.

Входи 03 і 04 можна використовувати як входи дозволу, якщо запуск здійснюється по входу 05, тому що при двох рівнях „1" на входах 03 і 04 одно-вібратор не запускається.

Вираження (8.38) для $\tau_{\text{вих}}$ у явному виді визначає залежність $\tau_{\text{вих}}$ від $U_{\text{ДЖ}}$. Це ж вираження дозволяє визначити вплив на $\tau_{\text{вих}}$ температури зовнішнього середовища. Зміна температури зовнішнього середовища викликає зміну рівнів „1" і порога відкривання транзистора VT_1 . З інженерної точки зору даний одно-вібратор формує імпульс з гарною стабільністю тривалості.

Мікросхему K155АГ1 можна віднести до багатофункціональних пристроїв. При відсутності зовнішніх компонентів R і C одно-вібратор можна використовувати як різницевий перетворювач, як генератор імпульсів або скидання ініціалізації цифрового автомата. При послідовному з'єднанні одно-вібраторів із запуском наступного від попереднього можна побудувати розподільник імпульсів з довільним співвідношенням довжина вихідних сигналів. Два одно-вібратори з взаємним запуском утворюють генератор, шпаруватість вихідного сигналу якого можна змінювати в широких межах.

Стабільність тривалості вихідного сигналу можна підвищити, якщо зовнішній резистор R замінити активним генератором струму $I=0,14 \div 2,7$ мА. Застосовуючи керований генератор струму, можна побудувати широтно-імпульсний модулятор з коефіцієнтом перекриття довжини до 20.

Необхідно враховувати, що контакти для підключення R і C чутливі до впливу зовнішніх перешкод. Для зменшення перешкод доцільно розміщати R і C як можливо ближче до відповідних контактів, а також використовувати конденсатор розв'язки $0,1 \div 10$ мкФ безпосередньо між виводами живлення.

Одно-вібратор з повторним запуском, наприклад мікросхема K155АГ3, відрізняється від розглянутого вище тем, що реагує на переходи запуску, навіть під час формування вихідного імпульсу. У цьому випадку на прямому виході залишається сигнал високого рівня і буде залишатися як завгодно довго, якщо час між переходами запуску, буде менше, ніж тривалість вихідного сигналу, реалізованого від одиночного переходу запуску, з урахуванням часу відновлення одно-вібратора (рис. 8.21, а). Іншою відмінністю є те, що даний одно-вібратор можна повернути у вихідний стан у будь-який момент часу по входу скидання (рис. 8.21, б).

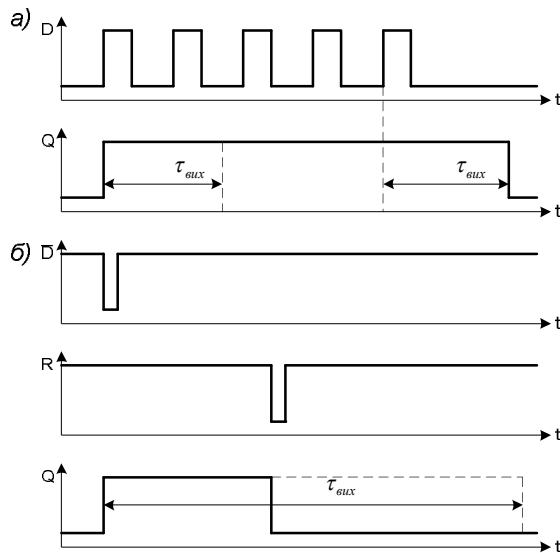


Рисунок 8.21- Часові діаграми для ІС К155АГЗ

Позначення і функціональна схема мікросхеми К155АГЗ наведені на рис. 8.26. Основними частинами схеми є формувач вузького імпульсу D_3 , внутрішні і зовнішні компоненти, що забезпечують формування тривалості вихідного імпульсу, тригер Шмітта, виконаний на транзисторах VT_4 і VT_5 , логічні елементи й інвертори, що забезпечують стандартні рівні схем ТТЛ- типу. Область гістерезису тригера Шмітта обмежена рівнями напруги 1,1 і 1,9 В на базі транзистора VT_4 та контакту 07.

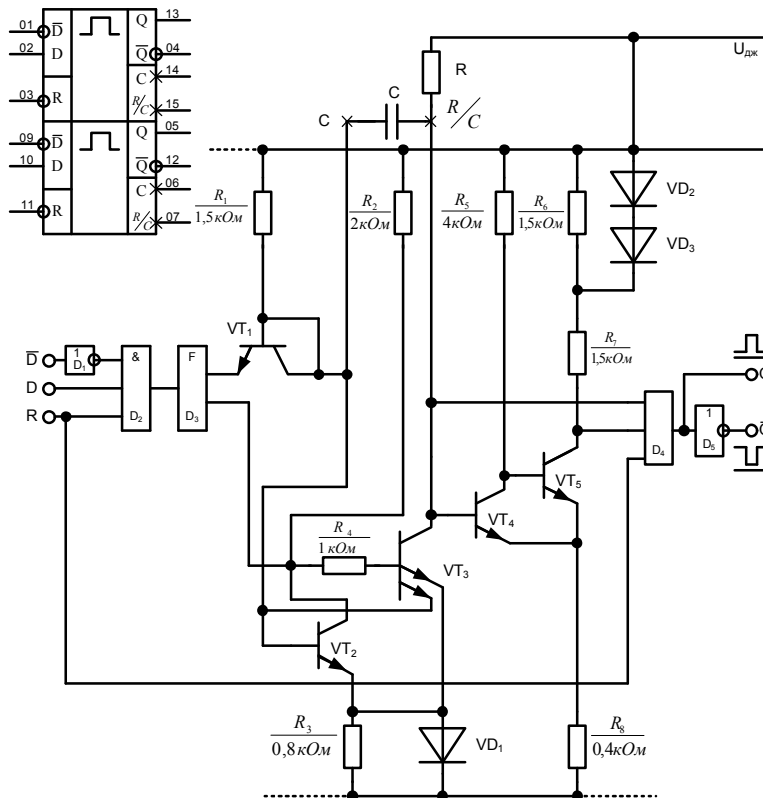


Рисунок 8.22- Позначення (а) та функціональна схема ІС К155АГЗ (б)

Запуск одновібратора здійснюється негативним перепадом на вході \bar{D} при $D = \langle 1 \rangle$ і $R = \langle 1 \rangle$, або позитивним перепадом на вході D при $\bar{D} = \langle 0 \rangle$ і $R = \langle 1 \rangle$ (табл. 8.3), або позитивним перепадом на вході R при $\bar{D} = \langle 0 \rangle$ і $D = \langle 1 \rangle$

При будь-яких комбінаціях статичних сигналів на входах \bar{D} , D і R одновібратор знаходиться в стабільному стані, при якому $Q = „0”$, $\bar{Q} = „1”$. Зовнішні компоненти R і C визначають тривалість вихідного імпульсу. Обмеження на величину ємності конденсатора C не накладається. Можливість підключення електролітичного конденсатора розглянута нижче. Величина $R = R_{\min}$ визначається вимогою, щоб напруга на базі транзистора VT4 не перевищувала рівня 1,9 В, інакше тригер Шмітта не буде переключатися. Залежність напруги на базі транзистора VT4 приведена на рис. 8.27, з якого видно, що опір R повинний бути більше 3 кОм. З огляду на фактори розкиду і вплив зовнішнього середовища, у технічних умовах указують $R_{\min} = 5$ кОм.

Таблиця 8.3- Варіанти запуску K155АГ3

Входи			Виходи	
\bar{D}	D	R	Q	\bar{Q}
\downarrow	1	1		
0	\uparrow	1		
0	1	\uparrow		
X	X	0	0	1
X	X	\downarrow	Скидання	

Величина $R = R_{\max}$ визначається вимогою утримання тригера Шмітта у стані: VT4-відкритий, VT5-закритий. У технічних умовах указують $R_{\max} = 25$ кОм. З рис. 8.23 видно, що в стабільному стані одновібратора напруга на виводі 07 при $5 \text{ кОм} \leq R \leq 25 \text{ кОм}$ лежить у діапазоні 1,7÷1,4 В. На часових діаграмах, наведених на рис. 8.28, ця напруга відповідає рівню 1,6 В. Перед надходженням переходу запуску, напруга на контакті 06 визначається сумою напруг зсунутих в прямому напрямку діода D1 і переходу БЕ транзистора VT2. Струм через них забезпечується резистором $R1 = 1,5$ кОм. Ця сума складає величину 1,6 В. Таким чином, напруга на зовнішньому конденсаторі C перед запуском близько до нуля.

Процес формування вихідного імпульсу містить у собі два етапи. Перший етап починається при подачі на вхід одновібратора перепаду запуску. Формувач D_3 вузького (біля десятків нс) імпульсу організує рівень „0” на базі транзистора

VT2 і закриває його, у результаті чого відкривається транзистор VT3, причому напруга на його колекторі стрибком зменшується до рівня $\sim 0,9$ В ($U_{VD1} + U_{KEнасVT_3}$), а тригер Шмітта забезпечує формування на прямому виході одновібратора рівня „1”. Так як напруга на конденсаторі С перед запуском близько до нуля, негативний перепад з 1,6 до 0,9 В на контакті 07 передається на вивід 06, знижуючи напругу на останньому до 0,9 В і підтверджуючи тим самим закритий стан транзистора VT2 і відкритий VT3.

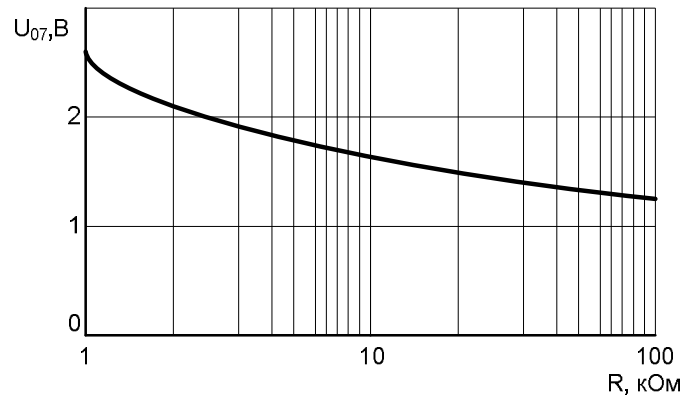


Рисунок 8.23- Залежність напруги U_{07} від опору R

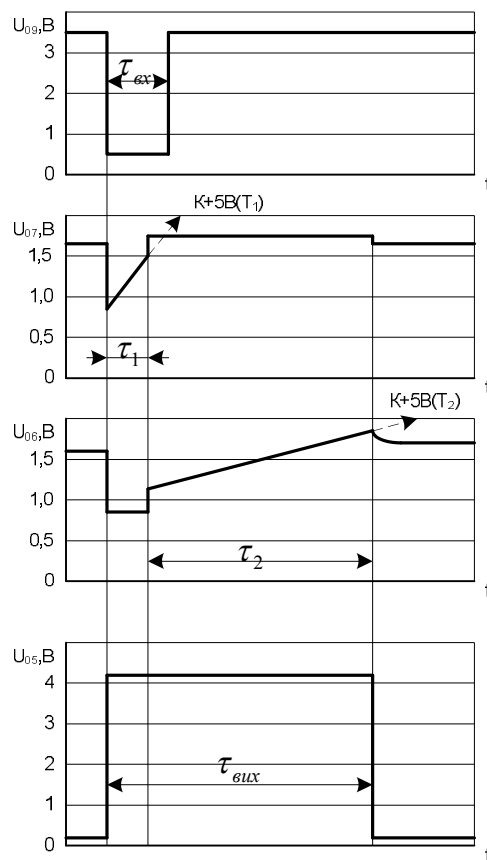


Рисунок 8.24- Часові діаграми при формуванні вихідного імпульсу

На контактi 07 напруга фіксується на рівні 0,9 В, а напруга на контактi 06 починає зростати за рахунок заряду конденсатора С через резистор R1 і прагне до рівня $U_{дж}$ з постійною часу $T_1=R_1 \cdot C$. Перехід БЕ транзистора VT1 закритий. Як тільки напруга на контактi 06 досягне значення 1,5 В, зумовленого сумою напруг на переході БЕ транзистора VT2 і кола з паралельно включених R3 і VD1, транзистор VT2 відкривається, а VT3 закривається, причому в цей же момент часу до опору R1 через конденсатор С підключається зовнішній резистор R, завдяки чому на контактах 06 і 07 спостерігається позитивний стрибок на величину близько 0,2 В. На цьому закінчується перший етап формування вихідного імпульсу, причому потенціали на контактах 06 і 07 рівні відповідно 1,7 і 1,1 В. Тривалість τ_1 першого етапу формування вихідного імпульсу можна визначити по загальній формулі:

$$\tau_1 = T_1 \ln \frac{U(\infty) - U_1}{U(\infty) - U_2} = R_1 C \ln \frac{5 - 0.9}{5 - 1.5} \approx 0.24C, \quad (8.40)$$

де $U(\infty) = U_{БЖ} = 5В$; $U_1 = 0,9В$; $U_2 = 1,5В$. У (8.40) і нижче τ_1 — нс, С — пф.

З розгляду першого етапу видно, що повторний перепад запуску, на вході одновібратора, поданий через час, менше τ_1 , не зробить ніякого впливу на процеси даного етапу. Таким чином, у режимі повторного запуску мінімальна тривалість між перепадами, що запускають, визначається формулою (8.40).

Другий етап формування тривалості вихідного імпульсу починається при фіксованій напрузі 1,7 В на контактi 06, напрузі 1,1 В на контактi 07, закритих транзисторах VT3 і VT4. На цьому етапі напруга на контактi 07 починає зростати за рахунок заряду конденсатора С через зовнішній резистор R і прагне до рівня $U_{дж}$ з постійною часу $T_2=RC$. Як тільки напруга на контактi 07 досягне рівня 1,9 В, тригер Шмітта переключається в стан: VT4 — відкритий, VT5 — закритий; на прямому виході одновібратора формується рівень „0". На цьому закінчується формування вихідного імпульсу одновібратора. Тривалість τ_2 другого етапу можна визначити по загальній формулі:

$$\tau_2 = T_2 \ln \frac{U(\infty) - U_1}{U(\infty) - U_2} = R C \ln \frac{5 - 1.1}{5 - 1.9} = 0.23RC, \quad (8.41)$$

де $U(\infty) = U_{дж} = 5В$; $U_1 = 1,1В$; $U_2 = 1,9В$.

Тривалість вихідного імпульсу

$$\tau_{вих} = \tau_1 + \tau_2 = 0.24C + 0.23RC \approx 0.23RC(1 + 1/R). \quad (8.42)$$

Завершальним процесом є відновлення одновібратора до вихідних потенціалів на зовнішніх контактах 06 і 07. Напруга на контакті 07 починає зменшуватися від рівня 1,9 В до рівня 1,6 В з постійною часу $T_3 = R_{\text{екв}}C$, де

$$\frac{1}{R_{\text{екв}}} = \frac{1}{R} + \frac{1}{R_5} + \frac{1}{R_8}. \quad (8.43)$$

Орієнтовно можна вважати, що $R_{\text{екв}} = R_8$.

Вважаючи, що перехідний процес завершується через час $t = (3 \div 6)T_3$, можна визначити час відновлення одновібратора:

$$t_{\text{відн}} = (3 \div 6)T_3 = (3 \div 6)0,4C = (1,2 \div 2,4)C. \quad (8.44)$$

Необхідно відзначити, що при повторному запуску тривалість першого етапу τ_1 залежить від моменту приходу другого перепаду запуску. Якщо другий перепад запуску, приходить відразу після закінчення першого етапу від першого перепаду запуску, то тривалість першого етапу від другого перепаду запуску, дорівнює нулю. Якщо другий перепад запуску приходить через час $\tau_1 + \tau_2 = \tau_{\text{вих}}$, то тривалість першого етапу від другого перепаду запуску, дорівнює 0,31с. З метою зменшення впливу складової τ_1 на тривалість вихідного імпульсу одновібратора рекомендується використовувати $R = R_{\text{max}}$.

Варто пам'ятати, що формули (8.40)—(8.44) отримані при аналізі формування вихідного імпульсу одновібратора від одиночного перепаду запуску.

Аналіз часових діаграм на рис. 8.24, показує, що напруга U_{67} між контактами 06 і 07 в процесі формування вихідного імпульсу змінює знак (див. також рис. 8.25, з). Це не дозволяє підключати як зовнішній компонент електролітичний конденсатор. У тому випадку, коли потрібно одержати імпульс великої тривалості, а до стабільності її не пред'являється жорстких вимог, бажано використовувати електролітичні конденсатори через малі габарити. Зсув напруги на конденсаторі С можна забезпечити включенням напівпровідникового діода між загальною точкою R і С та контактом 07, як показано на рис. 8.26. У даній схемі можна використовувати електролітичні конденсатори на напругу не нижче 1 В. Позитивний вивід конденсатора треба з'єднати з контактом 07 одновібратора, а негативний — з контактом 06.

Процеси формування вихідного імпульсу в даному випадку якісно протікають аналогічно розглянутим вище (див. рис. 8.25), а тривалість $\tau_{\text{вих}}$ виходить приблизно на 15% менше, якщо використовується кремнієвий діод.

Входи \bar{D} і D одновібратора можна використовувати як входи взаємного дозволу, що впливає з табл. 8.3.

Вирази (8.40) і (8.41) можна використовувати для аналізу впливу напруги живлення і температури зовнішнього середовища на $\tau_{\text{вих}}$.

Наявність двох одновібраторів в одному корпусі мікросхеми К155АГ3, можливість використання режиму повторного запуску і входу скидання забезпечують великі функціональні можливості в порівнянні з мікросхемою 155АГ1.

Одновібратори можуть бути виконані і на основі логічних елементів. На рис. 8.31 представлена одна зі схем одновібратора, виконана на елементах ТТЛ-типу і двох дискретних компонентах (конденсаторі С та резисторі R). Діод D в структурі елементів ТТЛ-типу виділений з метою підкреслити його роль у формуванні часових інтервалів. Аналіз схеми проведемо для випадку, коли тривалість фронтів значно менше тривалості τ_i вихідного імпульсу. Опір резистора R вибирається таким, щоб у сталому режимі на виході вентиля Y2 підтримувався рівень U^1 .

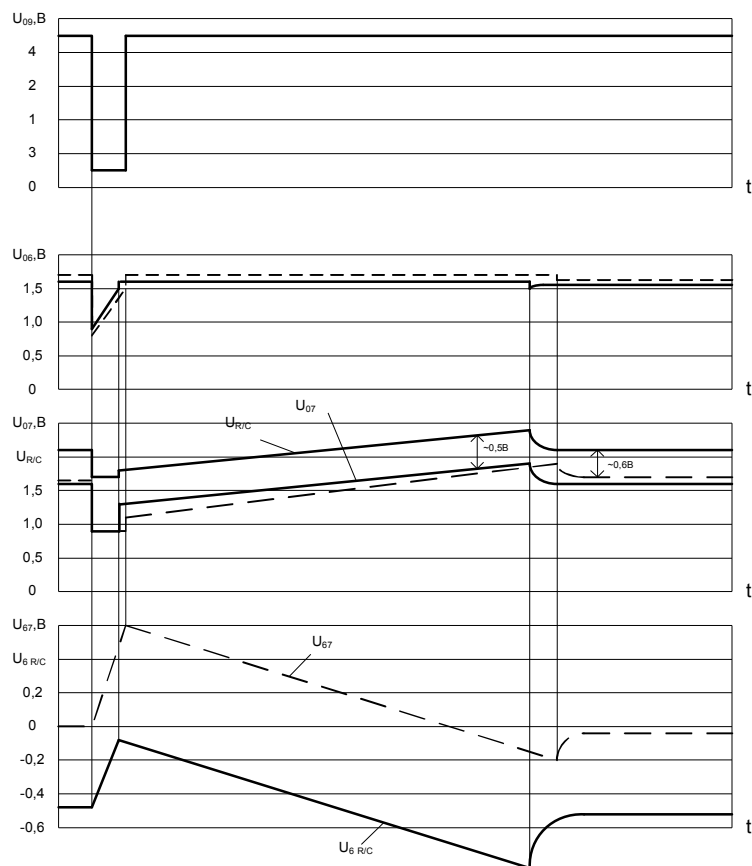


Рисунок 8.25- Часові діаграми при формуванні вихідного імпульсу із зовнішнім діодом

Оскільки резистор R є навантаженням для вентиля $Y1$ його опір не може бути менше величини, при якій рівень U^1 вентиля $Y1$ знижується до припустимої величини U^1_{\min} (наприклад, 2,4 В для елементів ТТЛ-типа).

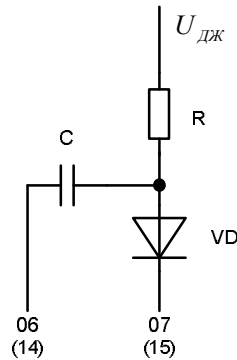


Рисунок 8.26- Варіант підключення зовнішніх компонентів

Проведемо аналіз роботи схеми, показаної на рис. 8.27, а. Приймемо $R=1,2$ кОм, при цьому в сталому режимі $U_B=0,8$ В. Розглянемо випадки, коли вхідні сигнали подаються на одновібратор через час, що перевищує тривалість перехідних процесів. Оскільки заряд і розряд конденсатора C здійснюються через резистор R при $R=1,2$ кОм, струми через конденсатор C не перевищують 3–4 мА, тому для подальшого спрощення аналізу приймемо, що потенціал у точці a схеми змінюється від рівня $U^0 \approx 0,1$ В до рівня $U^1 \approx 3,4$ В.

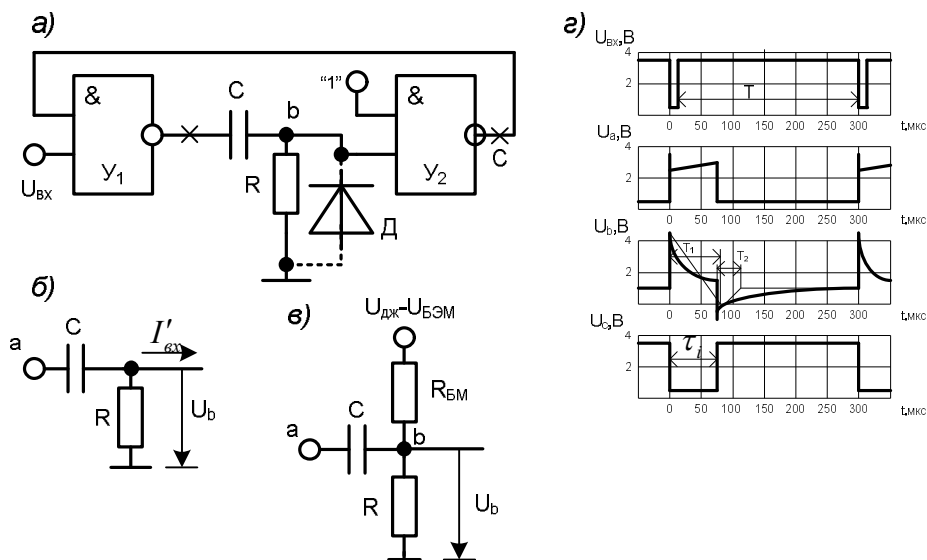


Рисунок 8.27- Схема одновібратора на елементах І–НЕ (а), коло розряду (б), коло заряду (в) конденсатора, часові діаграми роботи одновібратора (г) ($C=68$ нФ)

При подачі негативного перепаду напруги на вхід схеми потенціал у точці α стрибком збільшиться на величину $\Delta U = U^1 - U^0 \approx 3,3B$ (рис. 8.27, *з*) і передається в точку b , у результаті чого потенціал цієї точки зросте приблизно до рівня $4,1B$, а потім швидко знизиться до рівня $3,6B$. Це забезпечує активний режим роботи транзистора на виході вентиля Y_1 . Потім конденсатор C починає розряджатися (рис. 8.37, *б*) з постійної часу $T_1 = RC \approx 82\text{мкс}$ від рівня $\approx 3,6B$ до рівня $U(\infty) = -RI_{ex}^i \approx -0,05B$. Однак, як тільки потенціал у точці b досягне рівня $U_{пор} \approx 1,4B$, вентиль Y_2 відкриється. Тривалість вихідного імпульсу

$$\tau_i = T_1 \ln \frac{U(\infty) - U_1}{U(\infty) - U_2} \approx 76\text{мкс} \quad (8.45)$$

Через час τ_i потенціал у точці b зменшиться до значення $U_{пор} \approx 1,4B$, а так як негативний перепад напруги $\Delta U \approx 3,3B$ у точці α передається в точку b , то відразу ж у точці b формується потенціал $U_{пор} - \Delta U \approx 1,9B$, однак діод D , наявний у структурі елемента, «миттєво» зафіксує рівень приблизно $-0,7B$, починаючи з якого конденсатор C заряджається до рівня $0,8B$ з постійною часу $T_2 = (R_{БМ} \parallel R)C \approx 66\text{мкс}$ (рис. 8.28, *в*).

Тривалість вихідного імпульсу не залежить від періоду вхідних імпульсів, якщо виконується умова:

$$(T - \tau_i) > 3T_2, \quad (8.46)$$

це говорить про те, що позитивний перепад напруги в точці b відраховується від постійного рівня $+0,8B$.

Якщо умова (8.46) не виконується, то перепад напруги буде відраховуватися від рівня, меншого $0,8B$, що, у свою чергу, приводить до зменшення τ_i .

Інший варіант одновібратора наведений на рис. 8.28. На відміну від попередньої схеми вентиль Y_2 у сталому режимі відкритий. Потенціал у точці b схеми повинний бути більше $U_{\min}^1 \approx 2,4B$, але не більше $\Delta U_{л} + U_{пор}$, причому $\Delta U_{л}$ і $U_{пор}$ повинні братися для найгіршого випадку, тому що в протилежному випадку в точці b схеми не зможе бути сформований рівень, менший $U_{пор}$, а отже, вентиль Y_2 не зможе бути закритий. Аналіз для схеми проводиться аналогічно.

Використання всіх чотирьох вентилів розповсюдженої інтегральної схеми дозволяє істотно збільшити функціональні можливості одновібратора.

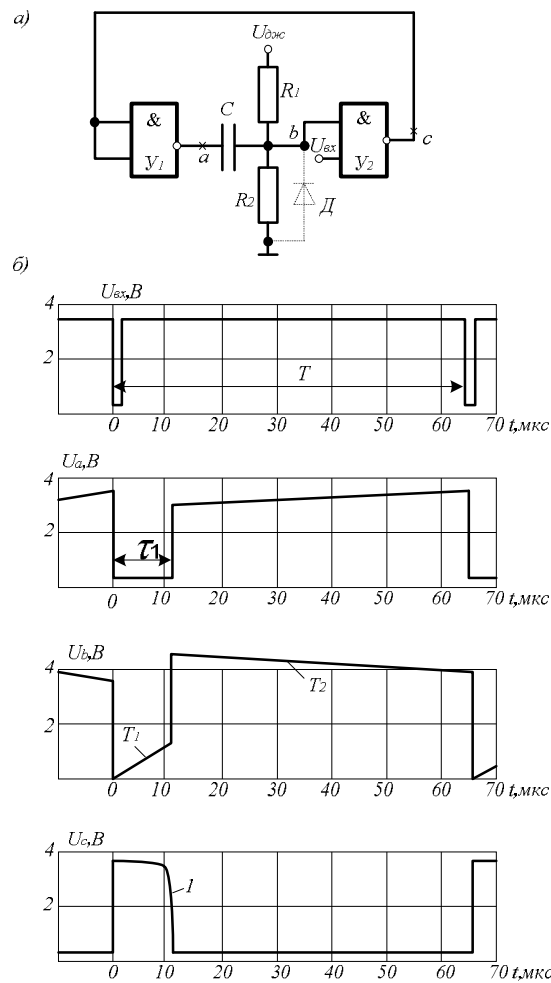


Рисунок 8.28 - Варіант одновібратора на елементах І–НЕ (а)
та часова діаграма його роботи (б)

8.4. Різницеві перетворювачі і детектори подій (фронтів)

Різницеві перетворювачі (РП) — спеціальні елементи цифрових пристроїв, призначені для вироблення вихідного сигналу, що несе інформацію про зміну значення вхідного сигналу. На виході РП формуються імпульсні сигнали у виді короткочасної появи напруги U^0 або U^1 при заздалегідь визначених переходах сигналу на вході. Тривалість вихідного імпульсу РП залежить від параметрів вхідного сигналу і компонентів РП. Якщо РП виконується на логічних елементах, він крім інформаційного може мати додаткові функціональні входи, які дозволяють враховувати додаткові умови формування вихідного імпульсу, що значно спрощує структури цифрових пристроїв, скорочуючи кількість логічних елементів.

Так як на вході РП можуть існувати два види переходу вхідного сигналу, а на виході можуть бути сформовані напруги U^0 і U^1 , то можлива побудова чо-

тирьох основних схем РП. Варіанти таких схем на логічних елементах представлені на рис. 8.29.

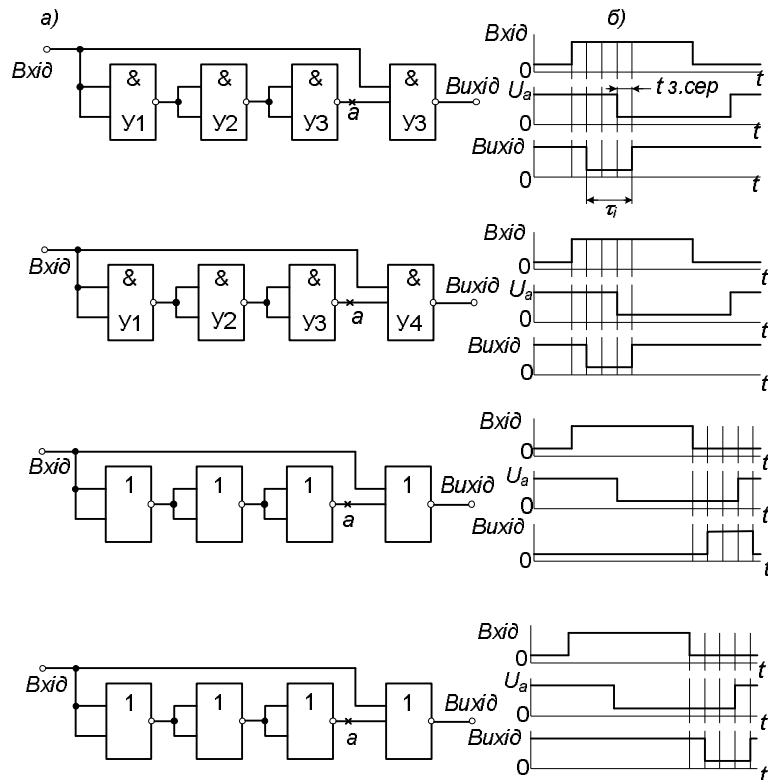


Рисунок 8.29 - Варіанти схем різницевих перетворювачів на логічних елементах (а), та часові діаграми їх роботи (б)

Якщо припустити, що всі логічні елементи мають ту саму середню затримку поширення сигналу $t_{з.ср}$, то тривалість вихідного і імпульсного сигналу всіх РП буде дорівнювати $\tau_i = 3t_{з.ср}$. У ряді випадків таке значення τ_i недостатнє, тому в РП використовують спеціально лінії затримки, або RC- кола. На рис. 8.34 представлений варіант схеми РП, виконаного на логічних вентилях з використанням RC- кола.

Резистор R вибирається з умови, щоб при відкритому вентилі Y_1 ; у точці b схеми забезпечувалася напруга $U^0 \leq 0,45$ В. звичайно $R = 270$ Ом, а $U^0 \approx 0,3$ В. Аналіз схеми проводиться для випадку, коли до моменту приходу фронтів вхідного сигналу всі перехідні процеси в ній закінчені. До появи позитивного перепаду на вході конденсатор С заряджений до рівня 3,6 В. Відразу після появи позитивного перепаду на виході в точці a потенціал фіксується на рівні $U^0 \approx 0,5 \div 0,1$ В і конденсатор С починає розряджатися в еквівалентній схемі (рис. 8.30, б) від рівня 3,6 В до рівня U^0 - $R \cdot I_{BX}^1 \approx U^0$ з постійною часу $T_1 = RC = 0,9$

мкс. Схема, зображена на рис. 8.29, б, працює доти, поки потенціал U_b не досягне граничного рівня $U_{пор} \approx 1,4$ В. Тривалість τ_i вихідного імпульсу можна обчислити по загальній формулі:

$$\tau_i = T_1 \ln \frac{U(\infty) - U_1}{U(\infty) - U_2} \approx 1 \text{ мкс} \quad (8.47)$$

По досягненні потенціалом U_b рівня $U_{пор}$ еквівалентна схема розряду конденсатора C приймає вид, показаний на рис. 8.30, в. У цій схемі конденсатор C розряджається від рівня $U_{пор}$ до рівня $U(\infty)$

$$U(\infty) \approx U^0 + (U_{ДЖ} - U_{БЕМ} - U^0)R / (R + R_{БМ}) \approx 0,3 \text{ В} \quad (8.48)$$

з постійною часу $T_2 = (R \parallel R_{БМ})C \approx 0,85$ мкс.

З появою негативного перепаду на вході схеми потенціал точки a стрибком збільшується до рівня

$$U_a = E_{ТТЛ} \cdot R / (R + R_{ТТЛ}) \approx 3,0 \text{ В}, \quad (8.49)$$

де $E_{ТТЛ} \approx 3,6$ В-еквівалентна ЕРС на виході закритого елемента ТТЛ-типа; $R_{ТТЛ} \approx 50$ Ом — вихідний опір закритого елемента ТТЛ-типа.

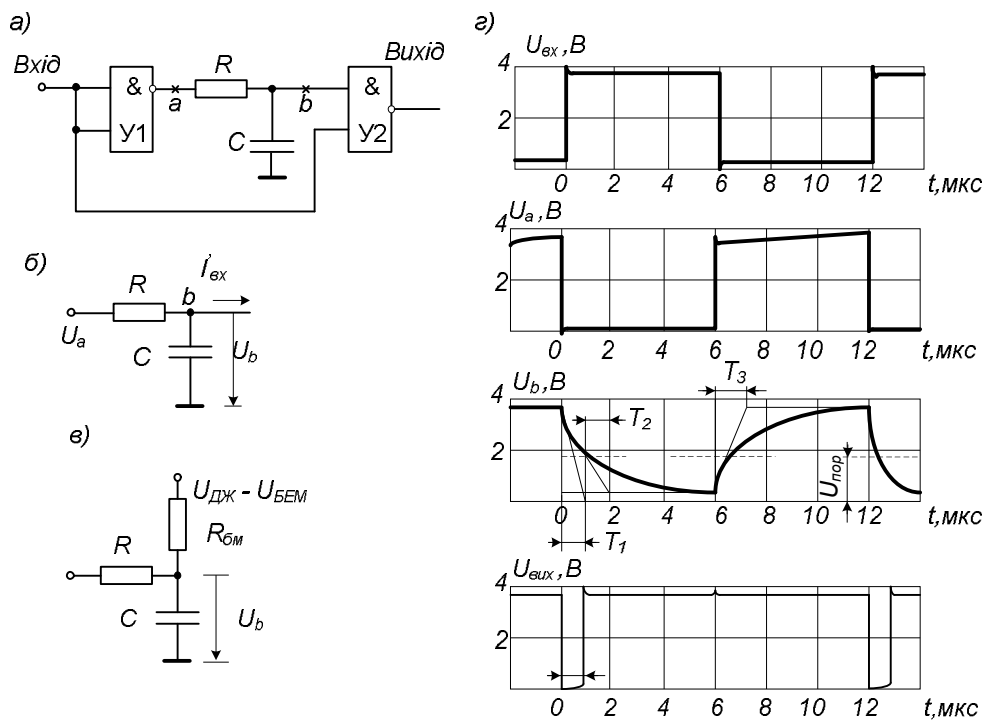


Рисунок 8.30- Схеми типова (а), розрахункова (б, в) різницевого перетворювача з RC- колом та часові діаграми його роботи (г) ($C=3,3$ нФ)

Потім потенціал U_a змінюється від 3,0 до 3,6 В, а U_b — від 0,3 до 3,6 В з постійною часу $T_3 = (R + R_{ТТЛ})C \approx 1,05$ мкс.

Більш точний аналіз показує, що і заряд конденсатора відбувається в два етапи:

1. якщо зарядний струм перевищує приблизно 5 мА, вихідне коло закритого елемента ТТЛ- типа повинно бути представлено у виді $E_{\text{ТТЛ1}} \approx 4 \text{ В}$, $R_{\text{ТТЛ1}} \approx 130 \text{ Ом}$;
2. якщо струм заряду стає менше 5 мА, вихідне коло закритого елемента ТТЛ- типа повинно бути представлено у виді $E_{\text{ТТЛ2}} \approx 3,6 \text{ В}$, $R_{\text{ТТЛ2}} \approx 50 \text{ Ом}$.

Цю обставину потрібно враховувати, якщо РП використовується для виділення і негативного перепаду на його вході.

РП використовують для побудови детекторів подій, організації імпульсного керування в RS-тригерах, що усуває на їх входах заборонені комбінації сигналів, а також в інших типів тригерів; при проектуванні послідовних структур; для вироблення імпульсних сигналів або запуску одновібраторів настановних сигналів для лічильників, регістрів і т.п.; при побудові реверсивних лічильників і регістрів і т.д. Перераховане дозволяє віднести РП до багатофункціональних елементів, і саме з цієї причини в ряді сучасних серій елементів РП виконуються у виді інтегральних схем.

У схемі рис. 8.31 інтегрального РП 134ХЛ2 використовуються два транзистори: транзистор T_1 виконує операцію кон'юнкції вхідних змінних X_1 - X_3 , а транзистор T_2 — операції заборони та інверсії; вхід С-тактовий.

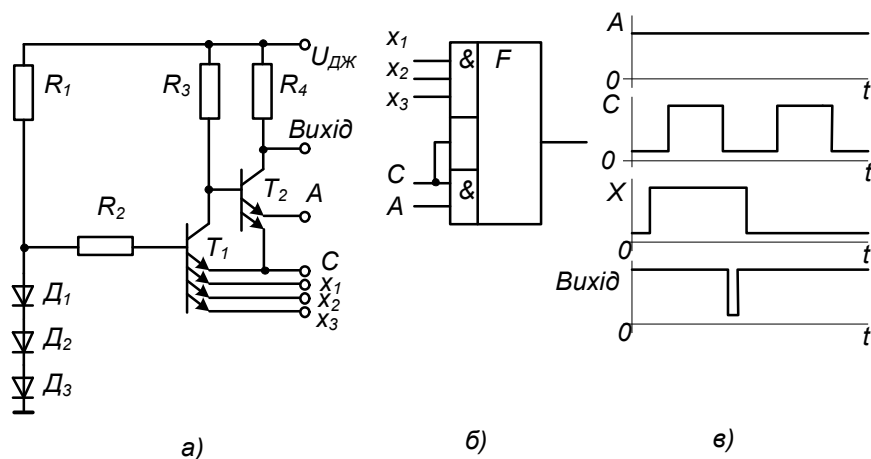


Рисунок 8.31- Інтегральна схема різницевого перетворювача 134ХЛ2(*а*), її функціональне позначення (*б*), та часові діаграми її роботи (*в*)

Необхідний час затримки сигналів, необхідний для формування вихідного імпульсу, забезпечується відповідною черговістю переключення транзисторів,

що задається різними рівнями напруги, подаваними на їхні бази. На базу транзистора T_1 через резистор R_2 подається напруга, яка приблизно дорівнює $2V$ та зумовлена діодами D_1 - D_3 , а на базу транзистора T_2 через резистор R_3 — напруга $U_{дж} = 5 В$. Як видно з часової діаграми роботи схеми, остання формує негативний імпульс з негативного перепаду напруги на тактовому вході. Наявність трьох входів X , а також входу A значно розширює логічні можливості РП.

Детектори подій (фронтів). Подія в цифрових пристроях — зміна логічного стану в якому-небудь колі, тобто позитивні чи негативні перепади (фронти). Детектор фронтів повинний формувати імпульси з фронтів будь-якої полярності. Схема детектора фронтів на елементах І-НЕ наведена на рис. 8.32. Принцип дії схеми заснований на використанні затримки поширення сигналу. На рис. 8.36, б для спрощення розгляду імпульси показані з ідеальними фронтами.

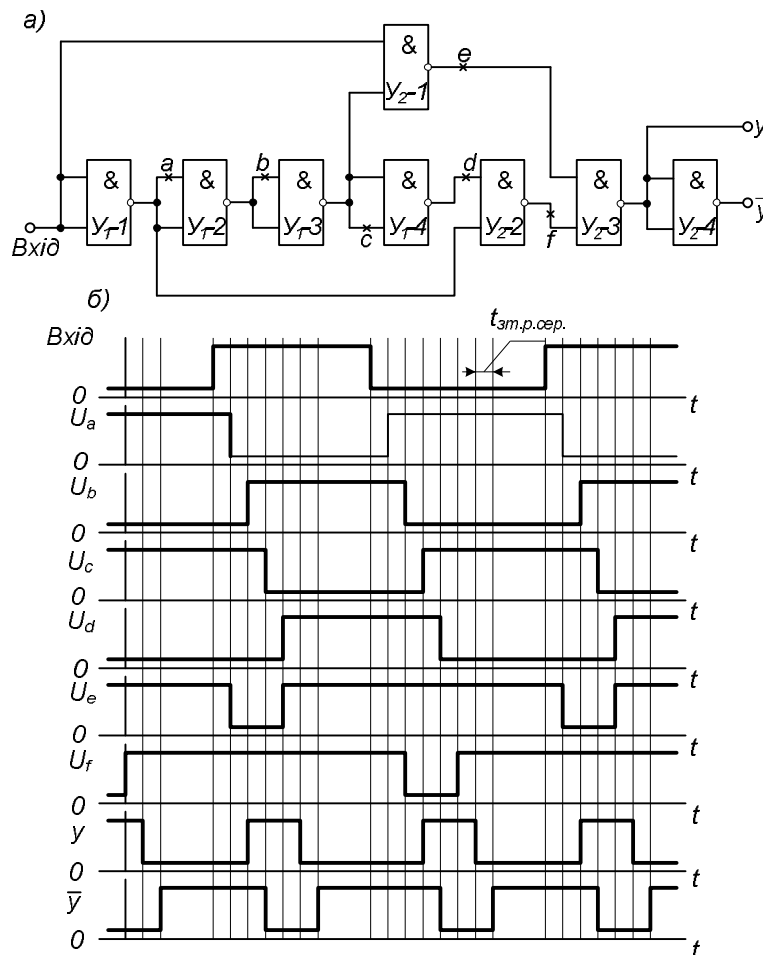


Рисунок 8.32 - Схема детектора фронтів на елементах І-НЕ (а)
та часові діаграми його роботи (б)

При рівні “0” на вході РП (і на першому вході вентиля Y_{z1}) на виході вентиля Y_{z1} є присутнім рівень “1”. На другому вході вентиля Y_{z1} діє рівень “1” з виходу вентиля Y_{r3} .

Коли вхідний рівень приймає значення “1”, на виході вентиля Y_2-1 рівень “0” з'являється через відрізок часу, який дорівнює часу затримки поширення сигналу в одному вентилі $t_{зт.р.ср.}$.

Тим часом вхідний сигнал, проходячи через вентиля $Y_1-1 - Y_1-3$, зменшує потенціал на виході вентиля Y_1-3 через інтервал часу, що дорівнює $3t_{зт.ср.}$. При цьому на виході вентиля Y_2-1 формується негативний імпульс із тривалістю $3t_{зд.ср.}$. Таким чином, використовуючи чотири вентиля, можна формувати імпульси з позитивних фронтів вхідного сигналу. Додавши вентиля Y_1-4 і Y_2-2 , можна одержати негативні імпульси з негативних фронтів вхідного сигналу. На виході вентиля Y_2-3 будуть позитивні імпульси від обох фронтів вхідного сигналу. При необхідності мати інверсний вихідний сигнал додається ще один вентиль Y_2-4 . Треба пам'ятати, що тривалість вихідних імпульсів розглянутого детектора фронтів дорівнює $3t_{зт.р.ср.}$. У колі у передній фронт вихідних імпульсів відстає від позитивного фронту вхідних імпульсів на дві затримки поширення, від негативного фронту вхідних на три затримки поширення, а в ланцюзі Y на три і чотири затримки поширення відповідно.

Розглянуту схему можна використовувати в лічильниках подій і як схему подвоєння частоти в цифрових системах. Детектор подій може бути зібраний і на інших логічних елементах чи їхніх комбінаціях.

ПИТАННЯ ДО РОЗДІЛУ

1. Які елементи цифрових пристроїв відносять до спеціальних?
2. Що таке логічні розширювачі?
3. Перерахуйте схеми, які використовуються при побудові перетворювачів рівнів.
4. Запропонуйте схему універсального перетворювача рівнів.
5. Приведіть приклади генераторів, що реалізовані на дискретних інтегральних схемах.
6. За рахунок чого досягають стабілізації частоти вихідної напруги генераторів?
7. Де використовуються генератори із змінною частотою?
8. Що таке одинівбратор?
9. Від чого залежить тривалість вихідного імпульсу одинівбратора?
10. Які переваги має одинівбратор з повторним запуском?

ПІДСУМКИ

НЕОБХІДНО ЗРОЗУМІТИ

1. Значну частину сучасного цифрового пристрою складають блоки керування, обміну інформацією, індикацій, контролю, діагностики тощо. У цих блоках використовують схеми, що виконують різні спеціальні функції (перетворення рівнів, генерування різних сигналів, формування часових параметрів сигналів.)
2. Важливою вимогою підчас розроблення спеціальних елементів є сумісність їх за входом і виходом з логічними елементами, на основі яких проектується цифровий пристрій. Тому основну увагу приділяють реалізації зазначених вище спеціальних елементів на базі стандартних логічних елементів.

СЛІД ЗАПАМ'ЯТАТИ

1. Логічні розширники— спеціальні елементи цифрових пристроїв, призначені для збільшення кількості логічних входів у логічних елементах, розширення класу реалізованих цими елементами логічних функцій і побудови нетипових схем.
2. Перетворювачами рівнів (адаптерами, драйверами, трансляторами) називають спеціальні елементи цифрових пристроїв, призначені для забезпечення сумісності логічних рівнів різних сімейств цифрових елементів.
3. Генератори — спеціальні елементи цифрових пристроїв, призначені для формування послідовності електричних сигналів різної форми. Послідовність сигналів може бути регулярною або з перериваннями, у тому числі зі зміною параметрів і форми електричних сигналів.

ТРЕБА ВМІТИ

1. Визначати призначення логічних пристроїв, що виконують різні спеціальні функції
2. Наводити принципові схеми цих логічних пристроїв та пояснювати принцип їх роботи

ПЕРЕЛІК ПОСИЛАНЬ

1. Схемотехніка електронних систем: У 3кн. Кн.2. Цифрова схемотехніка: Підручник/ Бойко В.І., Гуржій А.М. Багрій В.В. та інші. – 2-ге вид., допов. переробл.- К.: Вища школа, 2004. – 423с.
2. Цифрова схемотехніка електронних систем:[підручник] В.І. Бойко, В.Я. Жуйков, А.А. Зорі, В.В. Багрій, О.В. Богдан, В.М. Співак, Т.О. Терещенко – К.: Освіта України, 2010. -352с.
3. Цифрова схемотехніка. Частина 1: Навчальний посібник для студентів вузів Бойко В.І., Багрій В.В.-К.: НМЦВО, 2002-244с.
4. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ. – М.; Высшая школа, 1987. – 318с.
5. Проектирование импульсных и цифровых устройств радиотехнических систем /Учебное пособие под редакцией Ю.М. Казаринова. – М.; Высшая школа, 1985. – 319с.
6. Справочник по интегральным микросхемам / Под редакцией Б.В. Тарабрина. – М.; Энергия, 1982.- 816с.
7. Преснухин Л.Н., Воробьев Н.В., Шишкевич А.А. Расчет элементов цифровых устройств. -М.; Высшая школа, 1982.-384с.
8. Рябенский В. М., Жуйков В. Я., Гулий В. Д. Цифрова схемотехніка: Навч. посібник. — Львів: "Новий Світ-2000", 2009. — 736 с.
9. Применение интегральных микросхем в электронной вычислительной технике. Справочник под редакцией Б.Н. Файзулаева, Б.В. Тарабрина.- М.; Радио и связь, 1987.-384с.
10. Шило В.Л. Популярные цифровые микросхемы.- М.; Радио и связь, 1987.-352с.

Навчальне видання

Конспект лекцій з дисципліни "Цифрова схемотехніка" для здобувачів вищої освіти першого (бакалаврського) рівня зі спеціальностей 171 «Електроніка» та 153 «Мікро-та наносистемна техніка»; / Багрій В.В. , Кам'янське; ДДТУ, 2019 - 238 с.

Укладач:

к.т.н. доцент

Багрій Віктор Васильович

Підписано до друку _____ 20 р.

Формат _____ Обсяг _____ др. арк.

Тираж _____ екз. Заказ

51918, м. Кам'янське,
вул. Дніпробудівська, 2.

